

AKM

AK4589

2/8-Channel Audio CODEC with DIR

概 要

AK4589 は 2ch ADC と 8ch DAC を内蔵する 1 チップ 24bit CODEC です。ADC にはワイドダイナミックレンジを実現するエンハンスド・デュアルビット方式を採用、DAC には新開発のアドバンスド・マルチビット方式を採用、更に広いダイナミックレンジと低帯域外ノイズを実現しています。また AK4589 はダイナミックレンジ 102dB の ADC と 114dB の DAC を持ち、ホームシアターのサラウンドシステムに最適です。また、ドルビーデジタル(AC-3)に対応したバランスボリュームを内蔵しています。

AK4589 は 192kHz 24 bit に対応したデジタルオーディオレシーバ(DIR)とトランスミッタ(DIT)を内蔵しています。DIR は 8 チャンネルのセレクタをもち、Non-PCM ビットストリームを自動的に検出できます。AK4589 は AK4588 とソフトウェア、ハードウェア互換性があります。

*ドルビーデジタル(AC-3)は Dolby Laboratories の登録商標です。

特 長

□ ADC, DAC部

- 2ch 24bit ADC
 - 64倍オーバーサンプリング
 - サンプリング周波数: 最大96kHz
 - 直線位相デジタルフィルタ内蔵
 - シングルエンド入力
 - S/(N+D): 92dB
 - ダイナミックレンジ, S/N: 102dB
 - オフセットキャンセル用デジタルHPF
 - I/Fフォーマット: 前詰め, I²S, TDM
 - オーバーフローフラグ
- 8ch 24bit DAC
 - 128倍オーバーサンプリング
 - サンプリング周波数: 最大192kHz
 - 24ビット8倍デジタルフィルタ
 - 差動出力SCF内蔵
 - S/(N+D): 94dB
 - ダイナミックレンジ, S/N: 114dB
 - I/Fフォーマット: 前詰め, 後詰め(20bit, 24bit), I²S, TDM
 - チャンネル独立デジタルボリューム内蔵 (128レベル, 0.5dBステップ)
 - ソフトミュート
 - ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz対応)
 - ゼロ検出機能
- 強ジッタ耐力
- マスタクロック: 256fs, 384fs, 512fs (fs=32kHz ~ 48kHz)
128fs, 192fs, 256fs (fs=64kHz ~ 96kHz)
128fs (fs=120kHz~ 192kHz)

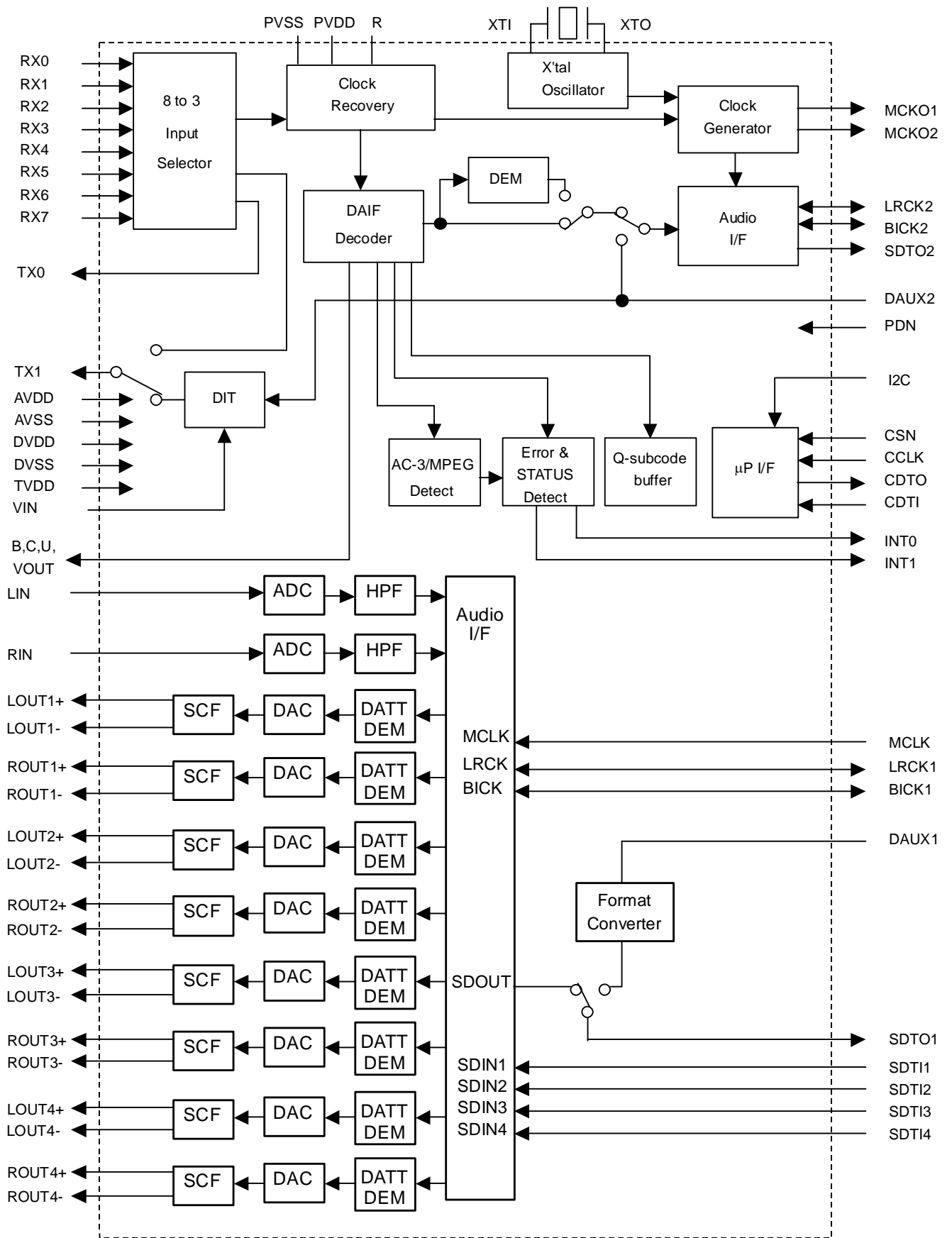
DIR,DIT部

- AES3, IEC60958, S/PDIF, EIAJ CP1201対応
- 低ジッタPLL
- PLL ロックレンジ: 32kHz ~ 192kHz
- PLL/X'tal切り替え機能
- アンプ内蔵 8入力
- アンプ内蔵 2出力 (スルー or トランスミッタ出力)
- 補助デジタルデータ入力対応
- ディエンファシスフィルタ内蔵 (32kHz, 44.1kHz, 48kHz, 96kHz)
- 各種検出機能
 - Non-PCMデータストリーム検出機能
 - DTS-CDデータストリーム検出機能
 - サンプリング周波数検出機能
(32kHz, 44.1kHz, 48kHz, 88.2kHz, 96kHz, 176.4kHz, 192kHz)
 - Unlock & Parity Error検出機能
 - Validityフラグ出力ピン
- 24ビットフォーマット対応
- オーディオI/F: マスタ/スレーブモード対応
- チャンネルステータスピットの先頭40ビット分のバッファ内蔵
- Non-PCMデータストリームのバーストプリアンプPc, Pd用バッファ内蔵
- CD Q-subcode用バッファ内蔵
- 64fs/128fs/256fs/512fsマスタクロック出力

 TTLレベルデジタルI/F

- シリアル μ P I/F対応 (I²C, 4線シリアル)
- 電源電圧: 4.75 ~ 5.25V
- 出力バッファ用電源: 2.7 ~ 5.25V
- パッケージ: 80pin LQFP(0.5mm pitch)
- AK4588互換(アナログ出力を除く)

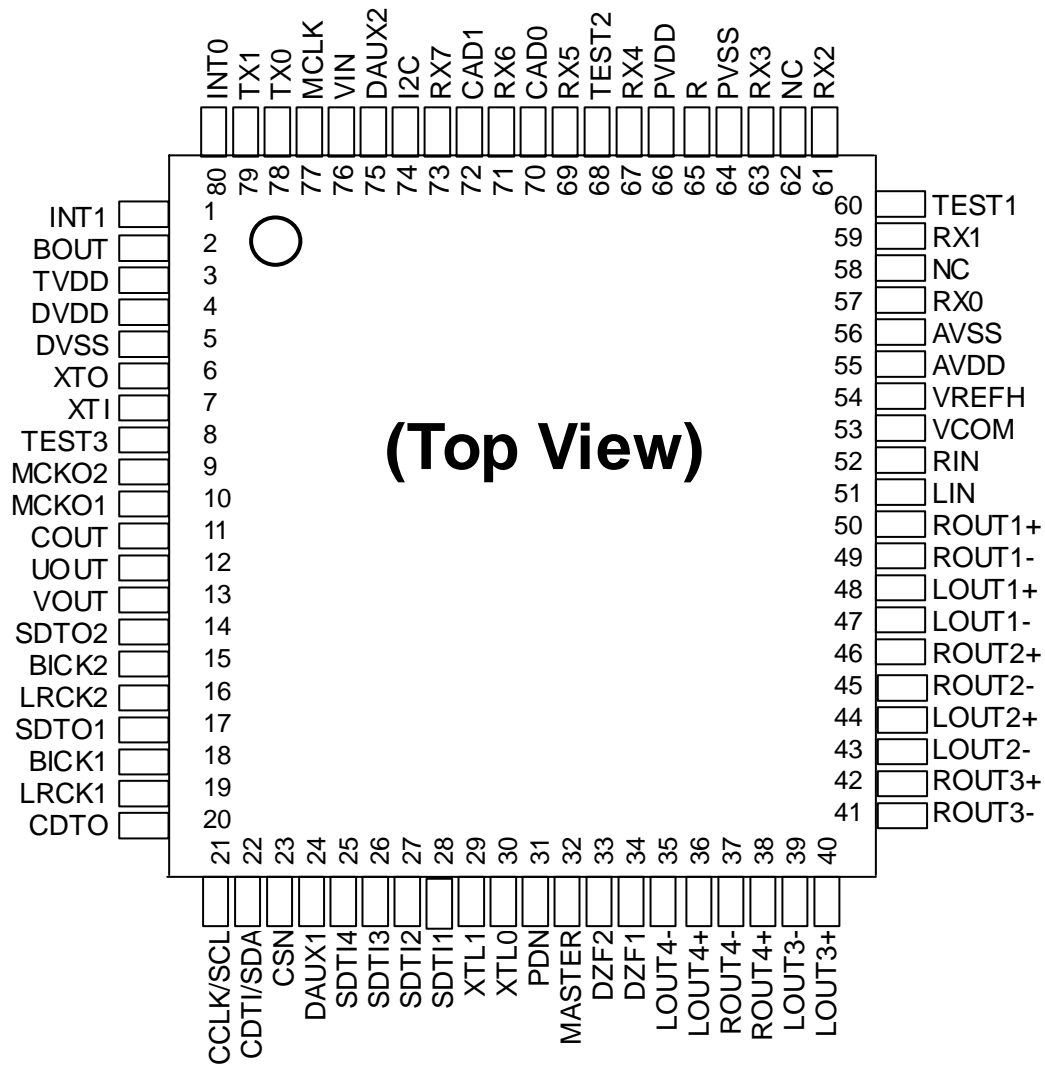
■ ブロック図



■ オーダリングガイド

AK4589VQ -10 ~ +70°C 80pin LQFP(0.5mm pitch)
 AKD4589 評価ボード

■ ピン配置



■ AK4588 との相違点

| Functions | AK4588 | AK4589 |
|--------------------------|--|----------------------|
| DAC 出力 | シングルエンド | 差動 |
| DAC S/(N+D) | 90dB | 94dB |
| DAC S/N | 106dB | 114dB |
| DAC Output voltage | Typ 3.0Vpp | Typ ± 2.7 Vpp |
| DAC AOUT | AOUT=0.6xVREFH | AOUT=0.54xVREFH |
| Load Resistance | 5k ohm | 2k ohm |
| Frequency Response 80kHz | ± 1.0 | +0/-0.6 |
| アナログ出力ピン | #35, #37, #39, #41, #43, #45, #47, #49 | #35 - #50 |
| 電源電圧 | Min=4.5V, Max=5.5V | Min=4.75V, Max=5.25V |

(注)AK4589 は内部に ADC/DAC 部レジスタ(AK4588 レジスタ互換)と DIR/DIT 部レジスタ(AK4588 レジスタ互換)の 2 つのレジスタをもちます。それぞれのレジスタはチップアドレスで指定します。

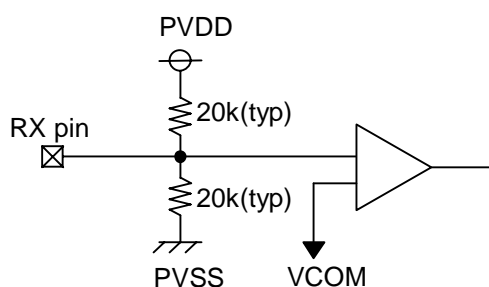
ピン / 機能

| No. | Pin Name | I/O | Function |
|-----|----------|-----|--|
| 1 | INT1 | O | Interrupt 1 Pin |
| 2 | BOUT | O | Block-Start Output Pin for Receiver Input “H” during first 40 flames. |
| 3 | TVDD | - | Output Buffer Power Supply Pin, 2.7V~5.25V |
| 4 | DVDD | - | Digital Power Supply Pin, 4.75V~5.25V |
| 5 | DVSS | - | Digital Ground Pin |
| 6 | XTO | O | X'tal Output Pin |
| 7 | XTI | I | X'tal Input Pin |
| 8 | TEST3 | I | Test 3 Pin This pin should be connected to DVSS. |
| 9 | MCKO2 | O | Master Clock Output 2 Pin |
| 10 | MCKO1 | O | Master Clock Output 1 Pin |
| 11 | COUT | O | C-bit Output Pin for Receiver Input |
| 12 | UOUT | O | U-bit Output Pin for Receiver Input |
| 13 | VOUT | O | V-bit Output Pin for Receiver Input |
| 14 | SDTO2 | O | Audio Serial Data Output Pin (DIR/DIT part) |
| 15 | BICK2 | I/O | Audio Serial Data Clock Pin (DIR/DIT part) |
| 16 | LRCK2 | I/O | Channel Clock Pin (DIR/DIT part) |
| 17 | SDTO1 | O | Audio Serial Data Output Pin (ADC/DAC part) |
| 18 | BICK1 | I/O | Audio Serial Data Clock Pin (ADC/DAC part) |
| 19 | LRCK1 | I/O | Input Channel Clock Pin |
| 20 | CDTO | O | Control Data Output Pin in Serial Mode, I2C= “L”. |
| 21 | CCLK | I | Control Data Clock Pin in Serial Mode, I2C= “L” |
| | SCL | I | Control Data Clock Pin in Serial Mode, I2C= “H” |
| 22 | CDTI | I | Control Data Input Pin in Serial Mode, I2C= “L”. |
| | SDA | I/O | Control Data Pin in Serial Mode, I2C= “H”. |
| 23 | CSN | I | Chip Select Pin in Serial Mode, I2C= “L”. |
| | | I | This pin should be connected to DVSS, I2C= “H”. |
| 24 | DAUX1 | I | AUX Audio Serial Data Input Pin (ADC/DAC part) |
| 25 | SDTI4 | I | DAC4 Audio Serial Data Input Pin |
| 26 | SDTI3 | I | DAC3 Audio Serial Data Input Pin |
| 27 | SDTI2 | I | DAC2 Audio Serial Data Input Pin |
| 28 | SDTI1 | I | DAC1 Audio Serial Data Input Pin |
| 29 | XTL1 | I | X'tal Frequency Select 0 Pin |
| 30 | XTL0 | I | X'tal Frequency Select 1 Pin |

| No. | Pin Name | I/O | Function |
|-----|----------|-----|---|
| 31 | PDN | I | Power-Down Mode Pin When “L”, the AK4589 is powered-down, all digital output pins go “L”, all registers are reset. When CAD1/0 pins are changed, the AK4589 should be reset by PDN pin. |
| 32 | MASTER | I | Master Mode Select Pin “H”: Master mode, “L”: Slave mode |
| 33 | DZF2 | O | Zero Input Detect 2 Pin (Table 13) When the input data of the group 1 follow total 8192 LRCK cycles with “0” input data, this pin goes to “H”. And when RSTN bit is “0”, PWDAN bit is “0”, this pin goes to “H”. It always is in “L” when P/S pin is “H”. |
| | OVF | O | Analog Input Overflow Detect Pin This pin goes to “H” if the analog input of Lch or Rch overflows. |
| 34 | DZF1 | O | Zero Input Detect 1 Pin (Table 13) When the input data of the group 1 follow total 8192 LRCK cycles with “0” input data, this pin goes to “H”. And when RSTN bit is “0”, PWDAN bit is “0”, this pin goes to “H”. Output is selected by setting DZFE pin when P/S pin is “H”. |
| 35 | LOUT4- | O | DAC4 Lch Negative Analog Output Pin |
| 36 | LOUT4+ | O | DAC4 Lch Positive Analog Output Pin |
| 37 | ROUT4- | O | DAC4 Rch Negative Analog Output Pin |
| 38 | ROUT4+ | O | DAC4 Rch Positive Analog Output Pin |
| 39 | LOUT3- | O | DAC3 Lch Negative Analog Output Pin |
| 40 | LOUT3+ | O | DAC3 Lch Positive Analog Output Pin |
| 41 | ROUT3- | O | DAC3 Rch Negative Analog Output Pin |
| 42 | ROUT3+ | O | DAC3 Rch Positive Analog Output Pin |
| 43 | LOUT2- | O | DAC2 Lch Negative Analog Output Pin |
| 44 | LOUT2+ | O | DAC2 Lch Positive Analog Output Pin |
| 45 | ROUT2- | O | DAC2 Rch Negative Analog Output Pin |
| 46 | ROUT2+ | O | DAC2 Rch Positive Analog Output Pin |
| 47 | LOUT1- | O | DAC1 Lch Negative Analog Output Pin |
| 48 | LOUT1+ | O | DAC1 Lch Positive Analog Output Pin |
| 49 | ROUT1- | O | DAC1 Rch Negative Analog Output Pin |
| 50 | ROUT1+ | O | DAC1 Rch Positive Analog Output Pin |
| 51 | LIN | I | Lch Analog Input Pin |
| 52 | RIN | I | Rch Analog Input Pin |
| 53 | VCOM | - | Common Voltage Output Pin 2.2 μ F capacitor should be connected to AVSS externally. |
| 54 | VREFH | - | Positive Voltage Reference Input Pin, AVDD |

| No. | Pin Name | I/O | Function |
|-----|----------|-----|--|
| 55 | AVDD | - | Analog Power Supply Pin, 4.75V~5.25V |
| 56 | AVSS | - | Analog Ground Pin, 0V |
| 57 | RX0 | I | Receiver Channel 0 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 58 | NC | - | No Connect pin No internal bonding. This pin should be connected to PVSS. |
| 59 | RX1 | I | Receiver Channel 1 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 60 | TEST1 | I | Test 1 Pin This pin should be connected to PVSS. |
| 61 | RX2 | I | Receiver Channel 2 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 62 | NC | - | No Connect pin No internal bonding. This pin should be connected to PVSS. |
| 63 | RX3 | I | Receiver Channel 3 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 64 | PVSS | - | PLL Ground pin |
| 65 | R | - | External Resistor Pin 12kΩ +/-1% resistor should be connected to PVSS externally. |
| 66 | PVDD | - | PLL Power supply Pin, 4.75V~5.25V |
| 67 | RX4 | I | Receiver Channel 4 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 68 | TEST2 | I | Test 2 Pin This pin should be connected to PVSS. |
| 69 | RX5 | I | Receiver Channel 5 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 70 | CAD0 | I | Chip Address 0 Pin (ADC/DAC part) |
| 71 | RX6 | I | Receiver Channel 6 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 72 | CAD1 | I | Chip Address 1 Pin (ADC/DAC part) |
| 73 | RX7 | I | Receiver Channel 7 Pin (Internal biased pin. Internally biased at PVDD/2) |
| 74 | I2C | I | Control Mode Select Pin. “L”: 4-wire Serial, “H”: I ² C Bus |
| 75 | DAUX2 | I | Auxiliary Audio Data Input Pin (DIR/DIT part) |
| 76 | VIN | I | V-bit Input Pin for Transmitter Output |
| 77 | MCLK | I | Master Clock Input Pin |
| 78 | TX0 | O | Transmit Channel (Through Data) Output 0 Pin |
| 79 | TX1 | O | Transmit Channel Output1 pin When DIT bit = “0”, Through Data. When DIT bit = “1”, DAUX2 Data. |
| 80 | INT0 | O | Interrupt 0 Pin |

Notes: 内部バイアスピピンとアナログ入力ピン(RX0-7, LIN, RIN)を除くすべての入力ピンはフローティングにしないで下さい。



Internal biased pin Circuit

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

| Classification | Pin Name | Setting |
|----------------|--|---|
| Analog | RX0-7, LOUT1-4, ROUT1-4, LIN, RIN | These pins should be open. |
| Digital | INT0-1, BOUT, XTO, MCKO1-2, COUT, UOUT, VOUT, SDTO1-2, CDTO, DZF1-2, TX1-0 | These pins should be open. |
| | CSN, DAUX1-2, SDTI1-4, XTL0-1 | These pins should be connected to DVSS. |
| | TEST1-3 | These pins should be connected to PVSS. |

絶対最大定格

| (AVSS, DVSS, PVSS=0V; Note 1) | | | | | |
|--|---------------------|---------------|------|----------|-------|
| Parameter | | Symbol | min | max | Units |
| Power Supplies | Analog | AVDD | -0.3 | 6.0 | V |
| | Digital | DVDD | -0.3 | 6.0 | V |
| | PLL | PVDD | -0.3 | 6.0 | V |
| | Output buffer | TVDD | -0.3 | 6.0 | V |
| | AVSS-DVSS (Note 2) | Δ GND1 | - | 0.3 | V |
| | AVSS-PVSS (Note 2) | Δ GND2 | - | 0.3 | V |
| Input Current (any pins except for supplies) | | IIN | - | \pm 10 | mA |
| Analog Input Voltage (LIN, RIN pins) | | VINA | -0.3 | AVDD+0.3 | V |
| Digital Input Voltage | | | | | |
| Except LRCK1-2, BICK1-2, RX0-7, CAD0-1, TEST1-2 pins | | VIND1 | -0.3 | DVDD+0.3 | V |
| LRCK1-2, BICK1-2 pins | | VIND2 | -0.3 | TVDD+0.3 | V |
| RX0-7, CAD0-1, TEST1-2 pins | | VIND3 | -0.3 | PVDD+0.3 | V |
| Ambient Temperature (power applied) | | Ta | -10 | 70 | °C |
| Storage Temperature | | Tstg | -65 | 150 | °C |

Notes:

1. 電圧はすべてグラウンドに対する値です。
2. AVSS, DVSS, PVSSはアナロググラウンドに接続して下さい。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

| (AVSS, DVSS, PVSS=0V; Note 3) | | | | | | |
|-------------------------------|---------------|--------|------|-----|------|-------|
| Parameter | | Symbol | min | typ | max | Units |
| Power Supplies (Note 4) | Analog | AVDD | 4.75 | 5.0 | 5.25 | V |
| | Digital | DVDD | 4.75 | 5.0 | AVDD | V |
| | PLL | PVDD | 4.75 | 5.0 | AVDD | V |
| | Output buffer | TVDD | 2.7 | 5.0 | DVDD | V |

Notes:

3. 電圧はすべてグラウンドに対する値です。
4. AVDD, DVDD, PVDD, TVDDの立ち上げシーケンスを考える必要はありません。AVDD, DVDD, PVDDの各電位差が0.5Vを超えると、消費電流が増加する場合があります。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

| |
|---------------|
| アナログ特性 |
|---------------|

(Ta=25°C; AVDD, DVDD, PVDD, TVDD=5V; AVSS, DVSS=0V; VREFH=AVDD; fs=48kHz; BICK=64fs;
Signal Frequency=1kHz; 24bit Data; Measurement Frequency=20Hz~20kHz at fs=48kHz, 20Hz~40kHz at fs=96kHz;
20Hz~40kHz at fs=192kHz, unless otherwise specified)

| Parameter | | min | typ | max | Units |
|---|-------------------------------------|------|------|------|-----------------|
| ADC Analog Input Characteristics | | | | | |
| Resolution | | | | 24 | Bits |
| S/(N+D) (-0.5dBFS) | fs=48kHz | 84 | 92 | | dB |
| | | | 86 | | dB |
| DR (-60dBFS) | fs=48kHz, A-weighted | 94 | 102 | | dB |
| | fs=96kHz | 88 | 96 | | dB |
| | fs=96kHz, A-weighted | 93 | 102 | | dB |
| S/N (Note 5) | fs=48kHz, A-weighted | 93 | 102 | | dB |
| | fs=96kHz | 88 | 96 | | dB |
| | fs=96kHz, A-weighted | 93 | 102 | | dB |
| Interchannel Isolation | | 90 | 110 | | dB |
| DC Accuracy | | | | | |
| Interchannel Gain Mismatch | | | 0.2 | 0.3 | dB |
| Gain Drift | | | 20 | - | ppm/°C |
| Input Voltage | A _{IN} =0.62xVREFH | 2.90 | 3.10 | 3.30 | V _{pp} |
| Input Resistance | fs=48kHz | 15 | 25 | | kΩ |
| | fs=96kHz | 9 | 16 | | kΩ |
| Power Supply Rejection | (Note 7) | | 50 | | dB |
| DAC Analog Output Characteristics | | | | | |
| Resolution | | | | 24 | Bits |
| S/(N+D) | fs=48kHz | 86 | 94 | | dB |
| | fs=96kHz | 84 | 92 | | dB |
| | fs=192kHz | - | 92 | | dB |
| DR (-60dBFS) | fs=48kHz, A-weighted | 104 | 114 | | dB |
| | fs=96kHz | 98 | 108 | | dB |
| | fs=96kHz, A-weighted | 104 | 114 | | dB |
| | fs=192kHz | - | 108 | | dB |
| | fs=192kHz, A-weighted | - | 114 | | dB |
| S/N (Note 8) | fs=48kHz, A-weighted | 104 | 114 | | dB |
| | fs=96kHz | 98 | 108 | | dB |
| | fs=96kHz, A-weighted | 104 | 114 | | dB |
| | fs=192kHz | - | 108 | | dB |
| | fs=192kHz, A-weighted | - | 114 | | dB |
| Interchannel Isolation | | 90 | 100 | | dB |
| DC Accuracy | | | | | |
| Interchannel Gain Mismatch | | | 0.2 | 0.5 | dB |
| Gain Drift | | | 20 | - | ppm/°C |
| Output Voltage | A _{OUT} =0.54xVREFH | ±2.5 | ±2.7 | ±2.9 | V _{pp} |
| Load Resistance | (AC Load) (Note 6) | 2 | | | kΩ |
| Power Supply Rejection | (Note 7) | | 50 | | dB |
| Power Supplies | | | | | |
| Power Supply Current | | | | | |
| Normal Operation (PDN pin = "H") (Note 9) | AVDD fs=48kHz,fs=96kHz fs=192kHz | | 70 | 98 | mA |
| | | | 57 | 80 | mA |
| | | | 12 | 17 | mA |
| PVDD DVDD+TVDD fs=48kHz (Note 10) | fs=96kHz fs=192kHz | | 44 | 62 | mA |
| | | | 57 | 80 | mA |
| | | | 68 | 95 | mA |
| Power-down mode (PDN pin = "L") (Note 11) | | | 0.1 | 1 | mA |

Notes:

5. CCIR-ARMで測定した場合は96dB(@fs=48kHz)です。
6. DC 負荷がある場合は、4kΩです。
7. VREFHを+5.0Vに固定して、AVDD, DVDD, PVDD, TVDDに1kHz, 50mVppの正弦波を重畳した場合。
8. CCIR-ARMで測定した場合は102dB (typ. @fs=48kHz)です。
9. $C_L=20\text{pF}$, $X_{\text{tal}}=24.576\text{MHz}$, CM1-0="10", CM1-0="10", OCKS1-0="10"@48kHz, "00"@96kHz, "11"@192kHz.
10. TVDD=13mA(typ).
11. 静止時。RX 入力はオープン、クロックを含む全てのデジタル入力ピンを DVSS に固定した場合の値です。TEST3="L" は通常モード、TEST3="H" はテストモードです。

| フィルタ特性 | | | | | | | |
|--|----------------------------|-----|------|---------|-------|------|--|
| (Ta=25°C; AVDD, DVDD, PVDD=4.75~5.25V; TVDD=2.7~5.25V; fs=48kHz) | | | | | | | |
| Parameter | Symbol | min | typ | max | Units | | |
| ADC Digital Filter (Decimation LPF): | | | | | | | |
| Passband (Note 12) | ±0.1dB -0.2dB -3.0dB | PB | 0 | | 18.9 | kHz | |
| | | | - | 20.0 | - | kHz | |
| | | | - | 23.0 | - | kHz | |
| Stopband | | SB | 28.0 | | | kHz | |
| Passband Ripple | | PR | | ±0.04 | | dB | |
| Stopband Attenuation | | SA | 68 | | | dB | |
| Group Delay (Note 13) | | GD | | 16 | | 1/fs | |
| Group Delay Distortion | | ΔGD | | 0 | | μs | |
| ADC Digital Filter (HPF): | | | | | | | |
| Frequency Response (Note 12) | -3dB -0.1dB | FR | | 1.0 | | Hz | |
| | | | | 6.5 | | Hz | |
| DAC Digital Filter: | | | | | | | |
| Passband (Note 12) | -0.1dB -6.0dB | PB | 0 | | 21.8 | kHz | |
| | | | - | 24.0 | - | kHz | |
| Stopband | | SB | 26.2 | | | kHz | |
| Passband Ripple | | PR | | ±0.02 | | dB | |
| Stopband Attenuation | | SA | 54 | | | dB | |
| Group Delay (Note 13) | | GD | | 19.2 | | 1/fs | |
| DAC Digital Filter + Analog Filter: | | | | | | | |
| Frequency Response: | 0 ~ 20.0kHz | FR | | ±0.2 | | dB | |
| | 40.0kHz (Note 14) | FR | | ±0.3 | | dB | |
| | 80.0kHz (Note 14) | FR | | +0/-0.6 | | dB | |

Notes:

12. 通過域と阻止域は f_s に比例します。
例えば、-0.1dB での 21.8kHz は $0.454 \times f_s(\text{DAC})$ です。
13. デジタルフィルタによる演算遅延で、アナログ信号が入力されてから両チャンネルの 24 ビットデータが ADC の出力レジスタにセットされるまでの時間です。
DAC については、両チャンネルの 20/24 ビットデータが DAC の入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。
14. 40.0kHz@fs=96kHz, 80.0kHz@fs=192kHz.

DC特性

(Ta=25°C; AVDD, DVDD, PVDD=4.75~5.25V; TVDD=2.7~5.25V)

| Parameter | Symbol | min | typ | max | Units |
|---|--------|----------|-----|----------|-------|
| High-Level Input Voltage (Except XTI pin) | VIH | 2.2 | - | - | V |
| (XTI pin) | VIH | 70% DVDD | - | - | V |
| Low-Level Input Voltage (Except XTI pin) | VIL | - | - | 0.8 | V |
| (XTI pin) | VIL | - | - | 30% DVDD | V |
| Input Voltage at AC Coupling (XTI pin) (Note15) | VAC | 40% DVDD | - | - | Vpp |
| High-Level Output Voltage (Except TX0-1, DZF pins: Iout=-400μA) | VOH | TVDD-0.4 | - | - | V |
| (TX0-1 pin: Iout=-400μA) | VOH | DVDD-0.4 | - | - | V |
| (DZF pin: Iout=-400μA) | VOH | AVDD-0.4 | - | - | V |
| Low-Level Output Voltage (Iout=400μA) | VOL | - | - | 0.4 | V |
| Input Leakage Current | Iin | - | - | ±10 | μA |

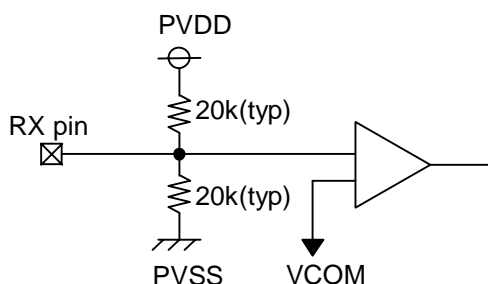
Note:

- 15. XTI pinにカップリングコンデンサ (0.1μF)を接続した場合

S/PDIFレシーバ特性

(Ta=25°C; AVDD, DVDD, PVDD=4.75~5.25V; TVDD=2.7~5.25V)

| Parameter | Symbol | min | typ | max | Units |
|---|--------|-----|-----|-----|-------|
| Input Resistance | Zin | | 10 | | kΩ |
| Input Voltage (Internally biased at PVDD/2) | VTH | 200 | | | mVpp |
| Input Hysteresis | VHY | - | 50 | | mV |
| Input Sample Frequency | fs | 32 | - | 192 | kHz |



Internal biased pin Circuit

| |
|---------------------------|
| スイッチング特性(ADC/DAC部) |
|---------------------------|

(Ta=25°C; AVDD, DVDD, PVDD=4.75~5.25V; TVDD=2.7~5.25V; C_L=20pF)

| Parameter | Symbol | min | typ | max | Units |
|--------------------------------------|--------|---------|-------|--------|-------|
| Master Clock Timing | | | | | |
| Master Clock | | | | | |
| 256fsn, 128fsd: | fCLK | 8.192 | | 12.288 | MHz |
| Pulse Width Low | tCLKL | 27 | | | ns |
| Pulse Width High | tCLKH | 27 | | | ns |
| 384fsn, 192fsd: | fCLK | 12.288 | | 18.432 | MHz |
| Pulse Width Low | tCLKL | 20 | | | ns |
| Pulse Width High | tCLKH | 20 | | | ns |
| 512fsn, 256fsd, 128fsq: | fCLK | 16.384 | | 24.576 | MHz |
| Pulse Width Low | tCLKL | 15 | | | ns |
| Pulse Width High | tCLKH | 15 | | | ns |
| LRCK1 Timing (Slave Mode) | | | | | |
| Normal mode | | | | | |
| Normal Speed Mode | fsn | 32 | | 48 | kHz |
| Double Speed Mode | fsd | 64 | | 96 | kHz |
| Quad Speed Mode | fsq | 120 | | 192 | kHz |
| Duty Cycle | Duty | 45 | | 55 | % |
| TDM 256 mode | | | | | |
| LRCK1 frequency | fsd | 32 | | 48 | kHz |
| “H” time | tLRH | 1/256fs | | | ns |
| “L” time | tLRL | 1/256fs | | | ns |
| TDM 128 mode | | | | | |
| LRCK1 frequency | fsd | 64 | | 96 | kHz |
| “H” time | tLRH | 1/128fs | | | ns |
| “L” time | tLRL | 1/128fs | | | ns |
| LRCK1 Timing (Master Mode) | | | | | |
| Normal mode | | | | | |
| Normal Speed Mode | fsn | 32 | | 48 | kHz |
| Double Speed Mode | fsd | 64 | | 96 | kHz |
| Quad Speed Mode | fsq | 120 | | 192 | kHz |
| Duty Cycle | Duty | | 50 | | % |
| TDM 256 mode | | | | | |
| LRCK1 frequency | fsn | 32 | | 48 | kHz |
| “H” time (Note 16) | tLRH | | 1/8fs | | ns |
| TDM 128 mode | | | | | |
| LRCK1 frequency | fsd | 64 | | 96 | kHz |
| “H” time (Note 16) | tLRH | | 1/4fs | | ns |
| Power-down & Reset Timing | | | | | |
| PDN Pulse Width (Note 17) | tPD | 150 | | | ns |
| PDN “↑” to SDTO1 valid (Note 18) | tPDV | | 522 | | 1/fs |

Notes:

16. I²Sフォーマット時は“L” time

17. 電源投入時はPDN pinを“L”から“H”にすることでリセットがかかります。

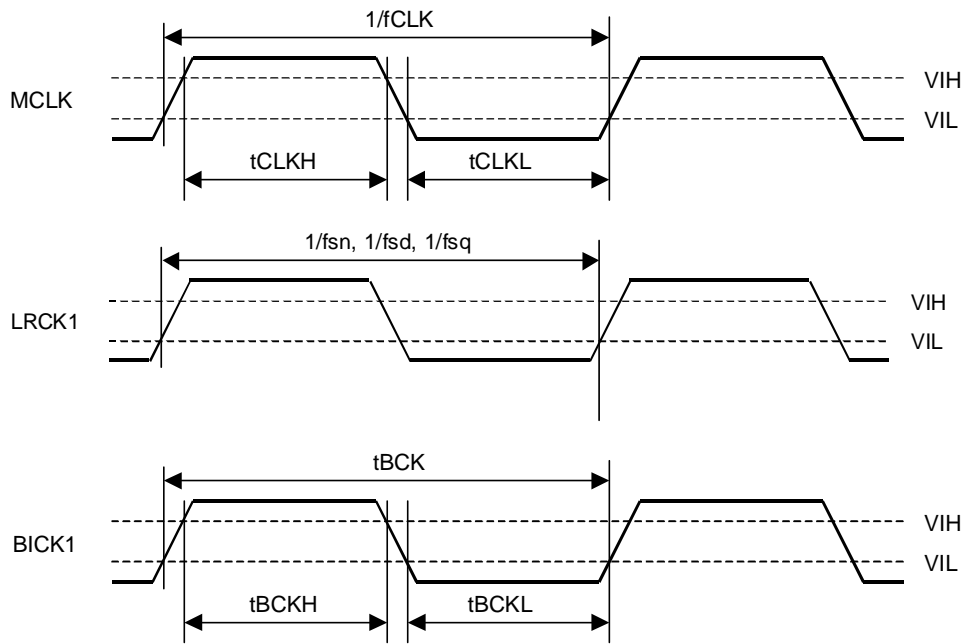
18. PDN pinを立ち下げたからのLRCK1の立ち上がりの回数です。

| Parameter | Symbol | min | typ | max | Units |
|---|--------|-----|-------|-----|-------|
| Audio Interface Timing (Slave Mode) | | | | | |
| Normal mode | | | | | |
| BICK1 Period | tBCK | 81 | | | ns |
| BICK1 Pulse Width Low | tBCKL | 32 | | | ns |
| Pulse Width High | tBCKH | 32 | | | ns |
| LRCK1 Edge to BICK1 “↑” (Note 19) | tLRB | 20 | | | ns |
| BICK1 “↑” to LRCK1 Edge (Note 19) | tBLR | 20 | | | ns |
| LRCK1 to SDTO1(MSB) | tLRS | | | 40 | ns |
| BICK1 “↓” to SDTO1 | tBSD | | | 40 | ns |
| SDTI1-4,DAUX1 Hold Time | tSDH | 20 | | | ns |
| SDTI1-4,DAUX1 Setup Time | tSDS | 20 | | | ns |
| TDM 256 mode | | | | | |
| BICK1 Period | tBCK | 81 | | | ns |
| BICK1 Pulse Width Low | tBCKL | 32 | | | ns |
| Pulse Width High | tBCKH | 32 | | | ns |
| LRCK1 Edge to BICK1 “↑” (Note 19) | tLRB | 20 | | | ns |
| BICK1 “↑” to LRCK1 Edge (Note 19) | tBLR | 20 | | | ns |
| BICK1 “↓” to SDTO1 | tBSD | | | 20 | ns |
| SDTI1 Hold Time | tSDH | 10 | | | ns |
| SDTI1 Setup Time | tSDS | 10 | | | ns |
| TDM 128 mode | | | | | |
| BICK1 Period | tBCK | 81 | | | ns |
| BICK1 Pulse Width Low | tBCKL | 32 | | | ns |
| Pulse Width High | tBCKH | 32 | | | ns |
| LRCK1 Edge to BICK1 “↑” (Note 19) | tLRB | 20 | | | ns |
| BICK1 “↑” to LRCK1 Edge (Note 19) | tBLR | 20 | | | ns |
| BICK1 “↓” to SDTO1 | tBSD | | | 20 | ns |
| SDTI1-2 Hold Time | tSDH | 10 | | | ns |
| SDTI1-2 Setup Time | tSDS | 10 | | | ns |
| Audio Interface Timing (Master Mode) | | | | | |
| Normal mode | | | | | |
| BICK1 Frequency | fBCK | | 64fs | | Hz |
| BICK1 Duty | dBCK | | 50 | | % |
| BICK1 “↓” to LRCK1 Edge | tMBLR | -20 | | 20 | ns |
| BICK1 “↓” to SDTO1 | tBSD | | | 40 | ns |
| SDTI1-4,DAUX1 Hold Time | tSDH | 20 | | | ns |
| SDTI1-4,DAUX1 Setup Time | tSDS | 20 | | | ns |
| TDM 256 mode | | | | | |
| BICK1 Frequency | fBCK | | 256fs | | Hz |
| BICK1 Duty (Note 20) | dBCK | | 50 | | % |
| BICK1 “↓” to LRCK1 Edge | tMBLR | -12 | | 12 | ns |
| BICK1 “↓” to SDTO1 | tBSD | | | 20 | ns |
| SDTI1 Hold Time | tSDH | 10 | | | ns |
| SDTI1 Setup Time | tSDS | 10 | | | ns |
| TDM 128 mode | | | | | |
| BICK1 Frequency | fBCK | | 128fs | | Hz |
| BICK1 Duty (Note 21) | dBCK | | 50 | | % |
| BICK1 “↓” to LRCK1 Edge | tMBLR | -12 | | 12 | ns |
| BICK1 “↓” to SDTO1 | tBSD | | | 20 | ns |
| SDTI1-2 Hold Time | tSDH | 10 | | | ns |
| SDTI1-2 Setup Time | tSDS | 10 | | | ns |

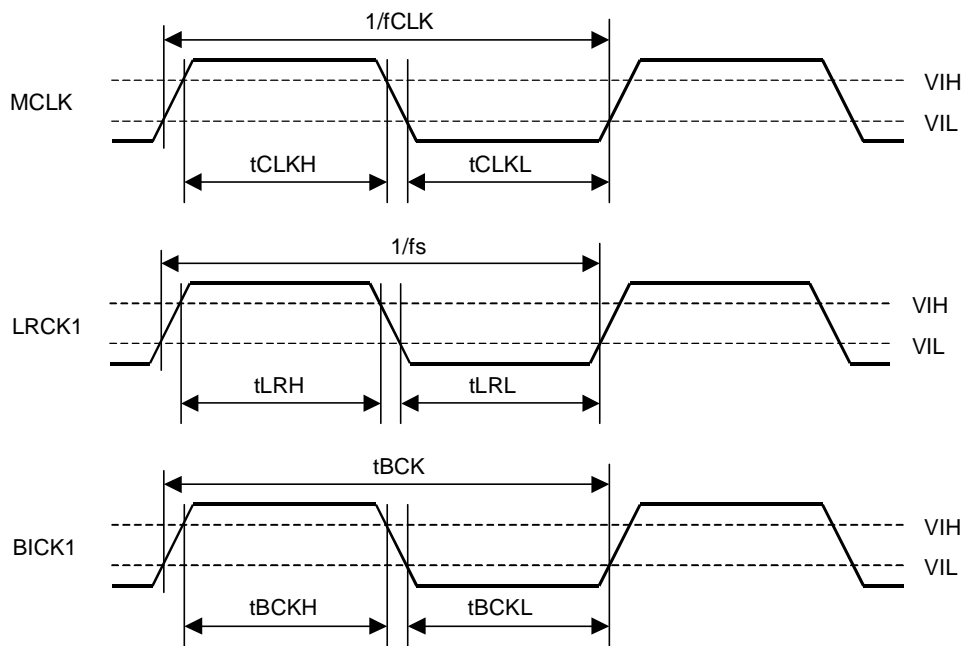
Notes:

19. この規格値はLRCK1のエッジとBICK1の立ち上がりエッジが重ならないように規定しています。
20. MCLKに512fsが入力された場合の値です。(384fs,256fsが入力された場合、Dutyの保証はできません。)
21. MCLKに256fsが入力された場合の値です。(128fsが入力された場合、Dutyの保証はできません。)

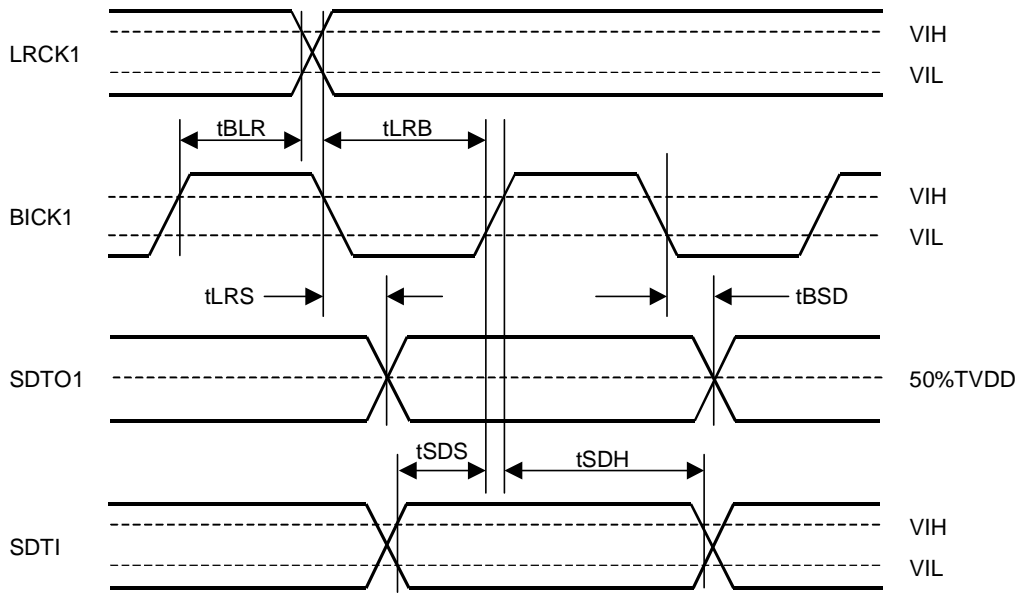
■ タイミング波形



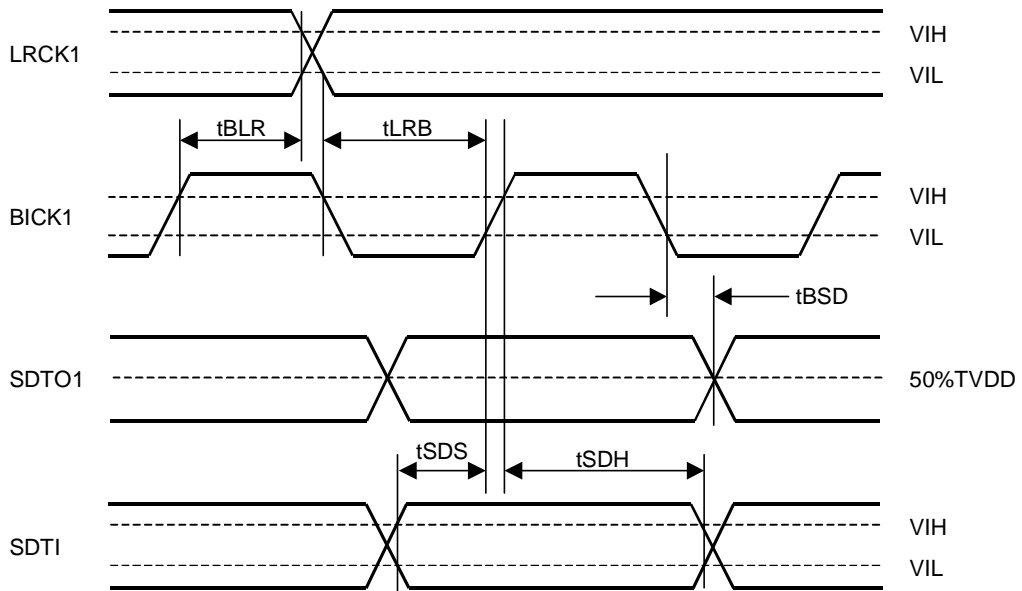
クロックタイミング (Normal mode)



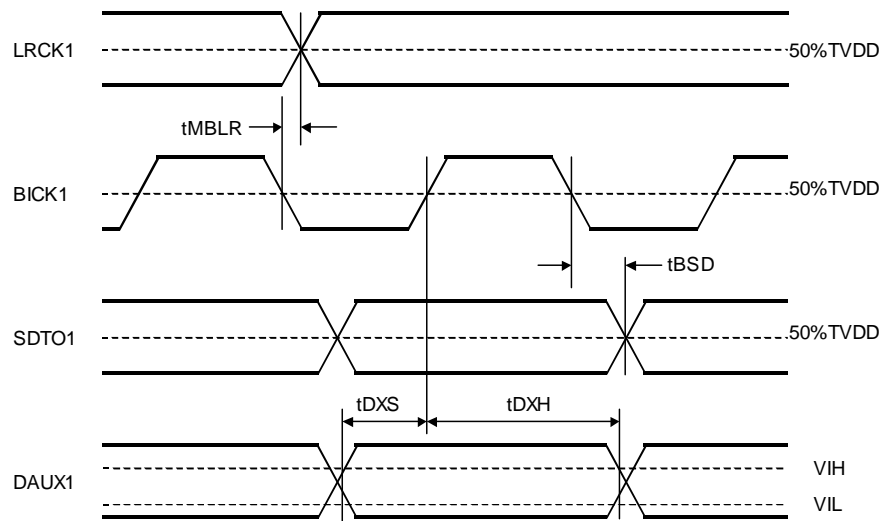
クロックタイミング (TDM 256 mode, TDM 128 mode)



オーディオインタフェースタイミング (Normal mode)



オーディオインタフェースタイミング (TDM 256 mode, TDM 128 mode)



シリアルインタフェースタイミング (Master Mode)

| |
|---------------------------|
| スイッチング特性(DIR/DIT部) |
|---------------------------|

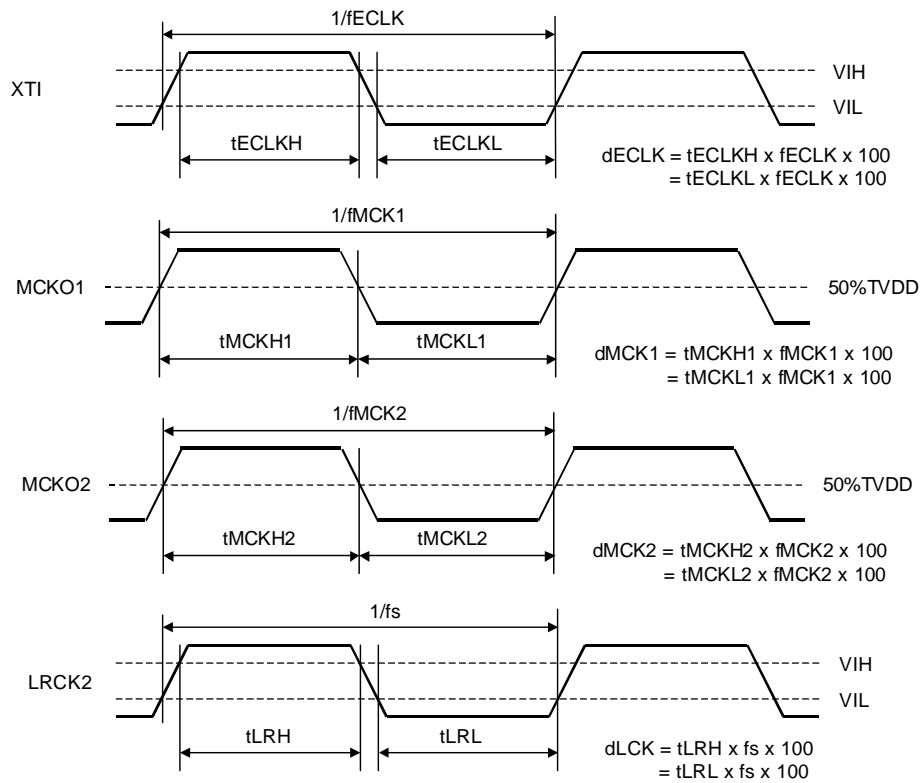
(Ta=25°C; DVDD, AVDD, PVDD=4.75~5.25V, TVDD=2.7~5.25V; CL=20pF)

| Parameter | | Symbol | min | typ | max | Units |
|-------------------------------------|-----------|--------|---------|------|--------|-------|
| Master Clock Timing | | | | | | |
| Crystal Resonator | Frequency | fXTAL | 11.2896 | | 24.576 | MHz |
| External Clock | Frequency | fECLK | 11.2896 | | 24.576 | MHz |
| | Duty | dECLK | 40 | 50 | 60 | % |
| MCKO1 Output | Frequency | fMCK1 | 4.096 | | 24.576 | MHz |
| | Duty | dMCK1 | 40 | 50 | 60 | % |
| MCKO2 Output | Frequency | fMCK2 | 2.048 | | 24.576 | MHz |
| | Duty | dMCK2 | 40 | 50 | 60 | % |
| PLL Clock Recover Frequency (RX0-7) | | fpll | 32 | - | 192 | kHz |
| LRCK2 Frequency | | fs | 32 | | 192 | kHz |
| Duty Cycle | | dLCK | 45 | | 55 | % |
| Audio Interface Timing | | | | | | |
| Slave Mode | | | | | | |
| BICK2 Period | | tBCK | 80 | | | ns |
| BICK2 Pulse Width Low | | tBCKL | 30 | | | ns |
| Pulse Width High | | tBCKH | 30 | | | ns |
| LRCK2 Edge to BICK2 “↑” | (Note 22) | tLRB | 20 | | | ns |
| BICK2 “↑” to LRCK2 Edge | (Note 22) | tBLR | 20 | | | ns |
| LRCK2 to SDTO2 (MSB) | | tLRM | | | 30 | ns |
| BICK2 “↓” to SDTO2 | | tBSD | | | 30 | ns |
| DAUX2 Hold Time | | tDXH | 20 | | | ns |
| DAUX2 Setup Time | | tDXS | 20 | | | ns |
| Master Mode | | | | | | |
| BICK2 Frequency | | fBCK | | 64fs | | Hz |
| BICK2 Duty | | dBCK | | 50 | | % |
| BICK2 “↓” to LRCK2 | | tMBLR | -20 | | 20 | ns |
| BICK2 “↓” to SDTO2 | | tBSD | | | 15 | ns |
| DAUX2 Hold Time | | tDXH | 20 | | | ns |
| DAUX2 Setup Time | | tDXS | 20 | | | ns |

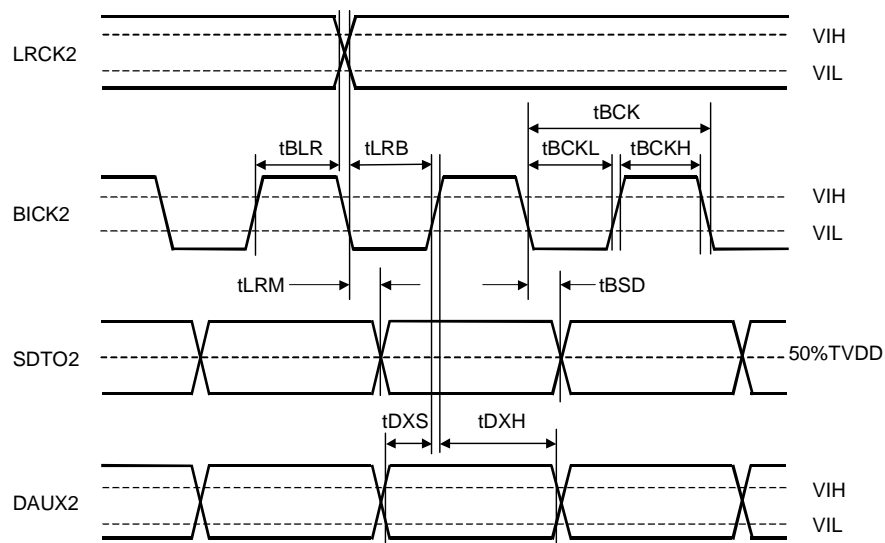
Notes:

22. この規格値はLRCK2のエッジとBICK2の立ち上がりエッジが重ならないように規定しています。

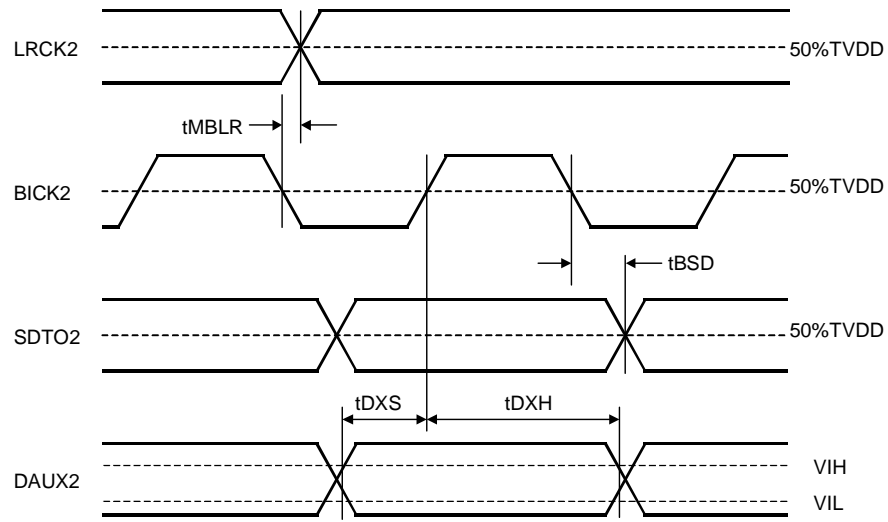
■ タイミング波形



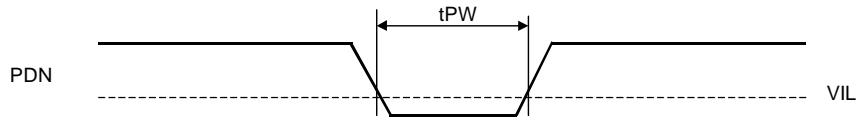
クロックタイミング



シリアルインタフェースタイミング (Slave Mode)



シリアルインタフェースタイミング (Master Mode)



パワーダウン&リセットタイミング

| |
|--|
| スイッチング特性(ADC/DAC部, DIR/DIT部 共通) |
|--|

(Ta=25°C; AVDD, DVDD, PVDD=4.75~5.25V; TVDD=2.7~5.25V; CL=20pF)

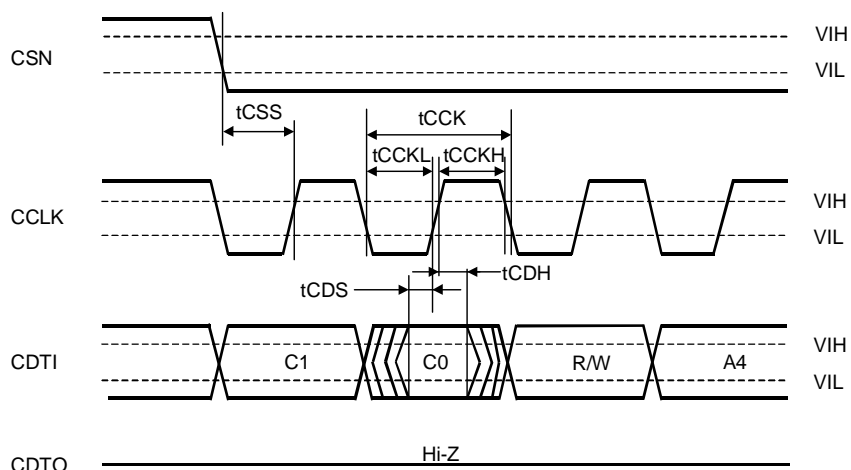
| Parameter | Symbol | min | typ | max | Units |
|---|---------|------|-----|-----|-------|
| Control Interface Timing (4-wire serial mode) | | | | | |
| CCLK Period | tCCK | 200 | | | ns |
| CCLK Pulse Width Low | tCCKL | 80 | | | ns |
| Pulse Width High | tCCKH | 80 | | | ns |
| CDTI Setup Time | tCDS | 50 | | | ns |
| CDTI Hold Time | tCDH | 50 | | | ns |
| CSN "H" Time | tCSW | 150 | | | ns |
| CSN "↓" to CCLK "↑" | tCSS | 50 | | | ns |
| CCLK "↑" to CSN "↑" | tCSH | 50 | | | ns |
| CDTO Delay | tDCD | | | 45 | ns |
| CSN "↑" to CDTO Hi-Z | tCCZ | | | 70 | ns |
| Control Interface Timing (I²C Bus mode) | | | | | |
| SCL Clock Frequency | fSCL | - | | 100 | kHz |
| Bus Free Time Between Transmissions | tBUF | 4.7 | | - | μs |
| Start Condition Hold Time (prior to first clock pulse) | tHD:STA | 4.0 | | - | μs |
| Clock Low Time | tLOW | 4.7 | | - | μs |
| Clock High Time | tHIGH | 4.0 | | - | μs |
| Setup Time for Repeated Start Condition | tSU:STA | 4.7 | | - | μs |
| SDA Hold Time from SCL Falling (Note 23) | tHD:DAT | 0 | | - | μs |
| SDA Setup Time from SCL Rising | tSU:DAT | 0.25 | | - | μs |
| Rise Time of Both SDA and SCL Lines | tR | - | | 1.0 | μs |
| Fall Time of Both SDA and SCL Lines | tF | - | | 0.3 | μs |
| Setup Time for Stop Condition | tSU:STO | 4.0 | | - | μs |
| Pulse Width of Spike Noise Suppressed by Input Filter | tSP | 0 | | 50 | ns |
| Capacitive load on bus | Cb | - | | 400 | pF |

Notes:

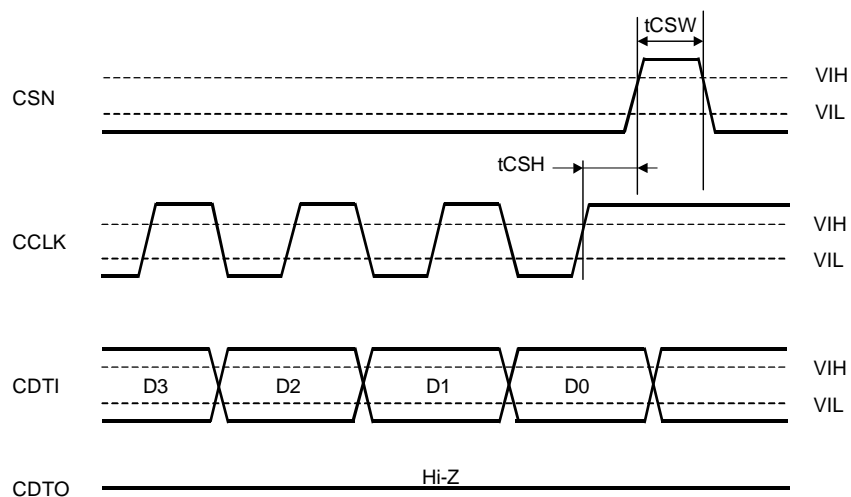
23. データは最低300ns (SCLの立ち下がり時間) の間保持されなければなりません。
 24. I²CはPhilips Semiconductorsの登録商標です。

旭化成マイクロシステム(株)製I²Cバス・コンポーネントを購入した場合、Philipsの持つI²C特許権の下、I²Cバス・システム内でこれらのコンポーネントを使用するためのライセンスが与えられます。ただしそのバス・システムが、Philipsの規定するI²C仕様に準拠している場合に限ります。

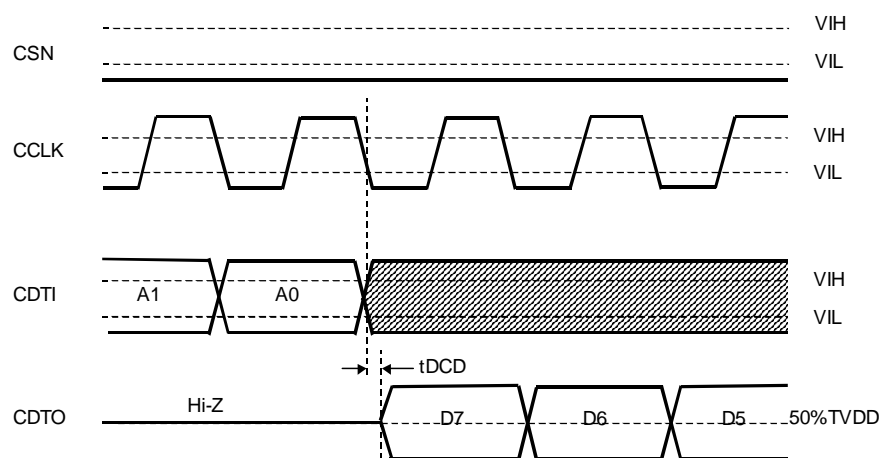
■ タイミング波形 (ADC/DAC部、DIR/DIT部)



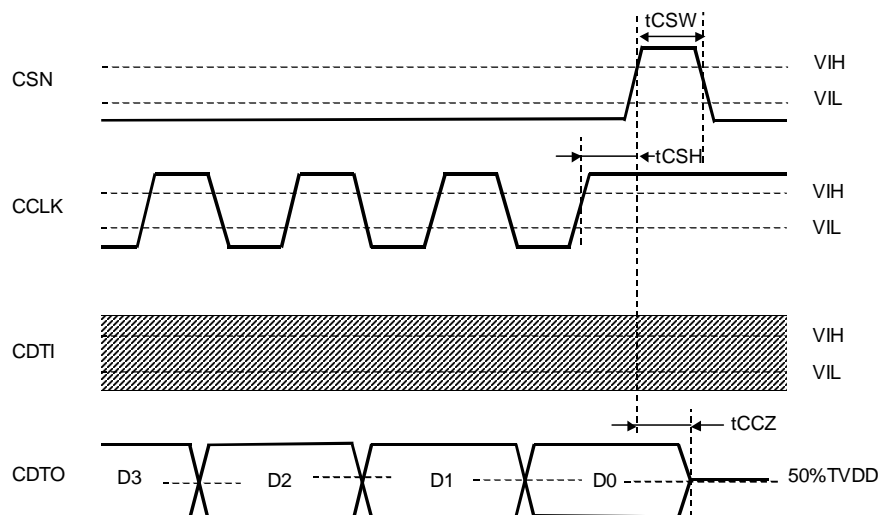
WRITE/READコマンド入力タイミング (4-wire serial mode)
ADC/DAC部のレジスタはリードできません



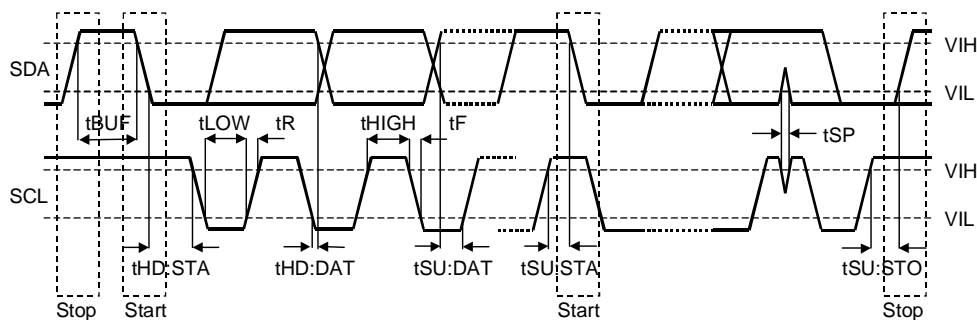
WRITEデータ入力タイミング (4-wire serial mode)



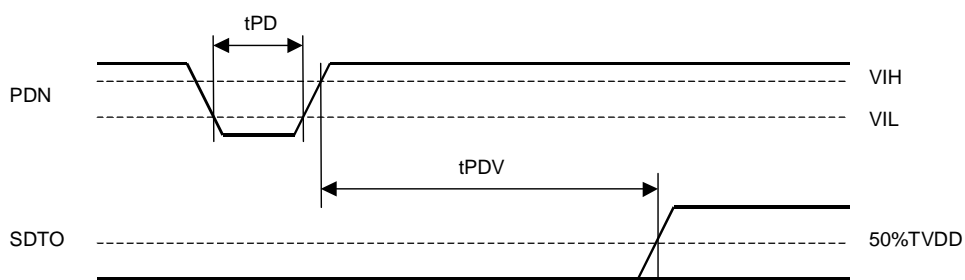
READデータ出力タイミング1 (4-wire serial mode)
ADC/DAC部のレジスタはリードできません



READデータ出力タイミング2 (4-wire serial mode)
ADC/DAC部のレジスタはリードできません



I²Cバスモードタイミング
ADC/DAC部のレジスタはリードできません



パワーダウン&リセットタイミング

| |
|------------------------|
| 動作説明 (ADC/DAC部) |
|------------------------|

■システムクロック

スレーブモード時に必要なクロックは、MCLK, LRCK1, BICK1 です。MCLKとLRCK1は同期する必要はありませんが位相を合わせる必要はありません。MCLK周波数を設定する方法は、DFS0, DFS1 bitで設定する方法 (Manual Setting Mode) とデバイス内部で自動設定する方法 (Auto Setting Mode) の2つがあります。Manual Setting Mode (ACKS bit = “0”: Default)では、DFS1-0 bitでサンプリングスピードが設定され(Table 1)、各スピードでのMCLK周波数は自動検出され、内部クロックは適切な周波数に自動設定されます(Table 3,4,5)。Auto Setting Mode (ACKS bit = “1”) では、MCLK周波数は自動検出され(Table 6)、内部クロックは適切な周波数に自動設定される(Table 7)ため、DFS bitの設定は不要です。

マスタモード時に必要なクロックはMCLKのみです。マスタクロック周波数をCKS1-0 bit(Table 2)で、サンプリングスピードをDFS1-0 bit(Table 1)で設定する必要があります。CKS1-0 bit、DFS1-0 bitを設定した直後では、BICK1とLRCK1の出力周波数やデューティが乱れる場合があります。

スレーブモードの動作時(PDN pin = “H”)に外部クロック(MCLK,BICK1,LRCK1)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN pin = “L”)またはリセット状態(RSTN1 bit = “0”)にして下さい。電源ON等のリセット解除時(PDN pin = “↑”)はMCLK, LRCK1が入力されるまでパワーダウン状態です。

マスタモードではパワーダウン時以外は外部クロック(MCLK)を供給してください。電源ON等のリセット解除時(PDN pin = “ ”)はMCLKが入力されるまでパワーダウン状態です。

| DFS1 | DFS0 | Sampling Speed (fs) | | Default |
|------|------|---------------------|---------------|---------|
| 0 | 0 | Normal Speed Mode | 32kHz~48kHz | |
| 0 | 1 | Double Speed Mode | 64kHz~96kHz | |
| 1 | 0 | Quad Speed Mode | 120kHz~192kHz | |

Table 1. サンプリングスピード (Manual Setting Mode)

| CKS1 | CKS0 | Normal | Double | Quad | Default |
|------|------|--------|--------|-------|---------|
| 0 | 0 | 256fs | 128fs | 128fs | |
| 0 | 1 | 384fs | 192fs | 128fs | |
| 1 | 0 | 512fs | 256fs | 128fs | |
| 1 | 1 | 256fs | 256fs | 128fs | |

Table 2. マスタクロック入力周波数選択 (Master Mode)

| LRCK1 | MCLK (MHz) | | | BICK1 (MHz) |
|---------|------------|---------|---------|-------------|
| | fs | 256fs | 384fs | |
| 32.0kHz | 8.1920 | 12.2880 | 16.3840 | 2.0480 |
| 44.1kHz | 11.2896 | 16.9344 | 22.5792 | 2.8224 |
| 48.0kHz | 12.2880 | 18.4320 | 24.5760 | 3.0720 |

Table 3. システムクロック例 (Normal Speed Mode @Manual Setting Mode)

| LRCK1 | MCLK (MHz) | | | BICK1 (MHz) |
|---------|------------|---------|---------|-------------|
| | fs | 128fs | 192fs | |
| 88.2kHz | 11.2896 | 16.9344 | 22.5792 | 5.6448 |
| 96.0kHz | 12.2880 | 18.4320 | 24.5760 | 6.1440 |

Table 4. システムクロック例 (Double Speed Mode @Manual Setting Mode)

(注: Double Speed Mode時 (DFS1=“0”, DFS0=“1”)の128fsと192fsでは、ADCは自動パワーダウンします。)

| LRCK1 | MCLK (MHz) | | | BICK1 (MHz) |
|----------|------------|-------|-------|-------------|
| | fs | 128fs | 192fs | |
| 176.4kHz | 22.5792 | - | - | 11.2896 |
| 192.0kHz | 24.5760 | - | - | 12.2880 |

Table 5. システムクロック例 (Quad Speed Mode @Manual Setting Mode)

(注:Quad Speed Mode時 (DFS1="1", DFS1="0")は、ADCは自動パワーダウンします。)

| MCLK | Sampling Speed |
|-------|----------------|
| 512fs | Normal |
| 256fs | Double |
| 128fs | Quad |

Table 6. サンプリングスピード (Auto Setting Mode)

| LRCK1 | MCLK (MHz) | | | Sampling Speed |
|----------|------------|---------|---------|----------------|
| | fs | 128fs | 256fs | |
| 32.0kHz | - | - | - | Normal |
| 44.1kHz | - | - | 16.3840 | |
| 48.0kHz | - | - | 22.5792 | |
| 88.2kHz | - | 22.5792 | - | Double |
| 96.0kHz | - | 24.5760 | - | |
| 176.4kHz | 22.5792 | - | - | Quad |
| 192.0kHz | 24.5760 | - | - | |

Table 7. システムクロック例 (Auto Setting Mode)

■ ディエンファシスフィルタ

IIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15 μ s特性)を内蔵しています。Double Speed Mode、Quad Speed Mode 時ディエンファシスフィルタは常にOFFです。設定はレジスタから行い、DAC1(SDTI1), DAC2(SDTI2), DAC3(SDTI3), DAC4(SDTI4)に対して独立に設定できます。

| Mode | Sampling Speed | DEM1 | DEM0 | DEM |
|------|----------------|------|------|---------|
| 0 | Normal Speed | 0 | 0 | 44.1kHz |
| 1 | Normal Speed | 0 | 1 | OFF |
| 2 | Normal Speed | 1 | 0 | 48kHz |
| 3 | Normal Speed | 1 | 1 | 32kHz |

Default

Table 8. ディエンファシスコントロール

■ デジタルHPF

ADCはDCオフセットキャンセルのためにデジタルHPFを内蔵します。HPFのfcは、fs=48kHz時1.0Hzになっており、周波数応答はfsに比例します。

■マスタモードとスレーブモード

マスタモードとスレーブモードの切り替えは MASTER pin で行います。“H”でマスタモード、“L”でスレーブモードです。

マスタモード時 (MASTER pin = “H”)には LRCK1 pin, BICK1 pin は出力となります。

スレーブモード時 (MASTER pin = “L”)には LRCK1 pin, BICK1 pin は入力となります。

LRCK1 pin, BICK1 pin の動作は Table 9 のようになります。

| PDN pin | PWADN bit, PWDAN bit | MASTER pin | LRCK1pin | BICK1 pin |
|---------|----------------------|------------|----------|-----------|
| L | - | L | Input | Input |
| | | H | “L”出力 | “L”出力 |
| H | “00” | L | Input | Input |
| | | H | “L”出力 | “L”出力 |
| H | “00”以外 | L | Input | Input |
| | | H | Output | Output |

Table 9. LRCK1 pin, BICK1 pinの動作

■オーディオインタフェースフォーマット

TDM1-0 bit = “00”のとき、8種類のデータフォーマット(Table 10)がDIF1-0 bitで選択できます。全モードともMSBファースト、2’s complimentのデータフォーマットで、SDTO1はBICK1の立ち下がり出力され、SDTI/DAUX1はBICK1の立ち上がりでラッチされます。

Figure 1~4はSDOS bit = “0”の場合のタイミングです。このときSDTO1にはADC出力データが出力されます。SDOS bit = “1”の場合は、DAUX1入力データがSDTOフォーマットに変換されて出力されます。SDTIの入力フォーマットのうち、mode2, 3, 6, 7,10,11,14,15,18,19,22,23を16~20bitで使った場合はデータのないLSBには“0”を入力して下さい。下記Table 10のDefaultはMode 2です。

| Mode | MASTER | TDM1 | TDM0 | DIF1 | DIF0 | SDTO1 | SDTI1-4, DAUX1 | LRCK1 | | BICK1 | |
|------|--------|------|------|------|------|-------------------------|-------------------------|-------|-----|--------|-----|
| | | | | | | | | I/O | I/O | I/O | I/O |
| 0 | 0 | 0 | 0 | 0 | 0 | 24bit, M J | 20bit, L J | H/L | I | ≥ 48fs | I |
| 1 | 0 | 0 | 0 | 0 | 1 | 24bit, M J | 24bit, L J | H/L | I | ≥ 48fs | I |
| 2 | 0 | 0 | 0 | 1 | 0 | 24bit, M J | 24bit, M J | H/L | I | ≥ 48fs | I |
| 3 | 0 | 0 | 0 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | L/H | I | ≥ 48fs | I |
| 4 | 1 | 0 | 0 | 0 | 0 | 24bit, M J | 20bit, L J | H/L | O | 64fs | O |
| 5 | 1 | 0 | 0 | 0 | 1 | 24bit, M J | 24bit, L J | H/L | O | 64fs | O |
| 6 | 1 | 0 | 0 | 1 | 0 | 24bit, M J | 24bit, M J | H/L | O | 64fs | O |
| 7 | 1 | 0 | 0 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | L/H | O | 64fs | O |

Table 10 オーディオデータフォーマット (Normal mode, M J shows MSB justified, L J means LSB justified.)

TDM1-0 bitを“01”に設定すると、TDM 256 modeとなり、SDTI1 pinに全DAC(8ch)のデータを入力します。SDTI2-4への入力データは無視されます。BICK1は256fs固定、LRCK1の“H”幅、“L”幅は1/256fs(min)です。8種類のデータフォーマット(Table 11)がDIF1-0 bitで選択できます。全モードともMSBファースト、2’s complimentのデータフォーマットで、SDTO1はBICK1の立ち下がり出力され、SDTI1はBICK1の立ち上がりでラッチされます。TDMモードのとき、SDOS bit, LOOP1-0 bitは“0”に設定して下さい。TDM 128 mode (96kHz)時、TDM1-0 bitを“10”に設定して下さい。SDTI1 pinにDAC(4ch; L1,R1,L2,R2)、SDTI2 pinにDAC(4ch;L3,R3,L4,R4)のデータを入力します。

| Mode | MASTER | TDM 1 | TDM0 | DIF1 | DIF0 | SDTO1 | SDTI1 | LRCK1 | | BICK1 | |
|------|--------|-------|------|------|------|-------------------------|-------------------------|-------|-----|-------|-----|
| | | | | | | | | | I/O | | I/O |
| 8 | 0 | 0 | 1 | 0 | 0 | 24bit, M J | 20bit, L J | ↑ | I | 256fs | I |
| 9 | 0 | 0 | 1 | 0 | 1 | 24bit, M J | 24bit, L J | ↑ | I | 256fs | I |
| 10 | 0 | 0 | 1 | 1 | 0 | 24bit, M J | 24bit, M J | ↑ | I | 256fs | I |
| 11 | 0 | 0 | 1 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | ↓ | I | 256fs | I |
| 12 | 1 | 0 | 1 | 0 | 0 | 24bit, M J | 20bit, L J | ↑ | O | 256fs | O |
| 13 | 1 | 0 | 1 | 0 | 1 | 24bit, M J | 24bit, L J | ↑ | O | 256fs | O |
| 14 | 1 | 0 | 1 | 1 | 0 | 24bit, M J | 24bit, M J | ↑ | O | 256fs | O |
| 15 | 1 | 0 | 1 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | ↓ | O | 256fs | O |

Table 11. オーディオデータフォーマット (TDM 256 mode, M J shows MSB justified, L J means LSB justified.)

| Mode | MASTER | TDM 1 | TDM0 | DIF1 | DIF0 | SDTO1 | SDTI1, SDTI2 | LRCK1 | | BICK1 | |
|------|--------|-------|------|------|------|-------------------------|-------------------------|-------|-----|-------|-----|
| | | | | | | | | | I/O | | I/O |
| 16 | 0 | 1 | 1 | 0 | 0 | 24bit, M J | 20bit, L J | ↑ | I | 128fs | I |
| 17 | 0 | 1 | 1 | 0 | 1 | 24bit, M J | 24bit, L J | ↑ | I | 128fs | I |
| 18 | 0 | 1 | 1 | 1 | 0 | 24bit, M J | 24bit, M J | ↑ | I | 128fs | I |
| 19 | 0 | 1 | 1 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | ↓ | I | 128fs | I |
| 20 | 1 | 1 | 1 | 0 | 0 | 24bit, M J | 20bit, L J | ↑ | O | 128fs | O |
| 21 | 1 | 1 | 1 | 0 | 1 | 24bit, M J | 24bit, L J | ↑ | O | 128fs | O |
| 22 | 1 | 1 | 1 | 1 | 0 | 24bit, M J | 24bit, M J | ↑ | O | 128fs | O |
| 23 | 1 | 1 | 1 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | ↓ | O | 128fs | O |

Table 12. オーディオデータフォーマット (TDM 128 mode, M J shows MSB justified, L J means LSB justified.)

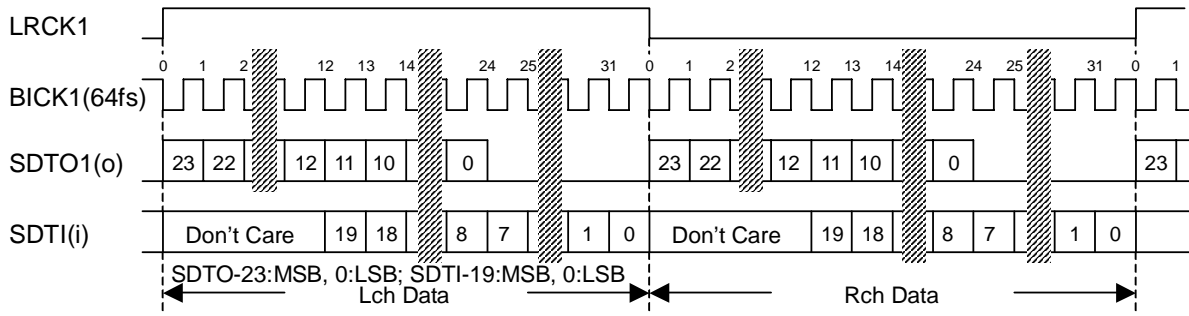


Figure 1. Mode 0,4 タイミング

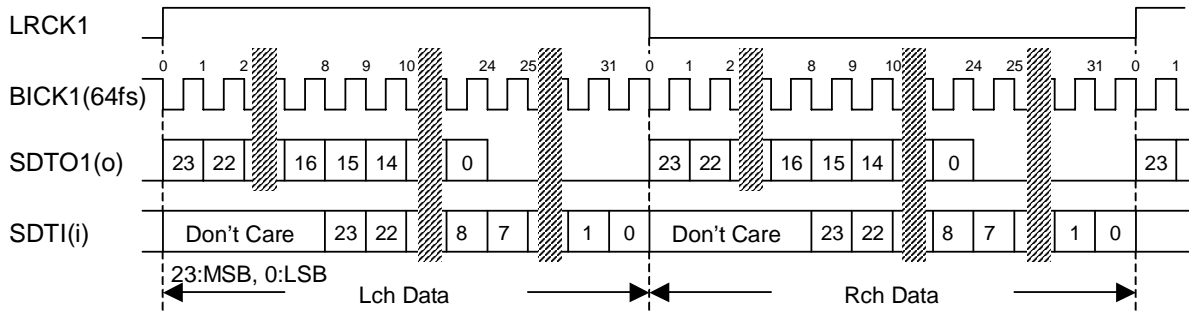


Figure 2. Mode 1,5 タイミング

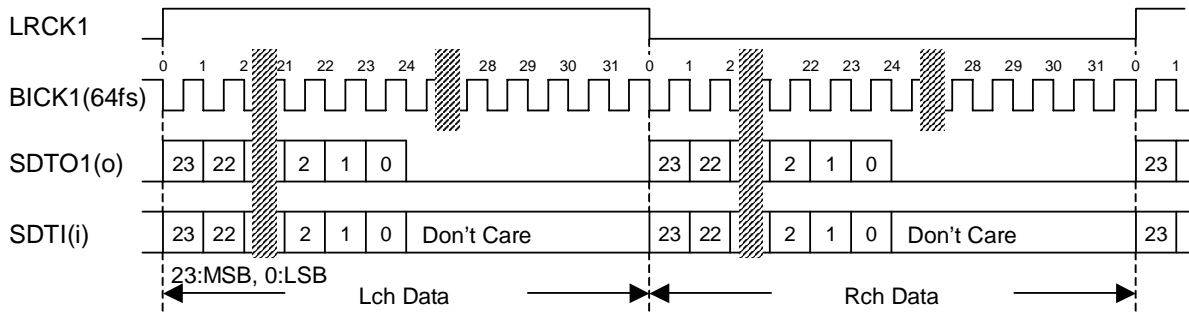


Figure 3. Mode 2,6 タイミング

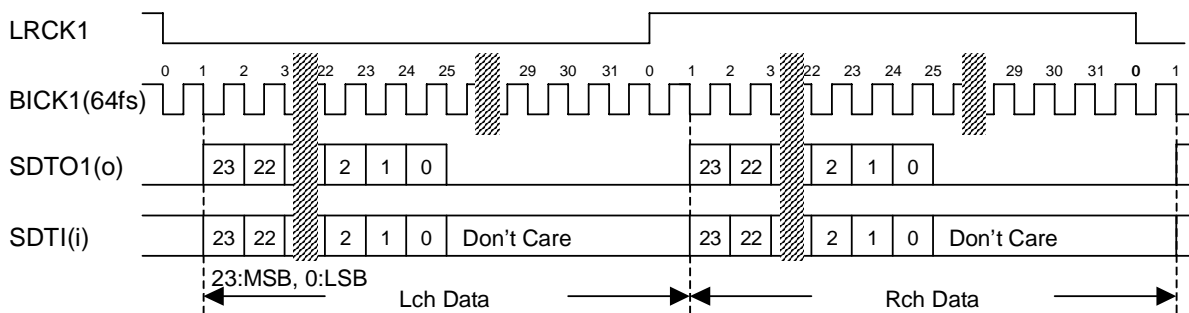
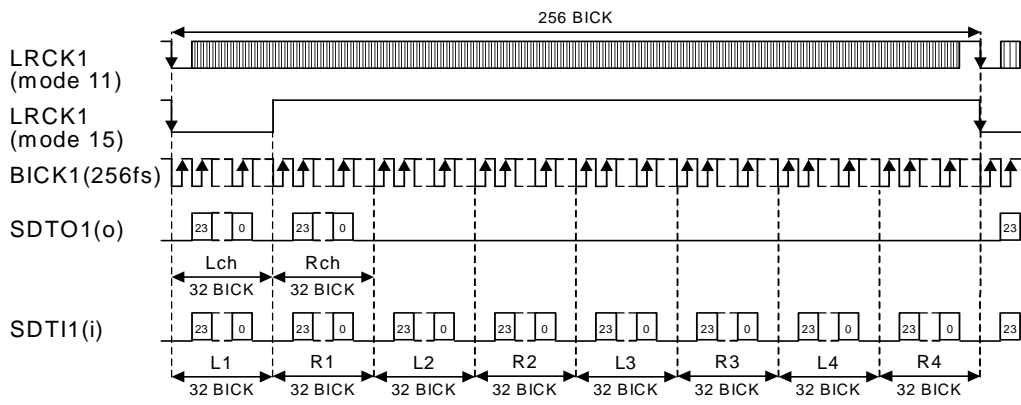
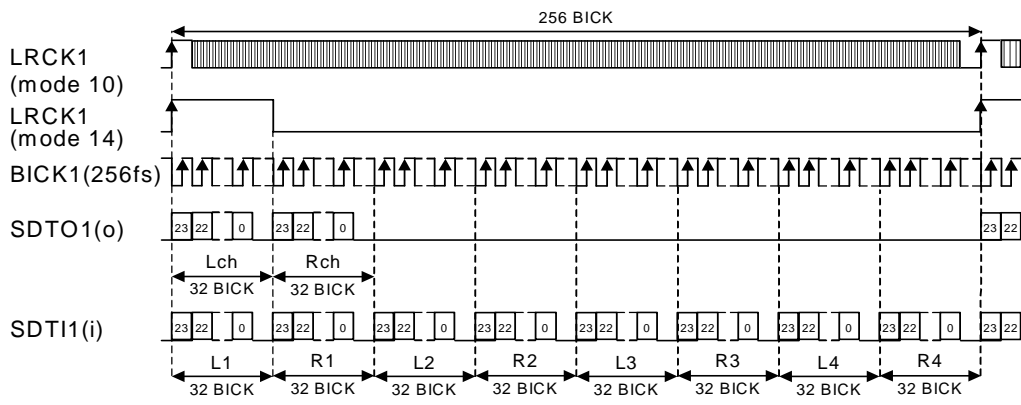
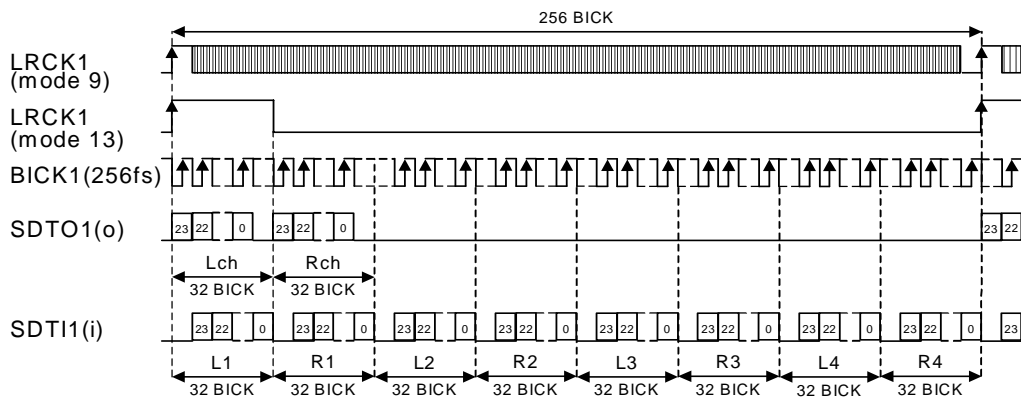
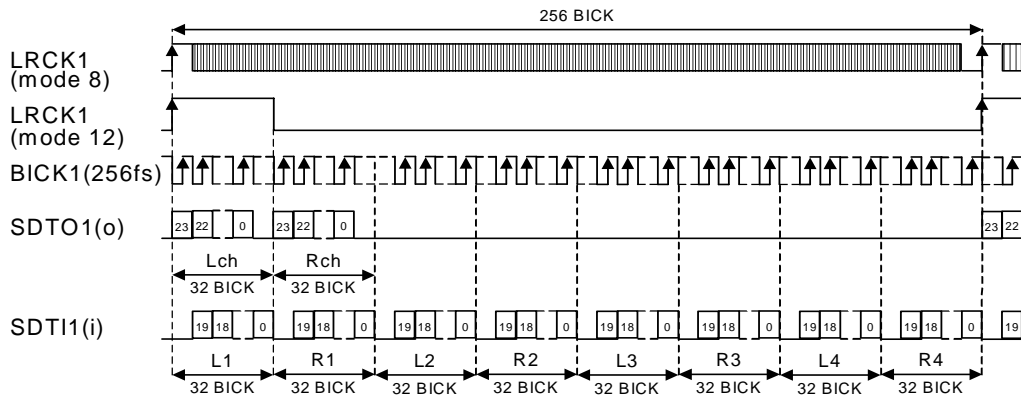


Figure 4. Mode 3,7 タイミング



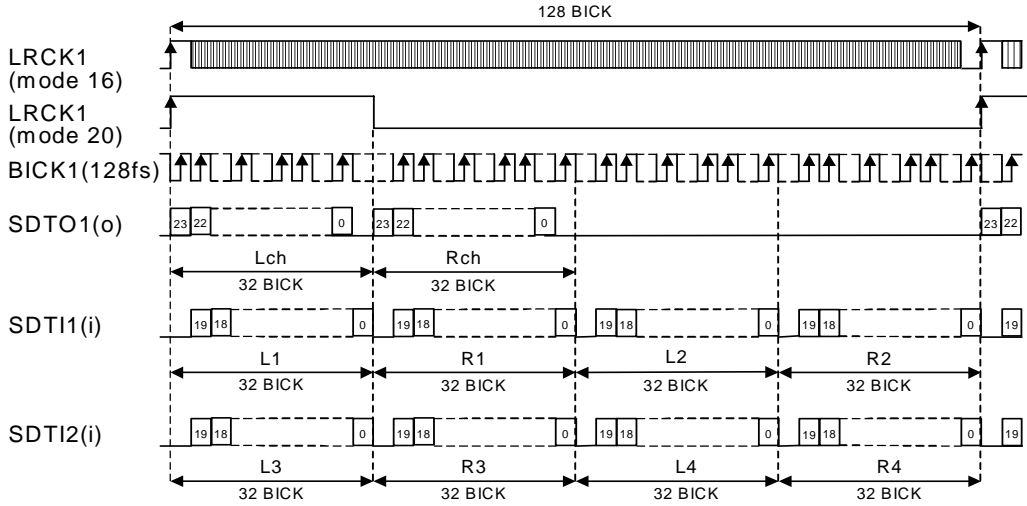


Figure 9. Mode 16,20タイミング

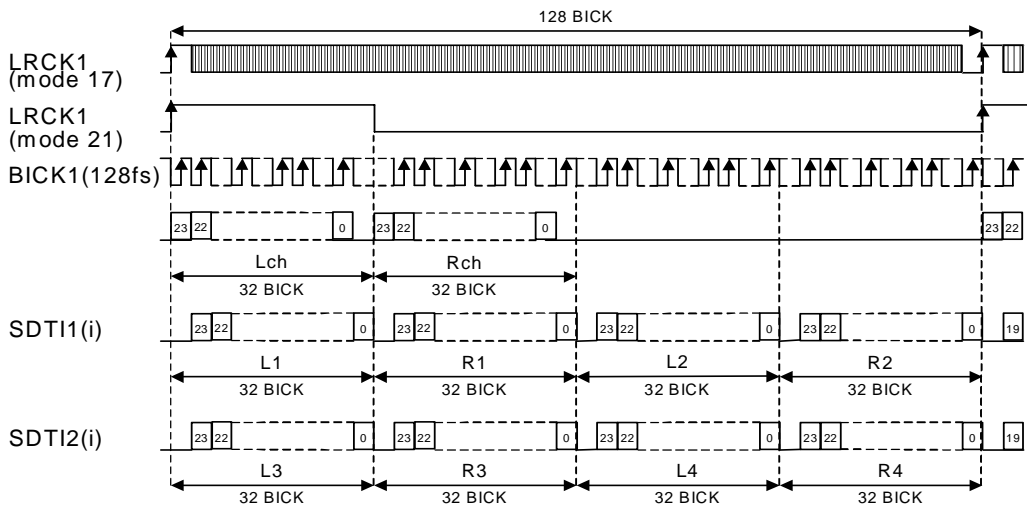


Figure 10. Mode 17,21タイミング

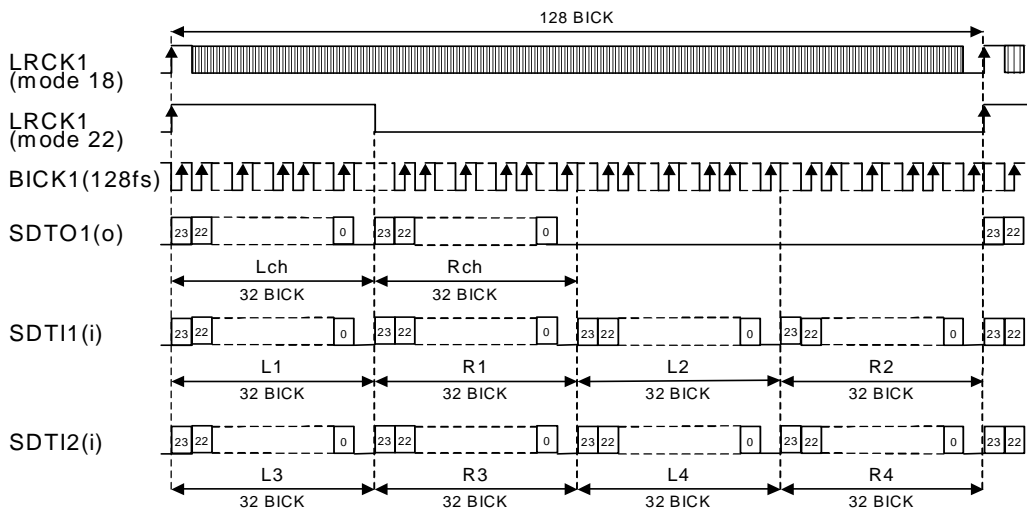


Figure 11. Mode 18,22タイミング

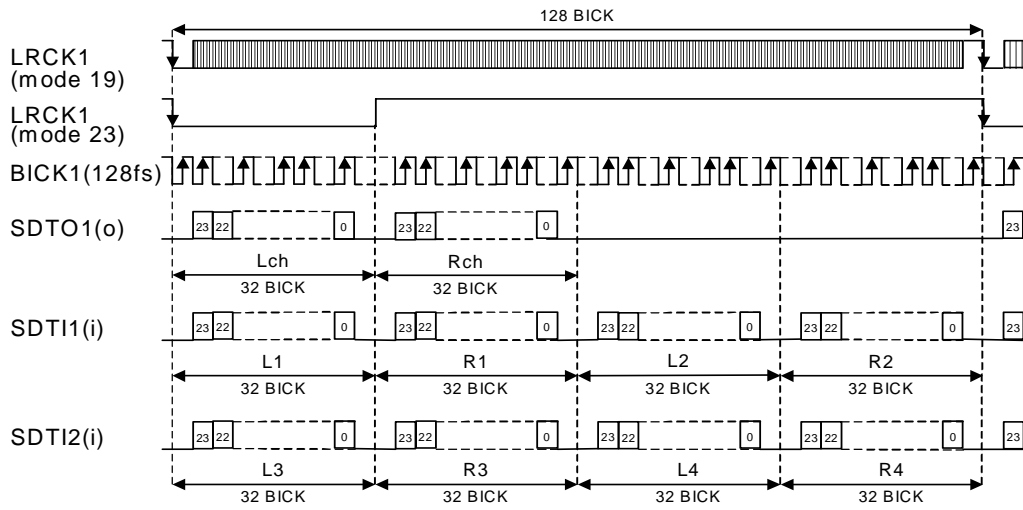


Figure 12. Mode 19,23 タイミング

■ オーバフロー検出機能

AK4589はアナログ入力のオーバフロー検出機能を持ちます。オーバフロー検出機能は、OVFE bitを“1”に設定すると有効になります。LchまたはRchのアナログ入力が増幅されると(-0.3dBFS以上)、OVF pinが“H”になります。オーバフローしたアナログ入力に対するOVF出力はADCと同じ群遅延 (GD = 16/fs = 333μs @fs=48kHz)を持ちます。パワーダウン解除後(PDN pin = “L” → “H”)、522/fs (=11.8ms @fs=48kHz)の間OVF pinは“L”で、その後オーバフロー検出機能が有効になります。

■ ゼロ検出機能

AK4589は2系統のゼロ検出機能を持ちます。チャンネルのGroup分けはDZFM3-0 bitで選択できます(Table 13)。DZF1 pinはGroup1のチャンネル、DZF2 pinはGroup2のチャンネルに対応します。ただし、OVFE bitが“1”の場合、DZF2 pinはOVF pinになります。mode 0では、DZF1 pinは全8chのANDを取り、DZF2 pinは無効(“L”)です。OVFE bitとDZFの関係はTable 14に示します。

Group1(Group2)の全チャンネルが8192回連続して“0”の場合、DZF1(DZF2) pinは“H”になります。その後Group1(Group2)のいずれかのチャンネルの入力データが“0”でなくなると“L”になります。

| Mode | DZFM | | | | AOUT | | | | | | | | |
|------|------|---|---|---|---------------------------|------|------|------|------|------|------|------|---------|
| | 3 | 2 | 1 | 0 | L1 | R1 | L2 | R2 | L3 | R3 | L4 | R4 | |
| 0 | 0 | 0 | 0 | 0 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | |
| 1 | 0 | 0 | 0 | 1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF2 | DZF2 | DZF2 | |
| 2 | 0 | 0 | 1 | 0 | DZF1 | DZF1 | DZF1 | DZF1 | DZF2 | DZF2 | DZF2 | DZF2 | |
| 3 | 0 | 0 | 1 | 1 | DZF1 | DZF1 | DZF1 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | |
| 4 | 0 | 1 | 0 | 0 | DZF1 | DZF1 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | |
| 5 | 0 | 1 | 0 | 1 | DZF1 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | |
| 6 | 0 | 1 | 1 | 0 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | DZF2 | |
| 7 | 0 | 1 | 1 | 1 | Disable (DZF1=DZF2 = “L”) | | | | | | | | Default |
| 8 | 1 | 0 | 0 | 0 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF2 | |
| 9 | 1 | 0 | 0 | 1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF1 | DZF2 | DZF2 | |
| 10 | 1 | 0 | 1 | 0 | Disable (DZF1=DZF2 = “L”) | | | | | | | | |
| 11 | 1 | 0 | 1 | 1 | | | | | | | | | |
| 12 | 1 | 1 | 0 | 0 | | | | | | | | | |
| 13 | 1 | 1 | 0 | 1 | | | | | | | | | |
| 14 | 1 | 1 | 1 | 0 | | | | | | | | | |
| 15 | 1 | 1 | 1 | 1 | | | | | | | | | |

Table 13. ゼロ検出コントロール

| OVFE bit | DZF1 pin | DZF2/OVF pin |
|----------|-----------------------|-----------------------|
| 0 | Selectable (Table 13) | Selectable (Table 13) |
| 1 | Selectable (Table 13) | OVF output |

Table 14. DZF1-2 pinの出力

■ デジタルボリューム機能

AK4589はチャンネル独立デジタルボリューム(128レベル, 0.5dBステップ)を内蔵しています。減衰量はレジスタのATT7-0 bitでそれぞれ設定します(Table 15)。

| ATT7-0 | Attenuation Level | Default |
|--------|-------------------|---------|
| 00H | 0dB | |
| 01H | -0.5dB | |
| 02H | -1.0dB | |
| : | : | |
| 7DH | -62.5dB | |
| 7EH | -63dB | |
| 7FH | MUTE (-∞) | |
| : | : | |
| FEH | MUTE (-∞) | |
| FFH | MUTE (-∞) | |

Table 15. デジタルボリュームの減衰量

ATT7-0設定値間の遷移時間はATS1-0 bitで設定します(Table 16)。Mode0とMode1では設定値間の遷移はソフト遷移です。したがって、遷移中にスイッチングノイズは発生しません。

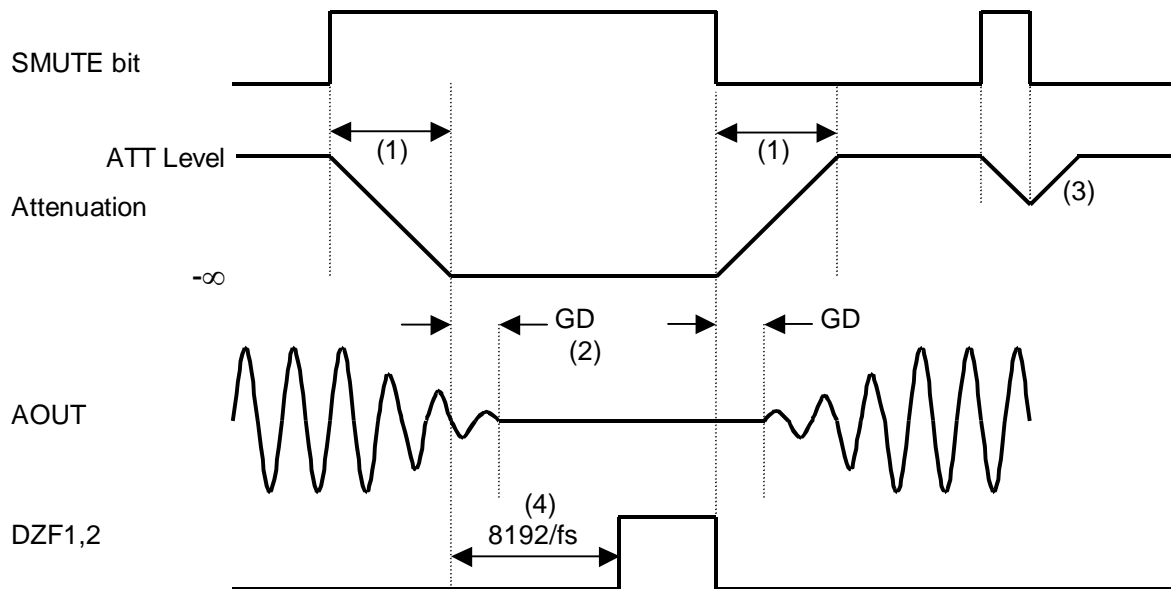
| Mode | ATS1 | ATS0 | ATT speed | Default |
|------|------|------|-----------|---------|
| 0 | 0 | 0 | 1792/fs | |
| 1 | 0 | 1 | 896/fs | |
| 2 | 1 | 0 | 256/fs | |
| 3 | 1 | 1 | 256/fs | |

Table 16. デジタルボリュームのATT7-0設定値間の遷移時間

Mode0の場合、ATT設定間の遷移は1792レベルでソフト遷移します。00H(0dB)から7FH(MUTE)までには1792/fs (37.3ms@fs=48kHz)がかかります。PDN pinを“L”にすると、ATT7-0は00Hに初期化されます。ATT7-0はRSTN1 bitを“0”にすると一旦00Hになり、RSTN1 bitを“1”に戻すと設定値に戻っていきます。

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTE bitを“1”にするとその時点のATT設定値からATT設定値×ATT遷移時間 (Table 16)で入力データが $-\infty$ (“0”)までアテネーションされます。SMUTE bitを“0”にすると、 $-\infty$ からATT設定値×ATT遷移時間でATT設定値まで復帰します。ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



注:

- (1)ATT設定値×ATT遷移時間 (Table 16)。例えば、Mode 0時、ATT設定値が“00H”の場合は1792/fsサイクルです。ソフトミュートで遷移するATT値は00H～7FHです。
- (2)デジタル入力に対してアナログ出力は群遅延(GD)を持ちます。
- (3)ソフトミュート開始後、 $-\infty$ までアテネーションされる前に解除されるとアテネーションが中断され、同じサイクルでATT設定値まで復帰します。
- (4)グループの全チャンネルの入力データが8192回連続して“0”の場合、DZF pinは“H”になります。その後グループのいずれかのチャンネルの入力データが“0”でなくなると、DZF pinは“L”になります。

Figure 13. ソフトミュート機能とゼロ検出機能

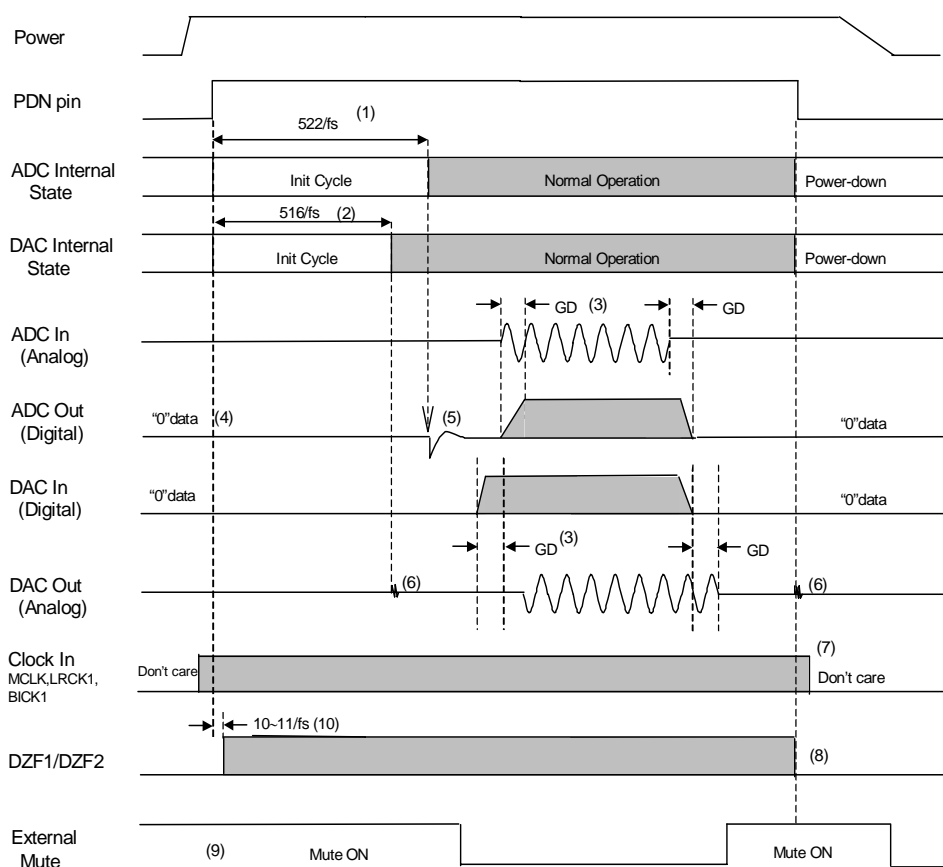
■ システムリセット

電源 ON 時には、PDN pinに一度“L”を入力してリセットして下さい。リセット及びパワーダウンは MCLK で解除され、その後 LRCK1 の“↑”に同期して内部回路がパワーアップし、内部のタイミングが動作します。LRCK1 が入力されるまでパワーダウン状態です。

■ パワーダウン機能

AK4589のADCとDACはパワーダウンピン(PDN pin)を“L”にすることでパワーダウンでき、このとき同時に各デジタルフィルタがリセットされます。PDN pin = “L”で内部レジスタ値は初期化されます。パワーダウンモード時、アナログ出力はVCOM電圧、SDTO1,DZF1-2 pinは“L”になります。このリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データ、SDTO1は522 x LRCK1サイクル後確定します。DACの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。初期化中のアナログ出力はVCOM電圧です。Table 14にパワーダウン及びパワーアップ時のシーケンス例を示します。

ADCと全DACはPWADN bitとPWDAN bitでそれぞれ独立にパワーダウンできます。また、DAC1-4はPD1-4 bitでそれぞれ独立にパワーダウンができます。このときレジスタ値は初期化されません。PWADN bit = “0”のときSDTO1 pinは“L”になります。PWDAN bit = “0”及び PD1-4 bit = “0”のとき、アナログ出力はVCOM電圧、DZF1-2 pinは“H”になります。このとき異音が生じるので、問題になる場合は外部でミュートして下さい。



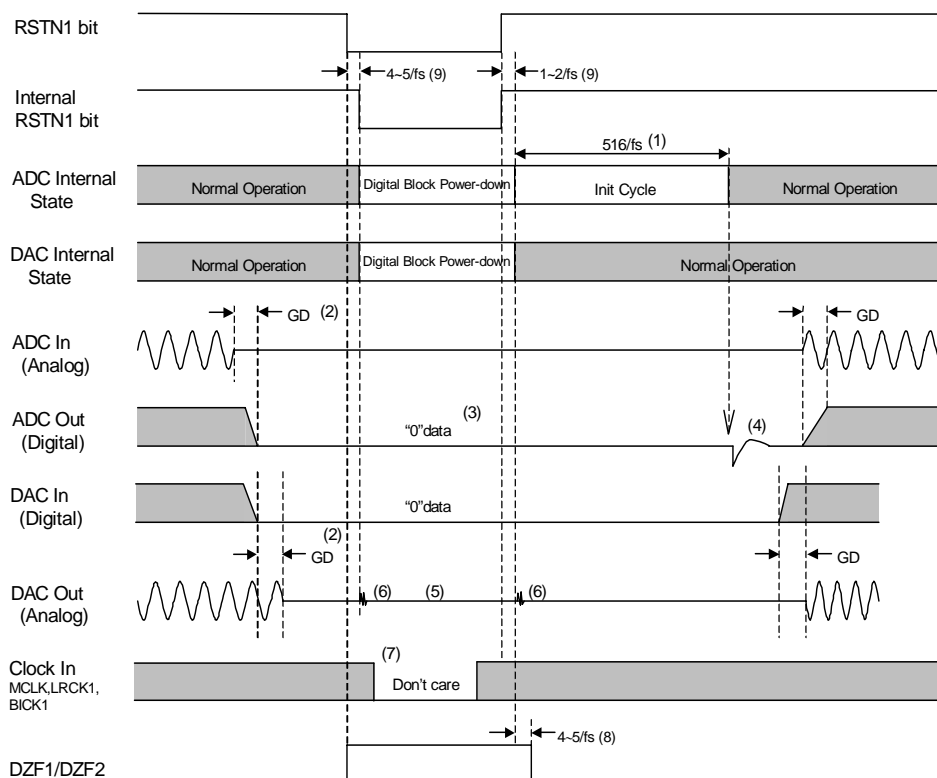
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) DACはパワーダウン解除後、アナログ部が初期化されます。
- (3) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (4) パワーダウン時ADC出力は“0”データです。
- (5) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (6) PDN信号の立ち下がりエッジ、及びPDN信号の立ち上がりエッジの512/fs後で異音が出力されます。
- (7) パワーダウン状態(PDN pin = “L”)では各クロック入力(MCLK, BICK1, LRCK1)を止めることができます。
- (8) パワーダウン状態(PDN pin = “L”)では、DZF1-2 pinは“L”になります。
- (9) 異音(6)が問題になる場合はアナログ出力を外部でミュートして下さい。
- (10) PDN信号の“↑”から10~11/fsの間はDZF pin = “L”です。

Figure 14. パワーダウン/アップシーケンス例

■リセット機能

RSTN1 bit = “0”のときADCとDACはパワーダウンしますがレジスタ値は初期化されません。このときアナログ出力はVCOM電圧、DZF1-2 pinは“H”、SDTO1 pinは“L”になります。この時異音が生じるので、問題になる場合は外部でミュートして下さい。Table 15にRSTN1 bitによるリセットシーケンスを示します。



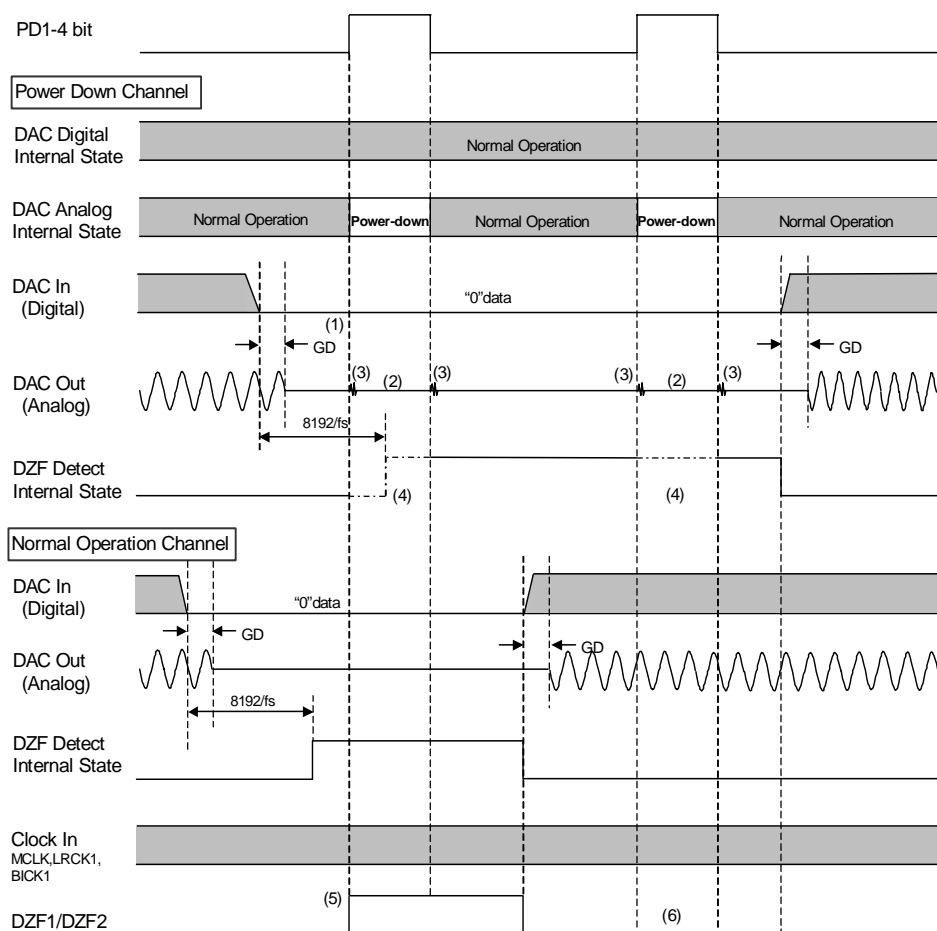
注：

- (1) ADCはパワーダウン解除後、アナログ部が初期化されます。
- (2) アナログ入力に対するデジタル出力、デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (3) パワーダウン時ADC出力は“0”データです。
- (4) アナログ部の初期化終了時ADC出力に異音が出力されます。異音が問題になる場合はデジタル出力をミュートして下さい。
- (5) RSTN1 bit = “0”の時、アナログ出力はVCOM電圧です。
- (6) RSTN1 bitが“0”になってから4~5/fs後、及びRSTN1 bitが“1”になってから1~2/fs後に異音が出力されます。
- (7) リセット状態(RSTN1 bit = “0”)では各クロック入力(MCLK, BICK1, LRCK1)を止めることができます。リセット解除する場合は、各クロック(MCLK, BICK1, LRCK1)が入力された後でRSTN1 bit = “1”を書き込んで下さい。
- (8) DZF1-2 pinはRSTN1 bitが“0”になると“H”になり、RSTN1 bitが“1”になってから6~7/fs後“L”になります。
- (9) RSTN1 bitに“0”を書き込んでからLSI内部のRSTN信号が変化するまで4~5/fsかかります。

Figure 15. リセットシーケンス例

■ DAC 個別パワーダウン機能

AK4589 では DAC パワーダウンビット PD1-4 bit により個別にパワーダウンをすることができます。パワーダウンビットが“1”のとき、該当する DAC のアナログ部はパワーダウンしますが、デジタル部はパワーダウンされません。個別パワーダウンビットにより全パワーダウンを設定しても、デジタル部は動作しつづけます。PD1-4 bit によりパワーダウンされた DAC のアナログ出力は VCOM 電圧になり、DZF 検出は行っていますが、DZF 検出結果は DZF1-2 pin に反映されなくなります。パワーダウンの設定・解除の両方で異音が生じるため、問題になる場合は外部でミュート、もしくは PWDAN bit = “0”または RSTN1 bit = “0”の時に PD1-4 bit の設定を行ってください。Figure 16 に PD1-4 bit によるパワーダウン及びパワーアップ時のシーケンスを示します。



注：

- (1) デジタル入力に対するアナログ出力は群遅延(GD)をもちます。
- (2) PD1-4 bit でパワーダウンされた DAC のアナログ出力は VCOM 電圧です。
- (3) PD1-4 bit を変化させた直後、PD bit を変化させた DAC の出力には異音が出力されます。
- (4) パワーダウンされた DAC では DZF 検出は行っていますが、検出結果は DZF1-2 pin には反映されません。
- (5) パワーダウン設定により、パワーダウンされた DAC の DZF 検出結果が無視され、DZF1-2 pin が“H”になります。
- (6) パワーダウンを行わない DAC に入力がある場合に、個別パワーダウンを行っても DZF1-2 pin は“H”にはなりません。異音が問題になる場合にはアナログ出力を外部でミュートしてください。

Figure 16. DAC 個別パワーダウン例

■ レジスタマップ

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-----------------------------------|-------|-------|-------|-------|-------|-------|-------|-------|
| 00H | Control 1 | 0 | 0 | TDM1 | TDM0 | DIF1 | DIF0 | 0 | SMUTE |
| 01H | Control 2 | CKS1 | DFS1 | LOOP1 | LOOP0 | SDOS | DFS0 | ACKS | CKS0 |
| 02H | LOUT1 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 03H | ROUT1 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 04H | LOUT2 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 05H | ROUT2 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 06H | LOUT3 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 07H | ROUT3 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 08H | De-emphasis | DEMD1 | DEMD0 | DEMA1 | DEMA0 | DEMB1 | DEMB0 | DEMC1 | DEMC0 |
| 09H | ATT speed & Power Down Control | 0 | PD4 | ATS1 | ATS0 | PD3 | PD2 | PD1 | RSTN1 |
| 0AH | Zero detect | OVFE | DZFM3 | DZFM2 | DZFM1 | DZFM0 | PWVRN | PWADN | PWDAN |
| 0BH | LOUT4 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 0CH | ROUT4 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |

注: アドレス0DH~1FHは書き込み不可です。

PDN pinを“L”にすると、レジスタ値は初期化されます。

RSTN bitを“0”にすると、内部のタイミングがリセットされ、DZF1-2 pinが“H”になります。但し、レジスタ値は初期化されません。

■ 詳細説明

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|---------------|----|----|------|------|------|------|----|-------|
| 00H | Control 1 | 0 | 0 | TDM1 | TDM0 | DIF1 | DIF0 | 0 | SMUTE |
| | Default | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

SMUTE: ソフトミュート機能有効

0: 通常動作

1: 全DAC出力がソフトミュートされます。

DIF1-0: オーディオデータインタフェースモード選択(Table 10)

初期値: “10”, mode 2

TDM1-0: TDMフォーマット選択(Table 11,12)

| Mode | TDM1 | TDM0 | SDTI | Sampling Speed |
|------|------|------|------|----------------------------------|
| 0 | 0 | 0 | 1-4 | Normal, Double, Quad Times Speed |
| 1 | 0 | 1 | 1 | Normal Speed |
| 2 | 1 | 1 | 1-2 | Normal, Double Speed |

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|---------------|------|------|-------|-------|------|------|------|------|
| 01H | Control 2 | CKS1 | DFS1 | LOOP1 | LOOP0 | SDOS | DFS0 | ACKS | CKS0 |
| | Default | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

ACKS: クロック自動認識モード有効

0: 無効, Manual Setting Mode

1: 有効, Auto Setting Mode

ACKS bit = "1"のとき、MCLK 周波数は自動検出されます。この場合 DFS の設定は無視されます。ACKS bit = "0"のとき、サンプリングスピードモードは DFS0,1 bit で設定し、各モードでの MCLK 周波数は自動検出されます。

DFS1-0: サンプリングスピードコントロール(Table 1)

ACKS bit = "1"のとき、DFSの設定は無視されます。

CKS0-1: マスタクロック入力周波数選択 (MASTER Mode, Table 2)

SDOS: SDTO1ソース選択

0: ADC

1: DAUX1

TDM0 bit = "1"のとき、SDOS bitの設定は "0"に設定して下さい。

PWADN bit = "0"かつPWDAN bit = "0"の場合には、SDOSのレジスタの設定は無効になり、ADC出力が選択されます。(PWADN bit = "0"のためSDTO1 pin出力は"L"出力となります。)

LOOP1-0: ループバックモード有効

00: 通常動作 (ループバックなし)

01: LIN → LOUT1, LOU2, LOU3, LOU4

RIN → ROUT1, ROUT2, ROUT3, ROUT4

ADCのデジタル出力(SDOS bit = "1"のときはDAUX1入力)をDACのデジタル入力に接続します。このモードではDAC入力のSDTI1-4は無視されます。ループバックモード時SDTO1のフォーマットは、オーディオフォーマットがmode0の場合はmode2、mode1の場合はmode3になります。

10: SDTI1(L) → SDTI2(L), SDTI3(L), SDTI4(L)

SDTI1(R) → SDTI2(R), SDTI3(R), SDTI4(R)

このモードではDAC入力のSDTI2-4は無視されます。

11: N/A

TDM0 bit = "1"のとき、LOOP1-0 bitの設定は "00"に設定して下さい。

PWADN bit = "0"かつPWDAN bit = "0"の場合には、LOOP1-0 bitの設定は無効になり、通常動作(ループバックなし)になります。

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|----------------------|------|------|------|------|------|------|------|------|
| 02H | LOUT1 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 03H | ROUT1 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 04H | LOUT2 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 05H | ROUT2 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 06H | LOUT3 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 07H | ROUT3 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 0BH | LOUT4 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| 0CH | ROUT4 Volume Control | ATT7 | ATT6 | ATT5 | ATT4 | ATT3 | ATT2 | ATT1 | ATT0 |
| Default | | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

ATT7-0: アテネーションレベル(Table 15)

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|---------------|-------|-------|-------|-------|-------|-------|-------|-------|
| 08H | De-emphasis | DEMD1 | DEMD0 | DEMA1 | DEMA0 | DEMB1 | DEMB0 | DEMC1 | DEMC0 |
| Default | | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |

DEMA1-0: DAC1のディエンファシス応答コントロール(Table 8)

初期値: “01”, OFF

DEMB1-0: DAC2のディエンファシス応答コントロール(Table 8)

初期値: “01”, OFF

DEMC1-0: DAC3のディエンファシス応答コントロール(Table 8)

初期値: “01”, OFF

DEMD1-0: DAC4のディエンファシス応答コントロール(Table 8)

初期値: “01”, OFF

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-----------------------------------|----|-----|------|------|-----|-----|-----|-------|
| 09H | ATT speed & Power Down Control | 0 | PD4 | ATS1 | ATS0 | PD3 | PD2 | PD1 | RSTN1 |
| | Default | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

RSTN1: 内部タイミングリセット

0: リセット。DZF1-2 pinは“H”になりますが、レジスタ値は初期化されません。

1: 通常動作。

ATS1-0: デジタルアテネータ遷移時間設定(Table 16)

初期値: “00”, mode 0

PD1-0: Power-down control (0: Power-up, 1: Power-down)

PD1: Power down control of DAC1

PD2: Power down control of DAC2

PD3: Power down control of DAC3

PD4: Power down control of DAC4

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|---------------|------|-------|-------|-------|-------|-------|-------|-------|
| 0AH | Zero detect | OVFE | DZFM3 | DZFM2 | DZFM1 | DZFM0 | PWVRN | PWADN | PWDAN |
| | Default | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |

PWDAN: DAC1-4のパワーダウンコントロール

0: パワーダウン

1: 通常動作

PWADN: ADCのパワーダウンコントロール

0: パワーダウン

1: 通常動作

PWVRN: 基準電圧のパワーダウンコントロール

0: パワーダウン

1: 通常動作

DZFM3-0: ゼロ検出モード選択 (Table 13)

初期値: “0111”, 無効

OVFE: オーバフロー検出機能有効

0: 無効, pin#33はDZF2 pinとなります。

1: 有効, pin#33はOVF pinとなります。

動作説明 (DIR/DIT部)

■ **Non-PCM/DTS-CDデータストリーム自動検出機能**

AK4589はNon-PCMデータストリームの検出機能をもちます。Dolby “AC-3 Data Stream in IEC60958 Interface”に準拠した32ビット ModeのNon-PCMデータプリアンブルが検出されるときAUTO bitが “1”になります。プリアンブルの96ビット sync codeは 0x0000, 0x0000, 0x0000, 0x0000, 0xF872 and 0x4E1Fで構成されます。次の4096フレームでsync codeが検出されない場合、さらにsync codeが検出されるまでAUTO bitは “0”です。また、このプリアンブルが検出された場合、sync codeに続いて2バイト(Pc, Pd)をレジスタに格納します。同様にDTS-CDのデータプリアンブルが検出されるとDTSCD bitが “1”になります。次の4096フレームでsync codeが検出されない場合、さらにsync codeが検出されるまでDTSCD bitは “0”です。

■ **192kHz対応クロックリカバリ回路**

内蔵する低ジッタPLLは32kHzから192kHzのロックレンジをもち、ロック時間は20ms以下です。また、水晶発振回路のリファレンスクロック若しくはチャンネルステータスのサンプリング周波数情報を用い、サンプルレート(32kHz, 44.1kHz, 48kHz, 88.2kHz, 96kHz, 176.4kHz, 192kHz)を検出します。正しい間隔でプリアンブルを受信しないと同期外れが起こります。

■ **マスタクロック出力**

AK4589はマスタクロック出力ピンを2ピンもちます。マスタクロックソースとしてPLLでリカバリしたクロックまたは外付けのX'talで発振したクロックのどちらかを選択できます(Table 17)。マスタクロック出力(MCKO1, MCKO2)及びX'talの周波数のfsに対する比はOCKS1-0 bitで設定します。96kHz時は512fs、192kHz時は256fs,512fsが出力されません。

| No. | OCKS1 | OCKS0 | MCKO1 | MCKO2 | X'tal | fs (max) | |
|-----|-------|-------|-------|-------|-------|----------|---------|
| 0 | 0 | 0 | 256fs | 256fs | 256fs | 96 kHz | Default |
| 1 | 0 | 1 | 256fs | 128fs | 256fs | 96 kHz | |
| 2 | 1 | 0 | 512fs | 256fs | 512fs | 48 kHz | |
| 3 | 1 | 1 | 128fs | 64fs | 128fs | 192 kHz | |

Table 17. マスタクロック出力周波数選択 (Stereo mode時)

■ **マスタクロック動作モード**

オーディオ出力データとしてRXデータを選択するかDAUX2データを選択するかはCM1-0 bitで設定されます。Mode 2ではPLLがUnlockになるとクロックソースが自動的にX'talに切り替わります。Mode 3ではクロックソースはX'talに固定ですが、チャンネルステータス等のRXデータはモニターできます。Mode 2, 3ではPLLとX'talの周波数が重ならないように設定することを推奨します。

| Mode | CM1 | CM0 | UNLOCK | PLL | X'tal | Clock source | SDTO | |
|------|-----|-----|--------|-----|----------|--------------|-------|---------|
| 0 | 0 | 0 | - | ON | ON(Note) | PLL | RX | Default |
| 1 | 0 | 1 | - | OFF | ON | X'tal | DAUX2 | |
| 2 | 1 | 0 | 0 | ON | ON | PLL | RX | |
| | | | 1 | ON | ON | X'tal | DAUX2 | |
| 3 | 1 | 1 | - | ON | ON | X'tal | DAUX2 | |

ON:発振 (Power-up), OFF:発振停止 (Power-Down)

Note: X'talをリファレンスクロックに使用しない場合(XTL1-0 pin = “H,H”)はOFFです。

Table 18. クロック動作モード選択

■ クロックソース

AK4589のXTI pinには、以下の方法でのクロックの供給が可能です。

1) X'tal を使う場合

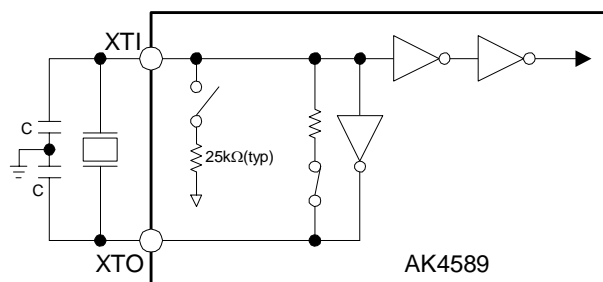


Figure 17. X'talモード

Note: コンデンサの値は水晶振動子に依存します(Typ.10-40pF)。

2) 外部クロックを使う場合

- Note: DVDD以上のクロックは入力しないで下さい。

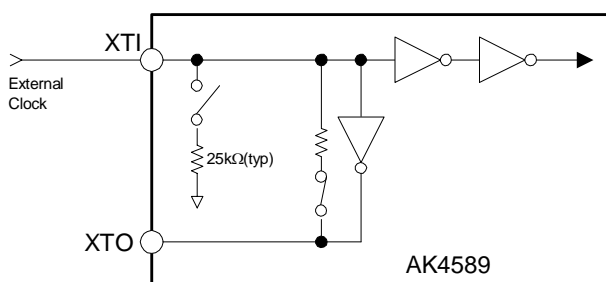


Figure 18 直接入力する場合
(Input :CMOS Level)

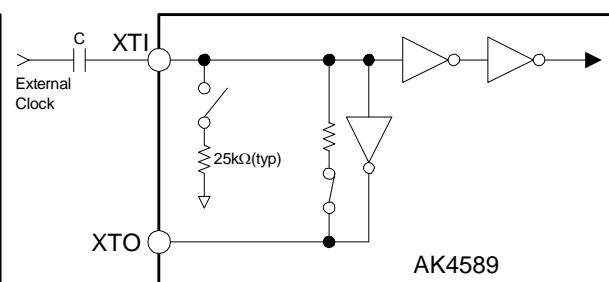


Figure 19 ACカップルして入力する場合
(Input : 40% DVDD, C=0.1μF)

3) XTI/XTOを使わない場合

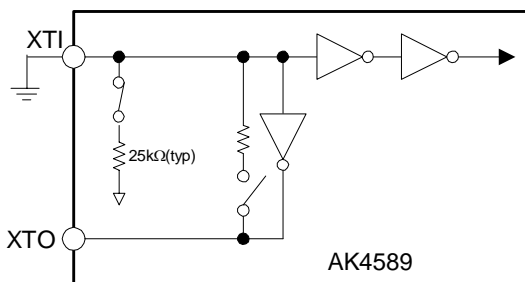


Figure 20. OFFモード

■ サンプリング周波数とプリエンファシス検出

AK4589はサンプリング周波数検出法として2種類の方法が選択可能です。XTL1-0 pinにより、X'talの周波数との比較で周波数を検出してコントロールレジスタのFS0, FS1, FS2, FS3 bitに出力します。比較するX'talの周波数を以下のレジスタにより選択できます。XTL1-0 pin = "H,H"の場合には水晶発振回路は停止し、チャンネルステータスのサンプリング周波数情報をエンコードしてコントロールレジスタのFS0, FS1, FS2, FS3, PEM bitに出力します。

| XTL1 | XTL0 | X'tal Frequency | Default |
|------|------|-----------------|---------|
| 0 | 0 | 11.2896MHz | |
| 0 | 1 | 12.288MHz | |
| 1 | 0 | 24.576MHz | |
| 1 | 1 | (チャンネルステータス使用) | |

Table 19. リファレンス水晶周波数

| Register output | | | | fs | XTL1,0= "1,1"以外 | XTL1,0= "1,1" | | |
|-----------------|-----|-----|-----|----------|------------------------------|---------------------------|-------------------|---------------------|
| | | | | | Clock comparison (Note 1) | Consumer mode (Note 2) | Professional mode | |
| FS3 | FS2 | FS1 | FS0 | | | Byte3 Bit3,2,1,0 | Byte0 Bit7,6 | Byte4 Bit6,5,4,3 |
| 0 | 0 | 0 | 0 | 44.1kHz | 44.1kHz | 0 0 0 0 | 0 1 | 0 0 0 0 |
| 0 | 0 | 0 | 1 | Reserved | Reserved | 0 0 0 1 | (Others) | |
| 0 | 0 | 1 | 0 | 48kHz | 48kHz | 0 0 1 0 | 1 0 | 0 0 0 0 |
| 0 | 0 | 1 | 1 | 32kHz | 32kHz | 0 0 1 1 | 1 1 | 0 0 0 0 |
| 1 | 0 | 0 | 0 | 88.2kHz | 88.2kHz | (1 0 0 0) | 0 0 | 1 0 1 0 |
| 1 | 0 | 1 | 0 | 96kHz | 96kHz | (1 0 1 0) | 0 0 | 0 0 1 0 |
| 1 | 1 | 0 | 0 | 176.4kHz | 176.4kHz | (1 1 0 0) | 0 0 | 1 0 1 1 |
| 1 | 1 | 1 | 0 | 192kHz | 192kHz | (1 1 1 0) | 0 0 | 0 0 1 1 |

Note 1: 少なくとも±3%の範囲については上Tableの通り判別されます。中間の周波数については、近い周波数帯のどちらかの値を示します。32kHz~192kHzの範囲から大きくはずれた場合にはFS3-0 bit = "0001"になります。

Note 2: 民生モードではByte3 Bit3-0はFS3-0 bitにコピーされます。

Table 20. サンプリング周波数情報

また、プリエンファシス情報をエンコードしてコントロールレジスタのPEM bitに出力します。これらの情報はリセット時(CS12=0の時)チャンネル1の情報をエンコードしますが、コントロールレジスタのCS12 bit = "1"でチャンネル2に切り替えることもできます。

| PEM | Pre-emphasis | Byte 0 Bits 3-5 |
|-----|--------------|--------------------|
| 0 | OFF | ≠ 0X100 |
| 1 | ON | 0X100 |

Table 21. 民生モードのプリエンファシス情報

| PEM | Pre-emphasis | Byte 0 Bits 2-4 |
|-----|--------------|--------------------|
| 0 | OFF | ≠ 110 |
| 1 | ON | 110 |

Table 22. プロモードのプリエンファシス情報

■ ディエンファシスフィルタコントロール

IIRフィルタによる4周波数 (32kHz, 44.1kHz, 48kHz, 96kHz)対応のディエンファシスフィルタ (50/15 μ s特性)を内蔵しています。DEAU bit = “1”のとき、FS3-0 bitとプリエンファシスの情報から自動的にディエンファシスフィルタをイネーブルします。リセット時はこのモードです。シリアルコントロールモード時、DEAU bit = “0”にするとDEM0/1, DFS bitでディエンファシスフィルタをコントロールできます。ディエンファシスOFF時は内部のディエンファシスフィルタはバイパスされ、リカバリされたデータのまま出力されます。また、PEM bit = “0”時は常にバイパスされます。

| PEM | FS3 | FS2 | FS1 | FS0 | Mode |
|-----|----------|-----|-----|-----|---------|
| 1 | 0 | 0 | 0 | 0 | 44.1kHz |
| 1 | 0 | 0 | 1 | 0 | 48kHz |
| 1 | 0 | 0 | 1 | 1 | 32kHz |
| 1 | 1 | 0 | 1 | 0 | 96kHz |
| 1 | (Others) | | | | OFF |
| 0 | x | x | x | x | OFF |

Table 23. ディエンファシスオートコントロール(DEAU bit = “1”: Default)

| PEM | DFS | DEM1 | DEM0 | Mode |
|-----|-----|------|------|---------|
| 1 | 0 | 0 | 0 | 44.1kHz |
| 1 | 0 | 0 | 1 | OFF |
| 1 | 0 | 1 | 0 | 48kHz |
| 1 | 0 | 1 | 1 | 32kHz |
| 1 | 1 | 0 | 0 | OFF |
| 1 | 1 | 0 | 1 | OFF |
| 1 | 1 | 1 | 0 | 96kHz |
| 1 | 1 | 1 | 1 | OFF |
| 0 | x | x | x | OFF |

Table 24. ディエンファシスマニュアルコントロール(DEAU bit = “0”)

Default

■ リセットとパワーダウン

AK4589は、PDN pinによる回路全体のパワーダウンと、PWN bitによる一部パワーダウン、RSTN bitによるレジスタの初期化及びタイミングのリセットが可能です。電源立ち上げ時は必ずPDN pinに一度 “L”を入力してリセットして下さい。

PDN pin:

“L”にするとアナログ、デジタル全ての回路はパワーダウン及びリセット状態になります。全てのレジスタは初期化され、クロックも停止します。また、レジスタのリード/ライトはできません。PDN pinはADC/DAC部と共通です。

RSTN bit (アドレス00HのD0):

“0”のときPWN bitとRSTN bit以外のレジスタを初期化します。データ処理系のタイミングも初期化されます。“0”の間、クロックは出力されますがSDTO2 pinは “L”です。また、PWN bitとRSTN bit以外のレジスタのライトはできません。リードは可能です。

PWN bit (アドレス00HのD1):

“0”のときクロックリカバリ回路をパワーダウン・初期化します。これによってPLLからのマスタクロックは供給されなくなります。X’talモードの場合にはクロックは出力されます。レジスタの値は初期化されませんのでモード設定等は保持されます。また、レジスタへのリード/ライトは可能です。

■ バイフェーズ入力

シリアルコントロールモードでは8入力(RX0-7)に対応します。リカバリする入力データはIPS2-0 bitで選択し、各入力是不平衡モードに対応したアンプが内蔵されており、200mVppの信号も受信可能です。また、BCU bit = “1”にすることによりBlock start, C,U bitを各ピンより出力することが出来ます。

| IPS2 | IPS1 | IPS0 | INPUT Data |
|------|------|------|------------|
| 0 | 0 | 0 | RX0 |
| 0 | 0 | 1 | RX1 |
| 0 | 1 | 0 | RX2 |
| 0 | 1 | 1 | RX3 |
| 1 | 0 | 0 | RX4 |
| 1 | 0 | 1 | RX5 |
| 1 | 1 | 0 | RX6 |
| 1 | 1 | 1 | RX7 |

Default

Table 25. リカバリデータ選択

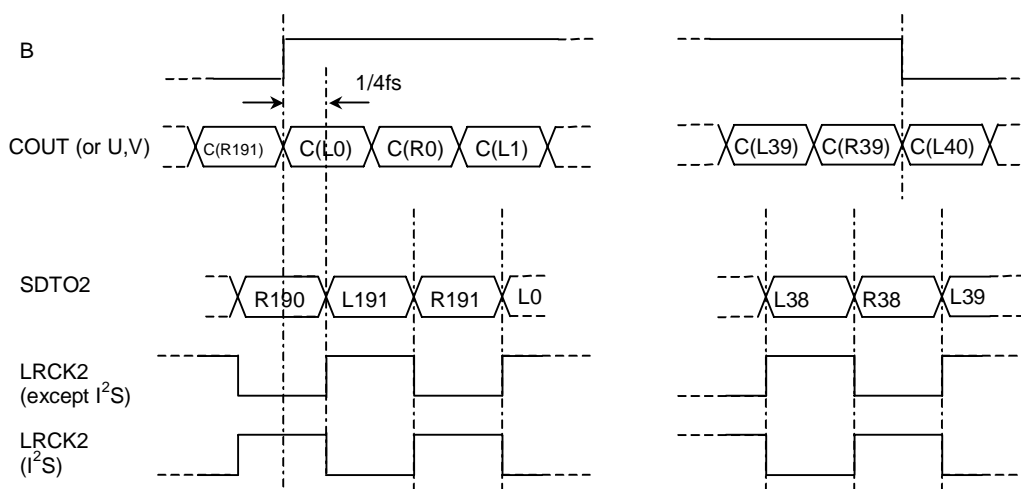


Figure 21. B, C, U, V出力タイミング

■ バイフェーズ出力

TX0/1 pinからは、RXから受信したデータのスルー出力か、DAUX2からのデータをIEC60958フォーマットに変換した出力のいずれかを出力できます。この選択はDIT bitで行います。TX0のスルー出力はOPS00, 01, 02で、TX1のスルー出力はOPS10, 11, 12 bitで各々8入力から選択してTX0/1 pinにスルー出力できます。DAUX2データを入力する場合には、V bitはVIN pinでコントロールできます(Figure 22)。C bitは最初の5Byteをレジスタにてコントロールできます。bit0=“0”(consumer mode)の場合、bit20-23(Audio channel)は直接書き込み不可です。CT20 bitが“1”の時はステレオ出力に対応し、Sub frame 1は“1000”(左チャンネル)、Sub frame 2は“0100”(右チャンネル)が自動的に設定されます。CT20 bitが“0”の時は“0000”(指定なし)になります。またU bitはUDIT bitにより2通りの中から選択できます。UDIT bit=“0”で“0”固定、UDIT bit=“1”でリカバリーしたU bitをそのままDITから出力します(U bitのDIR-DITループモード)。このモードはPLLがロック時のマスタモードのみ対応します。

| OPS02 | OPS01 | OPS00 | Output Data | Default |
|-------|-------|-------|-------------|---------|
| 0 | 0 | 0 | RX0 | |
| 0 | 0 | 1 | RX1 | |
| 0 | 1 | 0 | RX2 | |
| 0 | 1 | 1 | RX3 | |
| 1 | 0 | 0 | RX4 | |
| 1 | 0 | 1 | RX5 | |
| 1 | 1 | 0 | RX6 | |
| 1 | 1 | 1 | RX7 | |

Table 26. スルー出力データ選択 (TX0)

| DIT | OPS12 | OPS11 | OPS10 | Output Data | Default |
|-----|-------|-------|-------|-------------|---------|
| 0 | 0 | 0 | 0 | RX0 | |
| 0 | 0 | 0 | 1 | RX1 | |
| 0 | 0 | 1 | 0 | RX2 | |
| 0 | 0 | 1 | 1 | RX3 | |
| 0 | 1 | 0 | 0 | RX4 | |
| 0 | 1 | 0 | 1 | RX5 | |
| 0 | 1 | 1 | 0 | RX6 | |
| 0 | 1 | 1 | 1 | RX7 | |
| 1 | x | x | x | DAUX2 | |

Table 27. スルー出力データ選択 (TX1)

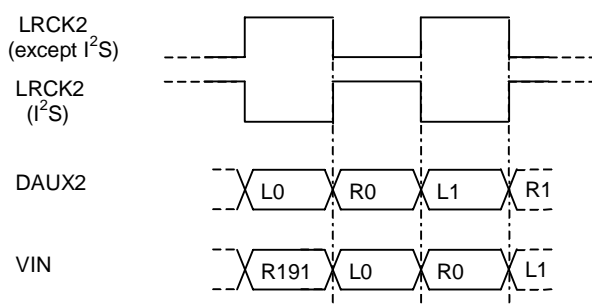


Figure 22. DAUX2, VIN入力タイミング

■ バイフェーズ信号入出力回路

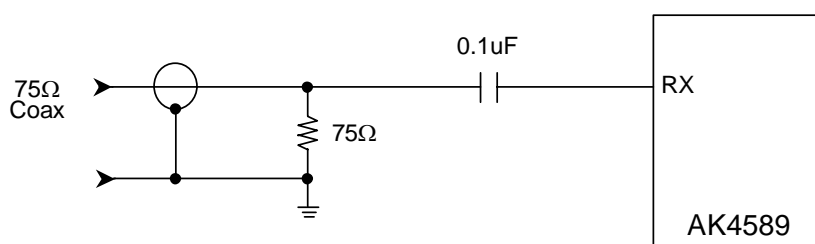


Figure 23. 民生入力回路 (Coaxial入力)

Note: Coaxial入力では、隣接するRX入力パターンからカップリングするノイズレベルが50mVを越える場合、誤動作する可能性があります。カップリングしないよう充分シールドして下さい。

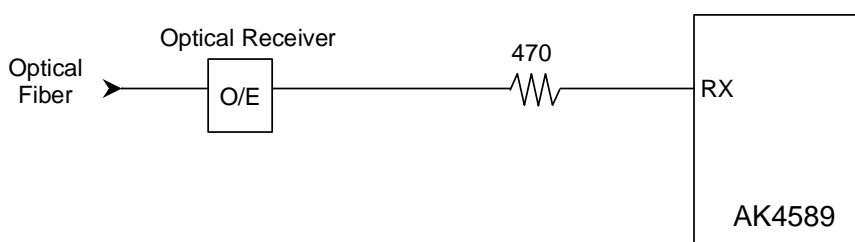


Figure 24. 民生入力回路 (光入力)

Coaxial入力の場合、RXの受信レベルは非常に小さいので、シリアルコントロールモードでは複数のRX入力間でクロストークを起こさないよう配線の間 shields パターンを入れるなどして注意して下さい。これらのピンは通常のロジック入力ではないため、“H” または “L” に固定して使用して下さい。

AK4589はTX出力バッファを内蔵し、外部抵抗と組み合わせて0.5V \pm 20%を満足します。Figure 25でT1は1:1のトランスです。

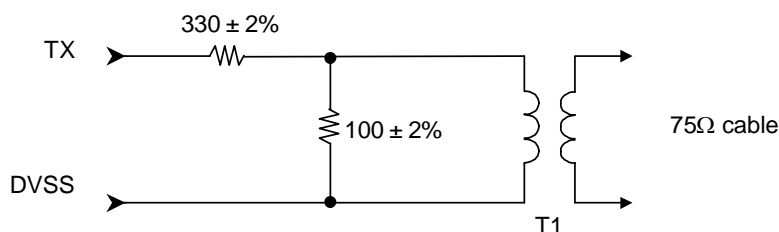


Figure 25. TX外部抵抗ネットワーク

■ Q-subcode パツファ

U bit中に含まれるCDのQ-subcodeのデータを下記条件の下にレジスタに取り込みます。

1. Subcode の sync word (S0,S1)は最低 16 の “0” bit で構成される。
2. Start bit は “1”。
3. Q-W の 7 bit は start bit に連続してくる。
4. Start bit の間隔は 8-16 bit。

(Q-subcode をレジスタから読み出す際には、QINT を有効にして QINT bit が “0”の間に読み出す必要があります。)

| | | | | | | | | | |
|-----|---|-----|-----|-----|-----|-----|-----|-----|------|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | * |
| S0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0... |
| S1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0... |
| S2 | 1 | Q2 | R2 | S2 | T2 | U2 | V2 | W2 | 0... |
| S3 | 1 | Q3 | R3 | S3 | T3 | U3 | V3 | W3 | 0... |
| : | : | : | : | : | : | : | : | : | : |
| S97 | 1 | Q97 | R97 | S97 | T97 | U97 | V97 | W97 | 0... |
| S0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0... |
| S1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0... |
| S2 | 1 | Q2 | R2 | S2 | T2 | U2 | V2 | W2 | 0... |
| S3 | 1 | Q3 | R3 | S3 | T3 | U3 | V3 | W3 | 0... |
| : | : | : | : | : | : | : | : | : | : |

(*) number of "0" : min=0; max=8.

Q Figure 26. U-ビットの構成(CD)

| | | | | | | | | | | | | | | | | | | | | | | | |
|----------------|-----|-----|-----|------|-----|-----|-----|-----------------|-----|-----|-----|-----|-----|-----|-----|-----------------|-----|-----|-----|-----|-----|-----|-----|
| Q2 | Q3 | Q4 | Q5 | Q6 | Q7 | Q8 | Q9 | Q10 | Q11 | Q12 | Q13 | Q14 | Q15 | Q16 | Q17 | Q18 | Q19 | Q20 | Q21 | Q22 | Q23 | Q24 | Q25 |
| CTRL | | | | ADRS | | | | TRACK NUMBER | | | | | | | | INDEX | | | | | | | |
| Q26 | Q27 | Q28 | Q29 | Q30 | Q31 | Q32 | Q33 | Q34 | Q35 | Q36 | Q37 | Q38 | Q39 | Q40 | Q41 | Q42 | Q43 | Q44 | Q45 | Q46 | Q47 | Q48 | Q49 |
| MINUTE | | | | | | | | SECOND | | | | | | | | FRAME | | | | | | | |
| Q50 | Q51 | Q52 | Q53 | Q54 | Q55 | Q56 | Q57 | Q58 | Q59 | Q60 | Q61 | Q62 | Q63 | Q64 | Q65 | Q66 | Q67 | Q68 | Q69 | Q70 | Q71 | Q72 | Q73 |
| ZERO | | | | | | | | ABSOLUTE MINUTE | | | | | | | | ABSOLUTE SECOND | | | | | | | |
| Q74 | Q75 | Q76 | Q77 | Q78 | Q79 | Q80 | Q81 | Q82 | Q83 | Q84 | Q85 | Q86 | Q87 | Q88 | Q89 | Q90 | Q91 | Q92 | Q93 | Q94 | Q95 | Q96 | Q97 |
| ABSOLUTE FRAME | | | | | | | | CRC | | | | | | | | | | | | | | | |

$$G(x)=x^{16}+x^{12}+x^5+1$$

Figure 27. 抽出されたQ

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-----------------------------|-----|-----|-----|-----|-----|-----|-----|-----|
| 16H | Q-subcode Address / Control | Q9 | Q8 | ... | ... | ... | ... | Q3 | Q2 |
| 17H | Q-subcode Track | Q17 | Q16 | ... | ... | ... | ... | Q11 | Q10 |
| 18H | Q-subcode Index | ... | ... | ... | ... | ... | ... | ... | ... |
| 19H | Q-subcode Minute | ... | ... | ... | ... | ... | ... | ... | ... |
| 1AH | Q-subcode Second | ... | ... | ... | ... | ... | ... | ... | ... |
| 1BH | Q-subcode Frame | ... | ... | ... | ... | ... | ... | ... | ... |
| 1CH | Q-subcode Zero | ... | ... | ... | ... | ... | ... | ... | ... |
| 1DH | Q-subcode ABS Minute | ... | ... | ... | ... | ... | ... | ... | ... |
| 1EH | Q-subcode ABS Second | ... | ... | ... | ... | ... | ... | ... | ... |
| 1FH | Q-subcode ABS Frame | Q81 | Q80 | ... | ... | ... | ... | Q75 | Q74 |

Figure 28. Q-subcode register

■ エラー発生時の処理

INT1-0 pin が “H”になる要因には以下の 8 つがあります。

1. UNLOCK : PLL がアンロック状態になると “1”になります。
正しいプリアンブルが受信できない、若しくはその間隔が正しくない場合にアンロックとなります
2. PAR :パリティエラーまたはバイフェーズエラーを検出すると “1”になります。
各サブフレーム毎に更新されます。“1”になると、レジスタを読み込むまでリセットされません。
3. AUTO : Non-Linear PCM ビットストリーム検出
4096 フレームの間その値を保持します。
4. DTSCD : DTS-CD ビットストリーム検出
DTS-CD の sync 周期で更新されます。
5. AUDION :非 AUDIO 検出
各ブロック毎に更新されます。
6. PEM :プリエンファシス検出
各ブロック毎に更新されます。
7. QINT :Q-subcode bit Sync フラグ
各 Sync サイクル毎に更新されます。U-ビット用バッファが変化すると “1”になります。レジスタを読み込むまでリセットされません。
8. CINT :チャンネルステータス Sync フラグ
各ブロック毎に更新されます。チャンネルステータス用バッファが変化すると “1”になります。レジスタを読み込むまでリセットされません。

PLL が OFF になる場合(Clock Operation Mode 1)、INT0/1 pin は “L”です。INT0 pin は、正常動作に復帰した後、1024/fs (EFH0/1 bit で変更可)間は “H”の状態を保持します。INT1 pin は、正常動作に復帰と同時に “L”になります。各 INT pin はマスクビットにより要因を独立にマスクできます。PAR, QINT, CINT bit は一度 “1”になるとレジスタを読み込むまでリセットされません。アンロック時はチャンネルステータスビット、ユーザービットに関するレジスタは更新されず、前の値を保持します。

上記1から8の要因のORが各INT pinに出力されます。但し、各要因はそれぞれのマスクビットでマスクでき、その要因はINT pinに反映されません(但し、06Hのレジスタには反映されます)。INT0 pin出力は全ての要因が正常動作に復帰した後、1024/fs (EFH0/1 bit で変更可)間は “H”の状態を保持します。またPAR, QINT, CINT bit は一度 “1”になるとその値が保持され、アドレス06Hを読み込むとリセットされます。アンロック時はチャンネルステータスビットに関するレジスタは更新されず、前の値を保持します。初期状態ではINT0はUNLOCK, PAR bitが有効に、またINT1はAUTO, DTSCD, AUDION bitが有効になっています。

| Event | | | | | | | | Pin | | |
|--------|-----|------|-------|--------|-----|------|------|---------------|--------|--------|
| UNLOCK | PAR | AUTO | DTSCD | AUDION | PEM | QINT | CINT | SDTO | V | TX |
| 1 | x | x | x | x | x | x | x | “L” | “L” | Output |
| 0 | 1 | x | x | x | x | x | x | Previous Data | Output | Output |
| 0 | 0 | 1 | x | x | x | x | x | Output | Output | Output |
| 0 | 0 | x | 1 | x | x | x | x | Output | Output | Output |
| 0 | 0 | x | x | 1 | x | x | x | Output | Output | Output |
| 0 | 0 | x | x | x | 1 | x | x | Output | Output | Output |
| 0 | 0 | x | x | x | x | 1 | x | Output | Output | Output |
| 0 | 0 | x | x | x | x | x | 1 | Output | Output | Output |

Table 28. エラーハンドリング

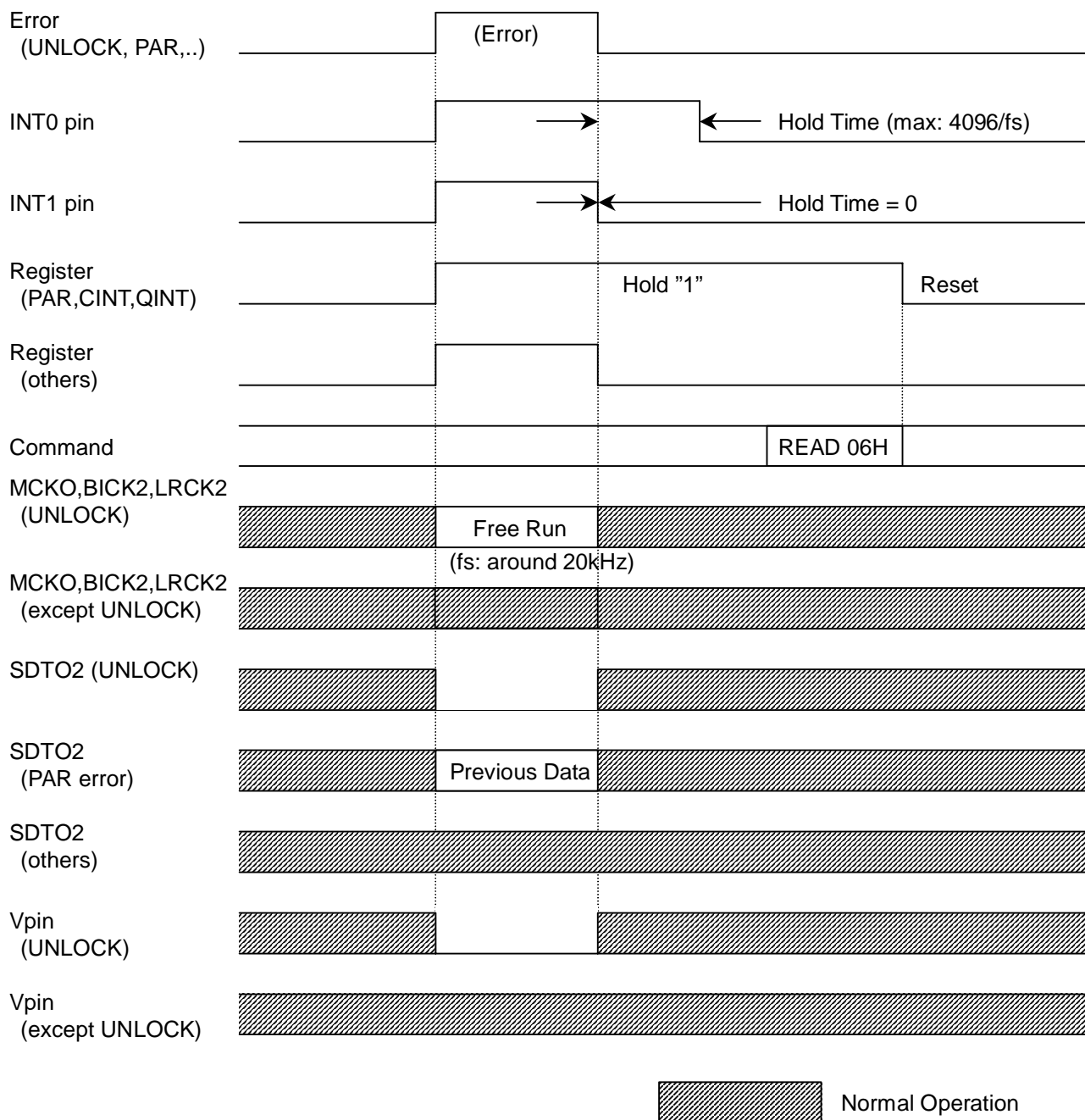


Figure 29. INT0-1 pin タイミング

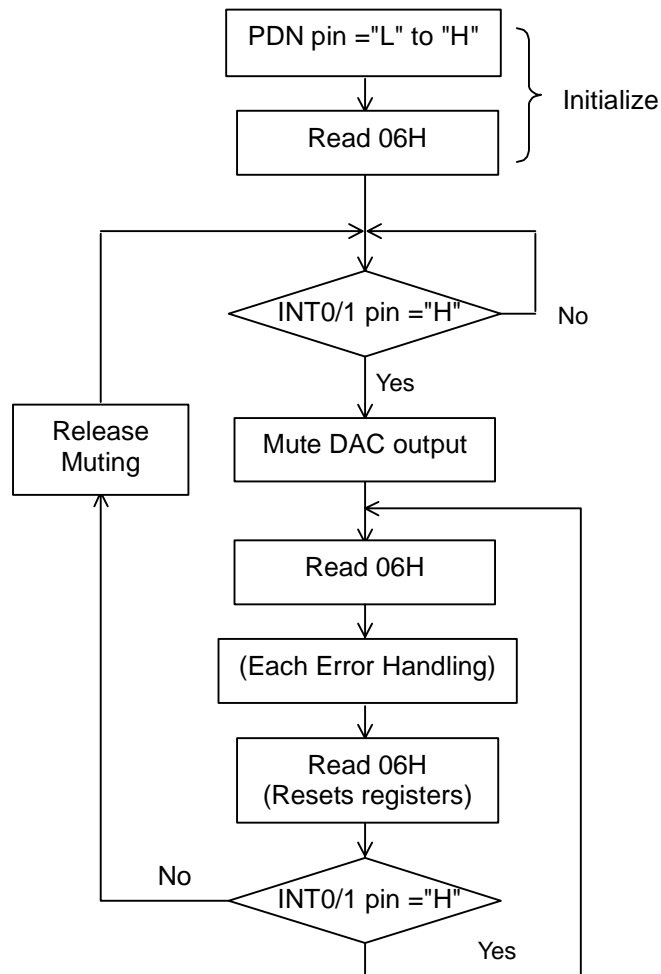


Figure 30. エラー処理シーケンス例1

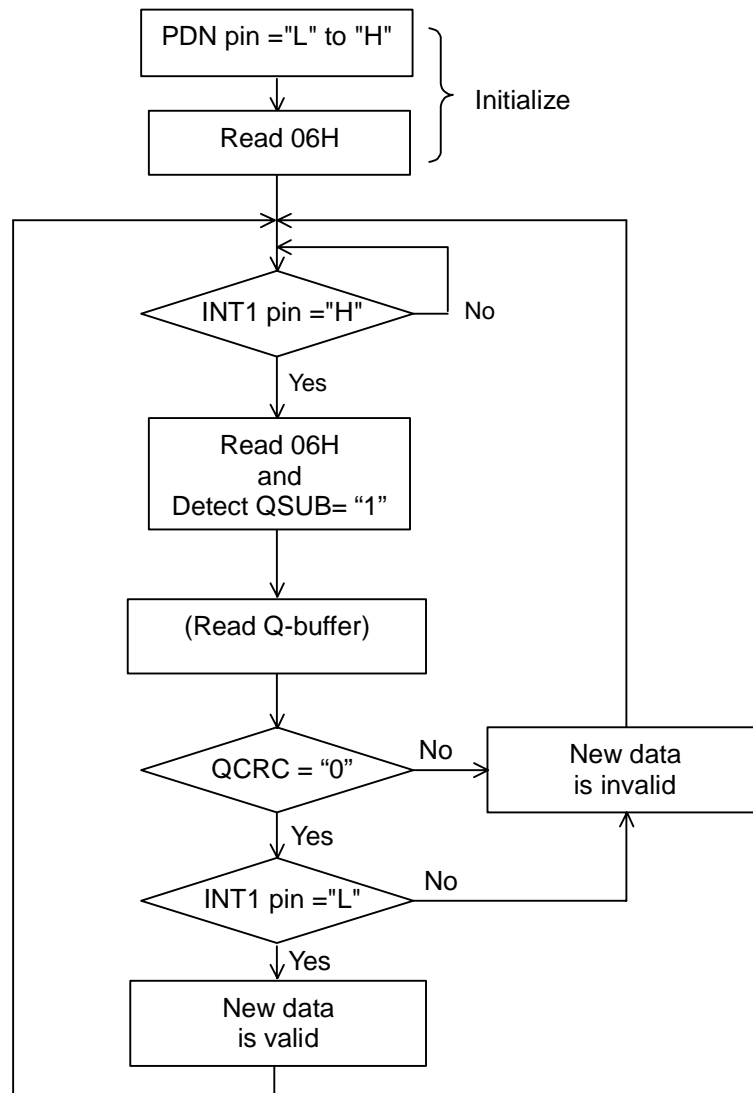


Figure 31. エラー処理シーケンス例2 (Q/CINT)

■ オーディオインタフェースフォーマット

8種類のデータフォーマット(Table 29)が選択できます。全モードともMSBファースト、2's complementのデータフォーマットです。SDTO2はBICK2の1立ち下がり出力され、DAUX2は立ち上がりでラッチされます。Mode0-5はマスタモードで、BICK2は64fsです。Mode 6-7はMode 4-5のスレーブモードでBICK2はfs=48kHzのとき128fsまで対応します。20ビット以下のフォーマット(Mode0-2)では、サブフレームのLSB側が切り捨てられます。Mode 3-7では下位4ビットはAuxデータで、Figure 32にビット構成を示します。

(注) マスタモードで使用する場合、パワーダウン時(PDN pin = “L”)とパワーアップ(PDN pin = “H”)してからマスタモードに設定されるまでの間は、BICK2とLRCK2の出力はHi-Zになります。

Parity Errorがサブフレームで検出されると、SDTO2からはエラーが “L”になるまでそのチャンネルの前の正常値が繰り返し出力されます。さらにPLLが同期外れを起こすと出力データは “0”になります。DAUX2入力のデータを入力する場合は、入力と同じデータをフォーマット変換してSDTO2から出力します。Clock Mode 1、PLL unlock時のClock Mode 2及びClock Mode 3では、出力データはDAUX2 pinを通して受信されます。DAUX2の入力フォーマットはMode 5, 7以外では24ビット、Left justifiedで、SDTO2へはその時点で設定されたフォーマットに変換されて出力されます。Mode 5, 7では入出力ともフォーマットはI²Sです。Mode 6-7はスレーブモードである点を除いてMode4-5と同じです。スレーブモードの場合、LRCK2とBICK2へはMCKO1/2に同期した信号を供給して下さい。

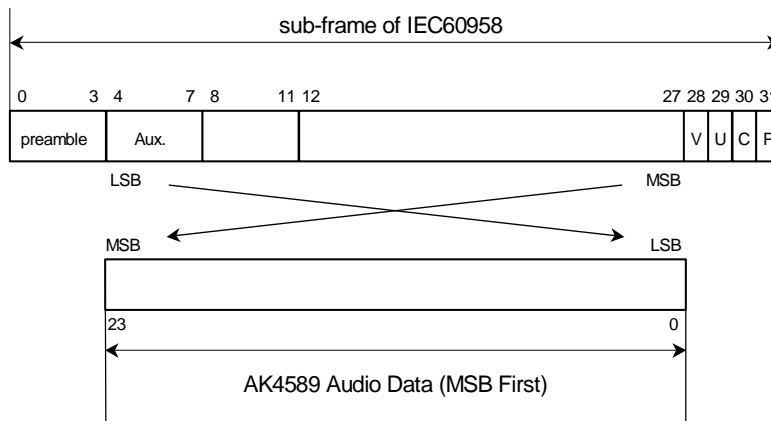


Figure 32. ビットの構成

| Mode | DIF2 | DIF1 | DIF0 | DAUX2 | SDTO2 | LRCK2 | | BICK2 | |
|------|------|------|------|-------------------------|-------------------------|-------|-----|----------|-----|
| | | | | | | | I/O | | I/O |
| 0 | 0 | 0 | 0 | 24bit, Left justified | 16bit, Right justified | H/L | O | 64fs | O |
| 1 | 0 | 0 | 1 | 24bit, Left justified | 18bit, Right justified | H/L | O | 64fs | O |
| 2 | 0 | 1 | 0 | 24bit, Left justified | 20bit, Right justified | H/L | O | 64fs | O |
| 3 | 0 | 1 | 1 | 24bit, Left justified | 24bit, Right justified | H/L | O | 64fs | O |
| 4 | 1 | 0 | 0 | 24bit, Left justified | 24bit, Left justified | H/L | O | 64fs | O |
| 5 | 1 | 0 | 1 | 24bit, I ² S | 24bit, I ² S | L/H | O | 64fs | O |
| 6 | 1 | 1 | 0 | 24bit, Left justified | 24bit, Left justified | H/L | I | 64-128fs | I |
| 7 | 1 | 1 | 1 | 24bit, I ² S | 24bit, I ² S | L/H | I | 64-128fs | I |

Default

Table 29. オーディオデータフォーマット

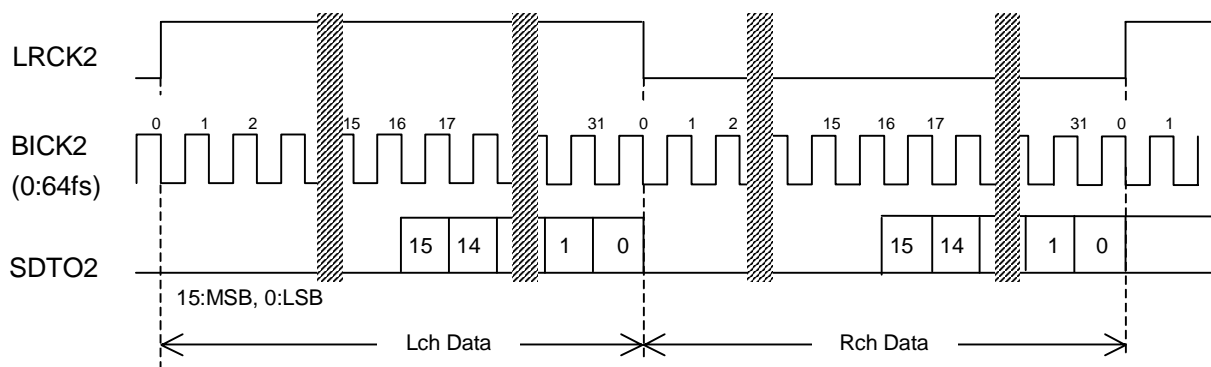


Figure 33. Mode 0 タイミング

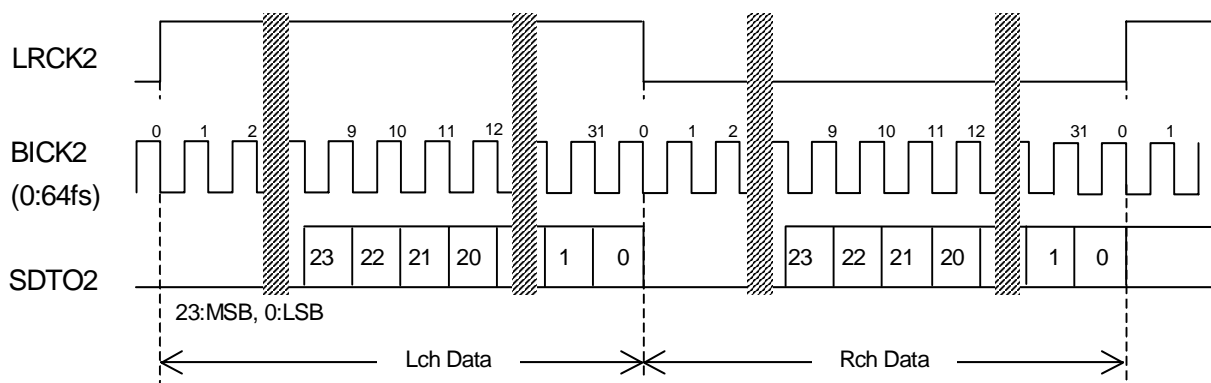


Figure 34. Mode 3 タイミング

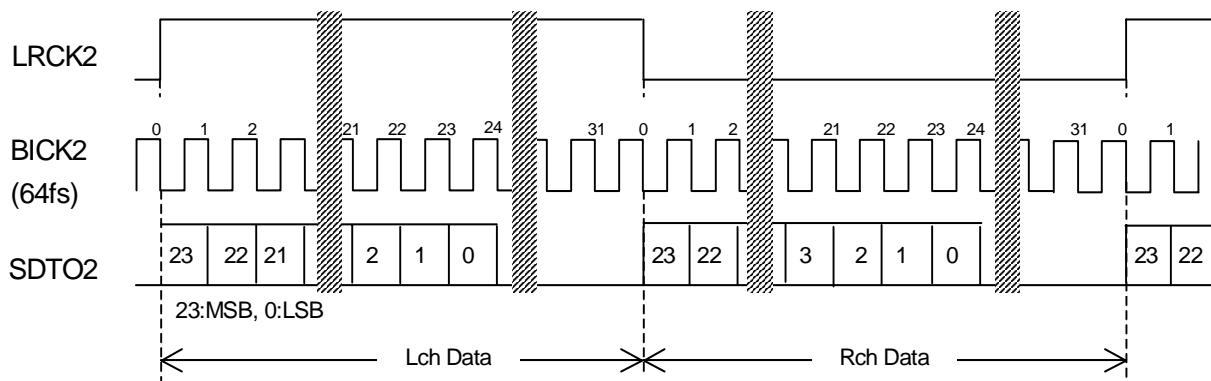


Figure 35. Mode 4, 6 タイミング

Mode4 : LRCK2, BICK2 : Output
 Mode6 : LRCK2, BICK2 : Input

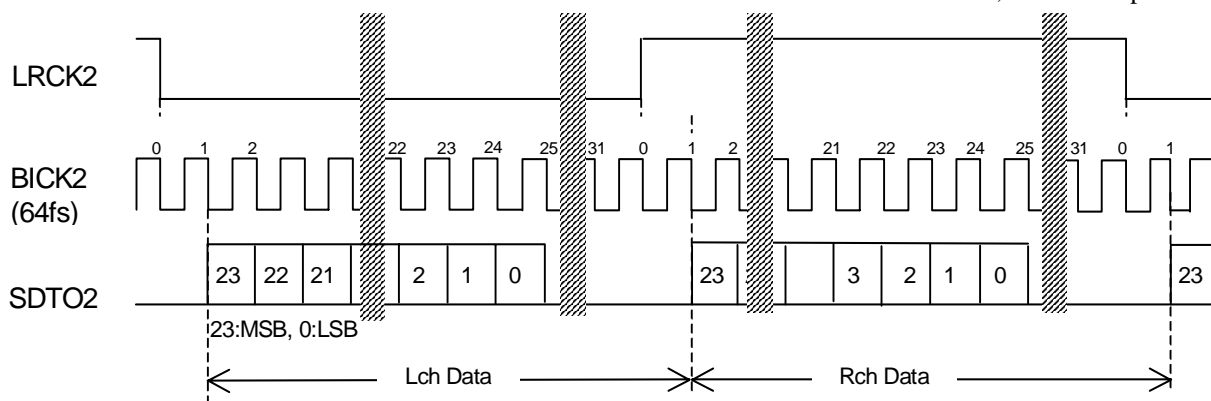


Figure 36. Mode 5, 7 タイミング

Mode5 : LRCK2, BICK2 : Output
 Mode7 : LRCK2, BICK2 : Input

■ レジスタマップ

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-----------------------------|-------|-------|-------|-------|-------|-------|--------|-------|
| 00H | CLK & Power Down Control | CS12 | BCU | CM1 | CM0 | OCKS1 | OCKS0 | PWN | RSTN2 |
| 01H | Format & De-em Control | 0 | DIF2 | DIF1 | DIF0 | DEAU | DEM1 | DEM0 | DFS |
| 02H | Input/ Output Control 0 | TX1E | OPS12 | OPS11 | OPS10 | TX0E | OPS02 | OPS01 | OPS00 |
| 03H | Input/ Output Control 1 | EFH1 | EFH0 | UDIT | 0 | DIT | IPS2 | IPS1 | IPS0 |
| 04H | INT0 MASK | MQIT0 | MAUT0 | MCIT0 | MULK0 | MDTS0 | MPE0 | MAUD0 | MPAR0 |
| 05H | INT1 MASK | MQIT1 | MAUT1 | MCIT1 | MULK1 | MDTS1 | MPE1 | MAUD1 | MPAR1 |
| 06H | Receiver status 0 | QINT | AUTO | CINT | UNLCK | DTSCD | PEM | AUDION | PAR |
| 07H | Receiver status 1 | FS3 | FS2 | FS1 | FS0 | 0 | V | QCRC | CCRC |
| 08H | RX Channel Status Byte 0 | CR7 | CR6 | CR5 | CR4 | CR3 | CR2 | CR1 | CR0 |
| 09H | RX Channel Status Byte 1 | CR15 | CR14 | CR13 | CR12 | CR11 | CR10 | CR9 | CR8 |
| 0AH | RX Channel Status Byte 2 | CR23 | CR22 | CR21 | CR20 | CR19 | CR18 | CR17 | CR16 |
| 0BH | RX Channel Status Byte 3 | CR31 | CR30 | CR29 | CR28 | CR27 | CR26 | CR25 | CR24 |
| 0CH | RX Channel Status Byte 4 | CR39 | CR38 | CR37 | CR36 | CR35 | CR34 | CR33 | CR32 |
| 0DH | TX Channel Status Byte 0 | CT7 | CT6 | CT5 | CT4 | CT3 | CT2 | CT1 | CT0 |
| 0EH | TX Channel Status Byte 1 | CT15 | CT14 | CT13 | CT12 | CT11 | CT10 | CT9 | CT8 |
| 0FH | TX Channel Status Byte 2 | CT23 | CT22 | CT21 | CT20 | CT19 | CT18 | CT17 | CT16 |
| 10H | TX Channel Status Byte 3 | CT31 | CT30 | CT29 | CT28 | CT27 | CT26 | CT25 | CT24 |
| 11H | TX Channel Status Byte 4 | CT39 | CT39 | CT39 | CT39 | CT39 | CT39 | CT39 | CT32 |
| 12H | Burst Preamble Pc Byte 0 | PC7 | PC6 | PC5 | PC4 | PC3 | PC2 | PC1 | PC0 |
| 13H | Burst Preamble Pc Byte 1 | PC15 | PC14 | PC13 | PC12 | PC11 | PC10 | PC9 | PC8 |
| 14H | Burst Preamble Pd Byte 0 | PD7 | PD6 | PD5 | PD4 | PD3 | PD2 | PD1 | PD0 |
| 15H | Burst Preamble Pd Byte 1 | PD15 | PD14 | PD13 | PD12 | PD11 | PD10 | PD9 | PD8 |
| 16H | Q-subcode Address / Control | Q9 | Q8 | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 |
| 17H | Q-subcode Track | Q17 | Q16 | Q15 | Q14 | Q13 | Q12 | Q11 | Q10 |
| 18H | Q-subcode Index | Q25 | Q24 | Q23 | Q22 | Q21 | Q20 | Q19 | Q18 |
| 19H | Q-subcode Minute | Q33 | Q32 | Q31 | Q30 | Q29 | Q28 | Q27 | Q26 |
| 1AH | Q-subcode Second | Q41 | Q40 | Q39 | Q38 | Q37 | Q36 | Q35 | Q34 |
| 1BH | Q-subcode Frame | Q49 | Q48 | Q47 | Q46 | Q45 | Q44 | Q43 | Q42 |
| 1CH | Q-subcode Zero | Q57 | Q56 | Q55 | Q54 | Q53 | Q52 | Q51 | Q50 |
| 1DH | Q-subcode ABS Minute | Q65 | Q64 | Q63 | Q62 | Q61 | Q60 | Q59 | Q58 |
| 1EH | Q-subcode ABS Second | Q73 | Q72 | Q71 | Q70 | Q69 | Q68 | Q67 | Q66 |
| 1FH | Q-subcode ABS Frame | Q81 | Q80 | Q79 | Q78 | Q77 | Q76 | Q75 | Q74 |

注: PDN pinを“L”にすると、レジスタ値は初期化されます。

RSTN2 bitを“0”にすると、内部のタイミングがリセットされ、レジスタ値は初期化されます。

PWN bitを“0”にしてもレジスタへの書き込みは可能です。

レジスタマップの“0”には“0”を書き込んでください。

■ 詳細説明

Reset & Initialize

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|--------------------------|------|-----|-----|-----|-------|-------|-----|-------|
| 00H | CLK & Power Down Control | CS12 | BCU | CM1 | CM0 | OCKS1 | OCKS0 | PWN | RSTN2 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | Default | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |

RSTN2: タイミングリセットとレジスタ値の初期化

0: リセット&初期化

1: 通常動作

PWN: パワーダウン

0: パワーダウン

1: 通常動作

OCKS1-0: マスタクロック周波数選択

CM1-0: マスタクロック動作モード選択

BCU: ブロックスタート, C, U出力モード

BCU bit = 1のとき、3つの出力ピン(BOUT, COUT, UOUT)が有効になります。

ブロックスタート信号はframe 0の先頭からframe 39の終わりまで “H”です。

CS12: チャンネルステータス選択

0: Channel 1

1: Channel 2

C bit, AUDION, PEM, FS3-0, Pc, Pdに反映されるチャンネルステータスを選択します。

Format & De-emphasis Control

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|------------------------|-----|------|------|------|------|------|------|-----|
| 01H | Format & De-em Control | 0 | DIF2 | DIF1 | DIF0 | DEAU | DEM1 | DEM0 | DFS |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | Default | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 0 |

DFS: 96kHzディエンファシスコントロール

DEM1-0: 32, 44.1, 48kHzディエンファシスコントロール (Table 24)

DEAU: ディエンファシス自動検出有効

0: Disable

1: Enable

DIF2-0: オーディオデータフォーマットコントロール (Table 29)

Input/Output Control

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-------------------------|------|-------|-------|-------|------|-------|-------|-------|
| 02H | Input/ Output Control 0 | TX1E | OPS12 | OPS11 | OPS10 | TX0E | OPS02 | OPS01 | OPS00 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | Default | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

OPS02-00: スルー出力データ選択 (TX0 pin)

OPS12-10: スルー出力データ選択 (TX1 pin)

TX0E: TX0出力有効

0: 無効。TX0 pinは “L” になります。

1: 有効

TX1E: TX1出力有効

0: 無効。TX1 pinは “L” になります。

1: 有効

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-------------------------|------|------|------|-----|-----|------|------|------|
| 03H | Input/ Output Control 1 | EFH1 | EFH0 | UDIT | 0 | DIT | IPS2 | IPS1 | IPS0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | Default | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |

IPS2-0: 入力リカバリーデータ選択

DIT: TX1 pin用スルーデータ/トランスミッタデータ選択

0: スルーデータ (RXデータ)

1: トランスミッタデータ (DAUX2データ)

UDIT: DIT用U bitコントロール

0: U bitは “0” 固定 1: リカバリーしたU bitを出力 (U bitのループモード)

EFH1-0: INT0 pin保持カウンタ数選択

00: 512 LRCK2 01: 1024 LRCK2

10: 2048 LRCK2 11: 4096 LRCK2

Mask Control for INT0

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|---------------|------|------|------|------|-------|------|------|------|
| 04H | INT0 MASK | MQI0 | MAT0 | MCI0 | MUL0 | MDTS0 | MPE0 | MAN0 | MPR0 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | Default | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 0 |

MPR0: PAR bitマスク有効
 MAN0: AUDN bitマスク有効
 MPE0: PEM bitマスク有効
 MDTS0: DTSCD bitマスク有効
 MUL0: UNLOCK bitマスク有効
 MCI0: CINT bitマスク有効
 MAT0: AUTO bitマスク有効
 MQI0: QINT bitマスク有効

0: マスク無効

1: マスク有効

Mask Control for INT1

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|---------------|------|------|------|------|-------|------|------|------|
| 05H | INT1 MASK | MQI1 | MAT1 | MCI1 | MUL1 | MDTS1 | MPE1 | MAN1 | MPR1 |
| | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |
| | Default | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |

MPR1: PAR bitマスク有効
 MAN1: AUDN bitマスク有効
 MPE1: PEM bitマスク有効
 MDTS1: DTSCD bitマスク有効
 MUL1: UNLOCK bitマスク有効
 MCI1: CINT bitマスク有効
 MAT1: AUTO bitマスク有効
 MQI1: QINT bitマスク有効

0: マスク無効

1: マスク有効

Receiver Status 0

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-------------------|------|------|------|-------|-------|-----|--------|-----|
| 06H | Receiver status 0 | QINT | AUTO | CINT | UNLCK | DTSCD | PEM | AUDION | PAR |
| | R/W | RD | RD | RD | RD | RD | RD | RD | RD |
| | Default | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

PAR: パリティエラーまたはバイフェーズエラー

0:No Error 1:Error

サブフレーム内でパリティエラーまたはバイフェーズエラーが検出されるとPAR bitが“1”になります。

AUDION: Audio bit出力

0: Audio 1: Non Audio

このビットはチャンネルステータスをエンコードして生成されます。

PEM: プリエンファシス出力

0: OFF 1: ON

このビットはチャンネルステータスをエンコードして生成されます。

DTSCD: DTS-CDビットストリーム自動検出

0: 検出せず 1: 検出

UNLCK: PLLアンロック

0: ロック 1: アンロック

CINT: チャンネルステータスバッファインタラプト

0: 変化なし 1: 変化あり

AUTO: Non-PCMビットストリーム自動検出

0: 検出せず 1: 検出

QINT: Qサブコードバッファインタラプト

0: 変化なし 1: 変化あり

QINT, CINT, PAR bitは06HをREADすると初期化されます。

Receiver Status 1

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|------|-------------------|-----|-----|-----|-----|----|----|------|------|
| 07H | Receiver status 1 | FS3 | FS2 | FS1 | FS0 | 0 | V | QCRC | CCRC |
| | R/W | RD | RD | RD | RD | RD | RD | RD | RD |
| | Default | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |

CCRC: チャンネルステータスのCRC

0:エラーなし 1:エラーあり

QCRC: QサブコードのCRC

0:エラーなし 1:エラーあり

V: チャンネルステータスのバリディティ

0:Valid 1:Invalid

FS3-0: サンプリング周波数検出 (Table 20)

Receiver Channel Status

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|--------------------------|-----------------|------|------|------|------|------|------|------|
| 08H | RX Channel Status Byte 0 | CR7 | CR6 | CR5 | CR4 | CR3 | CR2 | CR1 | CR0 |
| 09H | RX Channel Status Byte 1 | CR15 | CR14 | CR13 | CR12 | CR11 | CR10 | CR9 | CR8 |
| 0AH | RX Channel Status Byte 2 | CR23 | CR22 | CR21 | CR20 | CR19 | CR18 | CR17 | CR16 |
| 0BH | RX Channel Status Byte 3 | CR31 | CR30 | CR29 | CR28 | CR27 | CR26 | CR25 | CR24 |
| 0CH | RX Channel Status Byte 4 | CR39 | CR38 | CR37 | CR36 | CR35 | CR34 | CR33 | CR32 |
| R/W | | RD | | | | | | | |
| Default | | Not initialized | | | | | | | |

CR39-0: レシーバチャンネルステータスByte 4-0

Transmitter Channel Status

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|--------------------------|------|------|------|------|------|------|------|------|
| 0DH | TX Channel Status Byte 0 | CT7 | CT6 | CT5 | CT4 | CT3 | CT2 | CT1 | CT0 |
| 0EH | TX Channel Status Byte 1 | CT15 | CT14 | CT13 | CT12 | CT11 | CT10 | CT9 | CT8 |
| 0FH | TX Channel Status Byte 2 | CT23 | CT22 | CT21 | CT20 | CT19 | CT18 | CT17 | CT16 |
| 10H | TX Channel Status Byte 3 | CT31 | CT30 | CT29 | CT28 | CT27 | CT26 | CT25 | CT24 |
| 11H | TX Channel Status Byte 3 | CT39 | CT38 | CT37 | CT36 | CT35 | CT34 | CT33 | CT32 |
| R/W | | R/W | | | | | | | |
| Default | | 0 | | | | | | | |

CT39-0: トランスミッタチャンネルステータスByte 4-0

Burst Preamble Pc/Pd in non-PCM encoded Audio Bitstreams

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|--------------------------|-----------------|------|------|------|------|------|-----|-----|
| 12H | Burst Preamble Pc Byte 0 | PC7 | PC6 | PC5 | PC4 | PC3 | PC2 | PC1 | PC0 |
| 13H | Burst Preamble Pc Byte 1 | PC15 | PC14 | PC13 | PC12 | PC11 | PC10 | PC9 | PC8 |
| 14H | Burst Preamble Pd Byte 0 | PD7 | PD6 | PD5 | PD4 | PD3 | PD2 | PD1 | PD0 |
| 15H | Burst Preamble Pd Byte 1 | PD15 | PD14 | PD13 | PD12 | PD11 | PD10 | PD9 | PD8 |
| R/W | | RD | | | | | | | |
| Default | | Not initialized | | | | | | | |

PC15-0: バーストプリアンブルPc Byte 0, 1

PD15-0: バーストプリアンブルPd Byte 0, 1

Q-subcode Buffer

| Addr | Register Name | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|---------|-----------------------------|-----------------|-----|-----|-----|-----|-----|-----|-----|
| 16H | Q-subcode Address / Control | Q9 | Q8 | Q7 | Q6 | Q5 | Q4 | Q3 | Q2 |
| 17H | Q-subcode Track | Q17 | Q16 | Q15 | Q14 | Q13 | Q12 | Q11 | Q10 |
| 18H | Q-subcode Index | Q25 | Q24 | Q23 | Q22 | Q21 | Q20 | Q19 | Q18 |
| 19H | Q-subcode Minute | Q33 | Q32 | Q31 | Q30 | Q29 | Q28 | Q27 | Q26 |
| 1AH | Q-subcode Second | Q41 | Q40 | Q39 | Q38 | Q37 | Q36 | Q35 | Q34 |
| 1BH | Q-subcode Frame | Q49 | Q48 | Q47 | Q46 | Q45 | Q44 | Q43 | Q42 |
| 1CH | Q-subcode Zero | Q57 | Q56 | Q55 | Q54 | Q53 | Q52 | Q51 | Q50 |
| 1DH | Q-subcode ABS Minute | Q65 | Q64 | Q63 | Q62 | Q61 | Q60 | Q59 | Q58 |
| 1EH | Q-subcode ABS Second | Q73 | Q72 | Q71 | Q70 | Q69 | Q68 | Q67 | Q66 |
| 1FH | Q-subcode ABS Frame | Q81 | Q80 | Q79 | Q78 | Q77 | Q76 | Q75 | Q74 |
| R/W | | RD | | | | | | | |
| Default | | Not initialized | | | | | | | |

■ Non-PCMビットストリームにおけるバーストプリアンブル

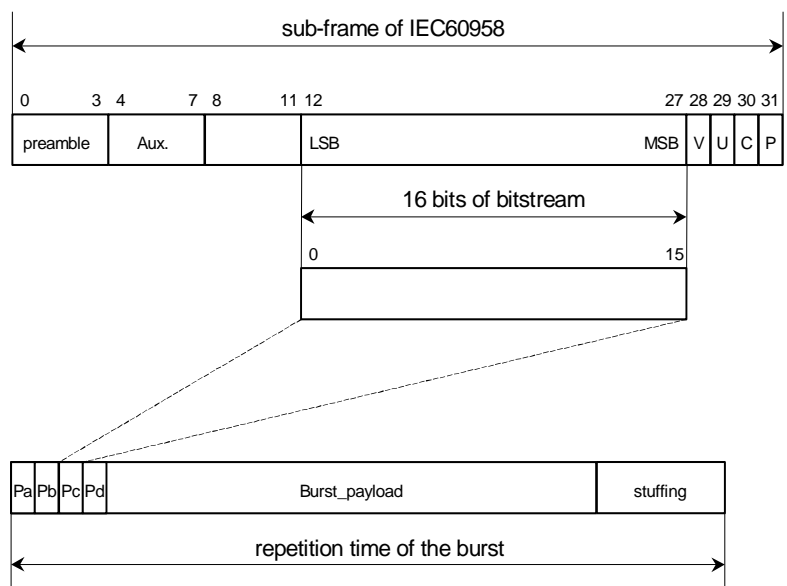


Figure 37. IEC60958のデータ構成

| Preamble word | Length of field | Contents | Value |
|---------------|-----------------|-------------|-----------------|
| Pa | 16 bits | sync word 1 | 0xF872 |
| Pb | 16 bits | sync word 2 | 0x4E1F |
| Pc | 16 bits | Burst info | see Table 31 |
| Pd | 16 bits | Length code | numbers of bits |

Table 30. バーストプリアンブルワード

| Bits of Pc | Value | Contents | Repetition time of burst in IEC60958 frames |
|------------|----------|---|--|
| 0-4 | | data type | |
| | 0 | NULL data | ≤4096 |
| | 1 | Dolby AC-3 data | 1536 |
| | 2 | reserved | |
| | 3 | PAUSE | |
| | 4 | MPEG-1 Layer1 data | 384 |
| | 5 | MPEG-1 Layer2 or 3 data or MPEG-2 without extension | 1152 |
| | 6 | MPEG-2 data with extension | 1152 |
| | 7 | MPEG-2 AAC ADTS | 1024 |
| | 8 | MPEG-2, Layer1 Low sample rate | 384 |
| | 9 | MPEG-2, Layer2 or 3 Low sample rate | 1152 |
| | 10 | reserved | |
| | 11 | DTS type I | 512 |
| | 12 | DTS type II | 1024 |
| | 13 | DTS type III | 2048 |
| | 14 | ATRAC | 512 |
| 15 | ATRAC2/3 | 1024 | |
| 16-31 | reserved | | |
| 5, 6 | 0 | reserved, shall be set to "0" | |
| 7 | 0 | error-flag indicating a valid burst_payload | |
| | 1 | error-flag indicating that the burst_payload may contain errors | |
| 8-12 | | data type dependent info | |
| 13-15 | 0 | bit stream number, shall be set to "0" | |

Table 31. バースト情報Pcのフィールド

■ Non-PCM ビットストリームタイミング

1) Non-PCM データプリアンブルが 4096 フレーム以内に来ない場合

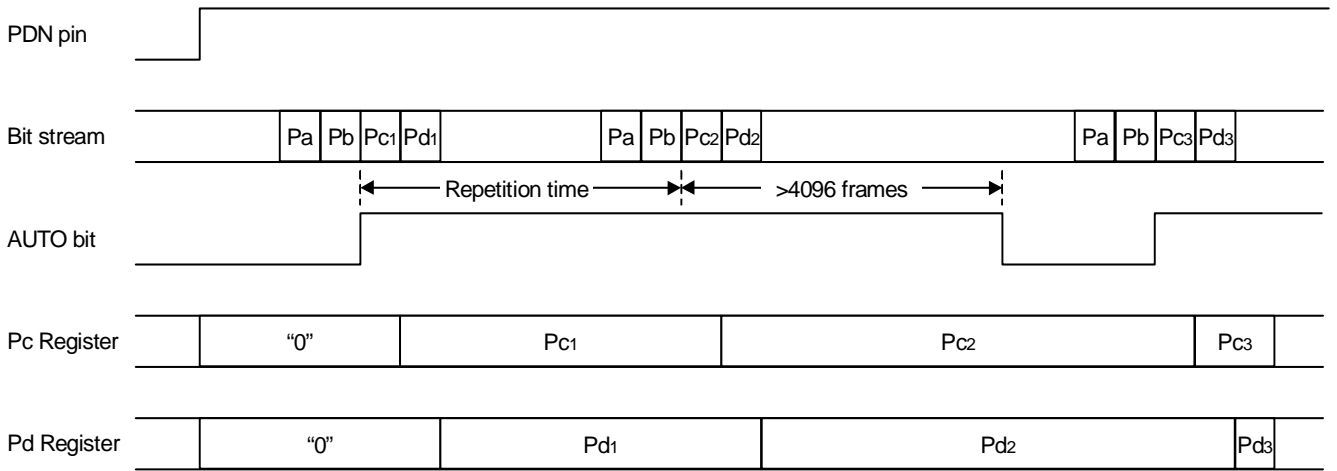


Figure 38. タイミング例1

2) Non-PCM ビットストリームが止まった場合 (MULK0=0 の場合)

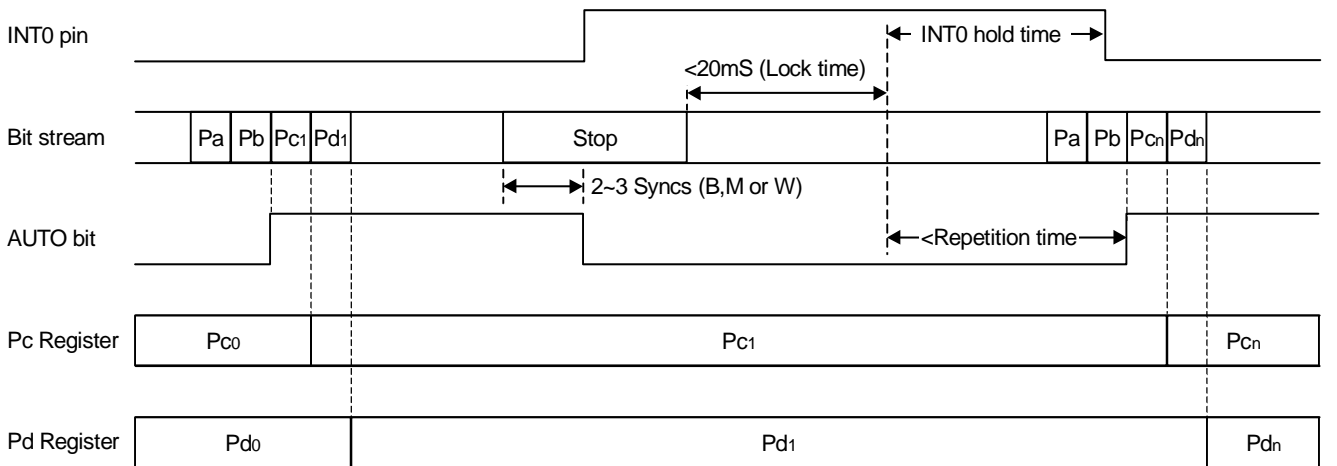


Figure 39. タイミング例2

(2) I²Cバスコントロールモード (I2C pin = “H”)

AK4589のI²Cバスモードのフォーマットは、標準モード(max:100kHz)です。従って高速モード(max:400kHz)のシステム上では使用できません。ADC/DAC部のレジスタはリードできません。

(2)-1 データ転送について

バス上のICへのアクセスには、最初にスタート・コンディションを入力します。次に、1バイトで構成されるデバイスのアドレスを含んだスレーブ・アドレスを入力します。この時、バス上のICはこのアドレスと自分自身のアドレスを比較し、アドレスが一致したICはアクノリッジを生成します。アドレスが一致したICは、この後READ又はWRITEを実行します。命令終了時には、ストップ・コンディションを入力して下さい。

(2)-1-1. データの変更

SDAラインのデータ変更はSCLラインが“L”の間に行って下さい。クロックが“H”の間にはSDAラインの状態は一定でなければなりません。データラインが“H”と“L”の間で状態を変更できるのはSCLラインのクロック信号が“L”の時に限られます。SCLラインが“H”の時にSDAラインを変更するのは、スタート・コンディション、ストップ・コンディションを入力するときのみです。

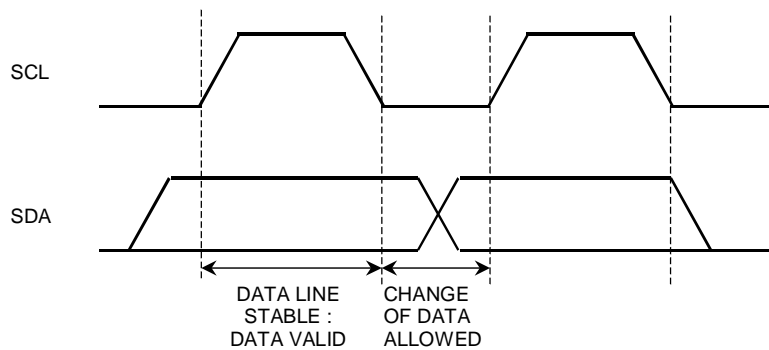


Figure 41. データの変更

(2)-1-2. スタート・コンディションとストップ・コンディション

SCLラインが“H”の時にSDAラインを“H”から“L”にすると、スタート・コンディションが作られます。全ての命令は、スタート・コンディションから始まります。SCLラインが“H”の時にSDAラインを“L”から“H”にすると、ストップ・コンディションが作られます。全ての命令は、ストップ・コンディションにより終了します。

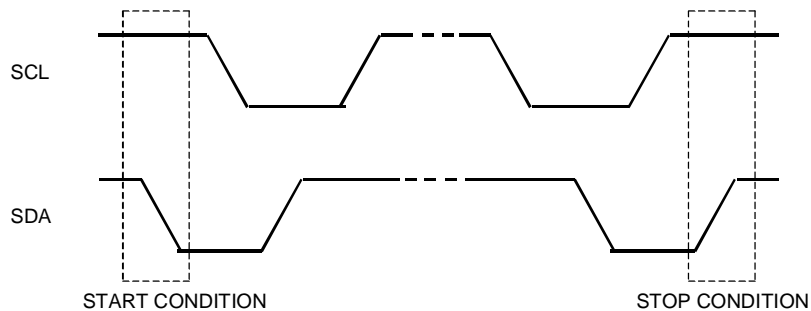


Figure 42. スタート・コンディションとストップ・コンディション

(2)-1-3. アクノリッジ

データを送出しているICは、1バイトのデータを送出した後SDAラインを解放します(HIGHの状態にする)。データを受信したICは次のクロックでSDAラインを“L”にします。この動作はアクノリッジと呼ばれ、この動作により正しくデータ転送が行われたを確認することができます。AK4589はスタート・コンディションとスレーブ・アドレスを受け取るとアクノリッジを生成します。またWRITE命令の場合には各バイトの受信を完了する度にアクノリッジを生成します。READ命令の場合には、AK4589はアクノリッジ生成に続いて指定されたアドレスのデータを出力した後SDAラインを解放し、SDAラインをモニターします。マスタがストップ・コンディションを送らずアクノリッジを生成した場合、AK4589は次のアドレスのデータを出力します。アクノリッジが生成されなかった場合、AK4589はデータ出力を終了します。

(注)ADC,DAC部のレジスタはREAD命令に対してアクノリッジを生成しません。

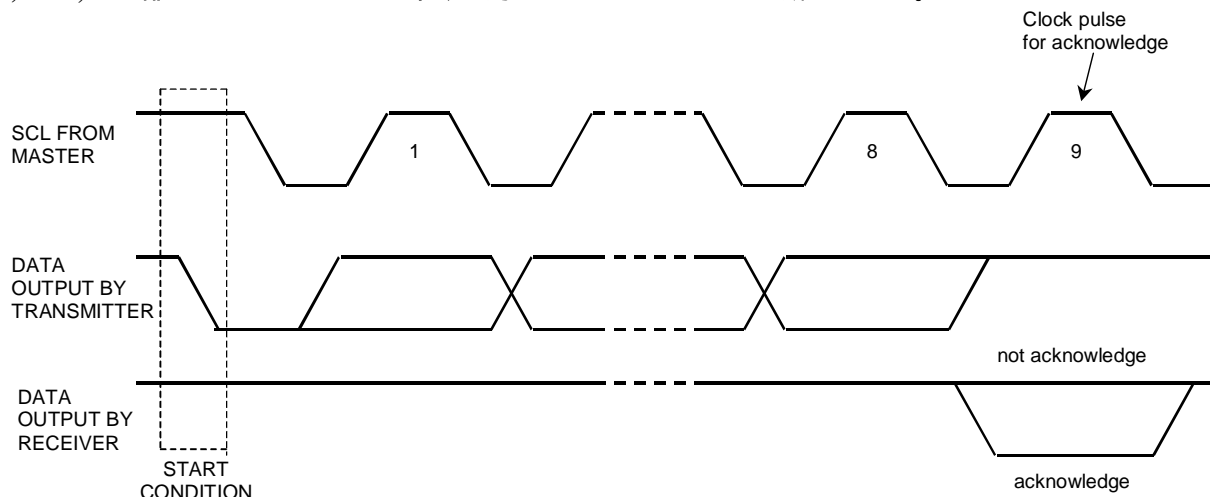


Figure 43. アクノリッジの生成

(2)-1-4. 第1バイト

スレーブアドレスを含む第1バイトはスタートコンディションの後に入力され、スレーブ・アドレスによりバス上のICの中からアクセスするICが選ばれます。スレーブ・アドレスは上位7ビットで構成されます。上位5ビットは、“00100”であり、次の2ビットはアクセスするICを選ぶ為のアドレスビットであり、CAD1,CAD0 pinにより設定されます。スレーブ・アドレスが入力されると、デバイスのアドレスが一致しているICはアクノリッジを生成し、その後命令を実行します。第1バイトの8番目のビット(最下位ビット)はR/W bitです。R/W bit=“1”のときREAD命令が実行され、R/W bit=“0”のときWRITE命令が実行されます。

| | | | | | | | |
|---|---|---|---|---|------|------|-----|
| 0 | 0 | 1 | 0 | 0 | CAD1 | CAD0 | R/W |
|---|---|---|---|---|------|------|-----|

(ADC,DAC部レジスタはCAD1,CAD0はピンにより設定
CAD1=CAD0=“0”には設定しないで下さい)
(DIR部レジスタは“00”固定)

Figure 44. 第1バイトの構成

(2)-2. WRITE命令

R/W bitが“0”の場合、AK4589はWRITE動作を行います。WRITE動作では、スレーブアドレス受信後、第2バイトを受信します。第2バイトは内部コントロールレジスタのアドレスを指定するバイトで、MSB firstで構成され上位3ビットはDon't careです。

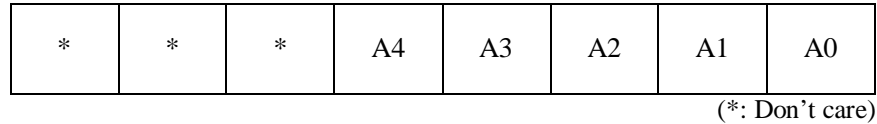


Figure 45. 第2バイトの構成

第3バイト以降がコントロールデータになります。コントロールデータは8ビット、MSB firstで構成されます。

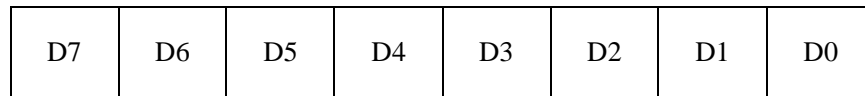


Figure 46. 第3バイト以降の構成

AK4589は複数のバイトのデータを一度に書き込むことができます。データを1バイト送った後ストップ・コンディションを送らず更にデータを送ると、内部アドレスカウンタは自動的にインクリメントし、データは次のアドレスに格納されます。カウンタは1FHを越えるとロール・オーバーし、次のデータはアドレス00Hから順に格納されます。

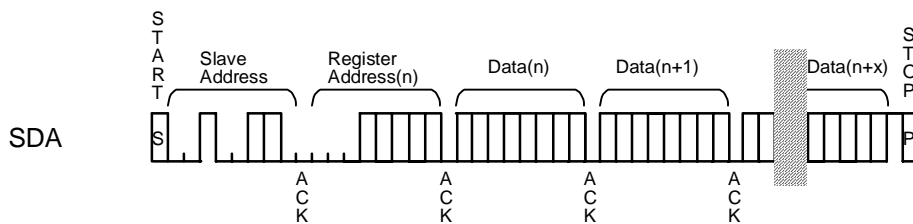


Figure 47. WRITE命令

(2)-3. READ命令

R/W bitが“1”の場合、AK4589はREAD動作を行います。指定されたアドレスのデータが出力された後、マスタがストップ・コンディションを送らずアクノリッジを生成すると、次のアドレスのデータを読み出すことができます。アドレス：1FHのデータを読み出した後、さらに次のアドレスを読み出す場合にはアドレス：00Hのデータが読み出されます。ADC/DAC部のレジスタはリードできません。

AK4589はカレント・アドレス・リードとランダム・リードの二つのREAD命令を持っています。

(2)-3-1. カレント・アドレス・リード

AK4589は内部にアドレス・カウンタを持っており、カレント・アドレス・リードではこのカウンタで指定されたアドレスのデータを読み出します。内部のアドレス・カウンタは最後にアクセスしたアドレスの次のアドレスの値を保持しています。例えば、最後にアクセス(READでもWRITEでも)したアドレスがnであり、その後カレント・アドレス・リードを行った場合、アドレス：n+1のデータが読み出されます。カレント・アドレス・リードでは、AK4589はREAD命令のスレーブ・アドレス(R/W bit = “1”)の入力に対してアクノリッジを生成し、次のクロックから内部のアドレス・カウンタで指定されたデータを出したのち内部カウンタを1つインクリメントします。1バイトのデータが出力された後、マスタがアクノリッジを生成せずストップ・コンディションを送ると、READ動作は終了します。

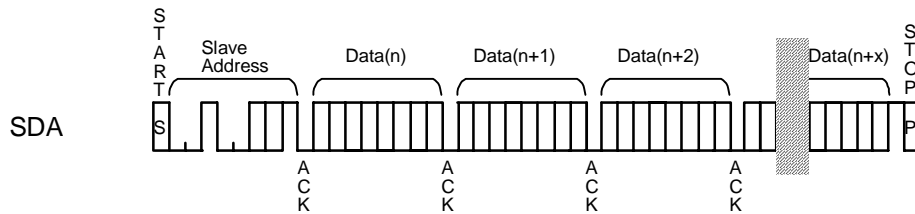


Figure 48. CURRENT ADDRESS READ命令

(2)-3-2. ランダム・リード

ランダム・リードにより任意のアドレスのデータを読み出すことができます。ランダム・リードはREAD命令のスレーブ・アドレス(R/W bit = “1”)を入力する前に、ダミーのWRITE命令を入力する必要があります。ランダム・リードでは最初にスタート・コンディションを入力し、次にWRITE命令のスレーブ・アドレス(R/W bit = “0”)、読み出すアドレスを順次入力します。AK4589がこのアドレス入力に対してアクノリッジを生成した後、再びスタート・コンディション、READ命令のスレーブ・アドレス(R/W bit = “1”)を入力します。AK4589はこのスレーブ・アドレスの入力に対してアクノリッジを生成し、指定されたアドレスのデータを出し、内部アドレスカウンタを1つインクリメントします。データが出力された後、マスタがアクノリッジを生成せず、ストップ・コンディションを送ると、READ動作は終了します。

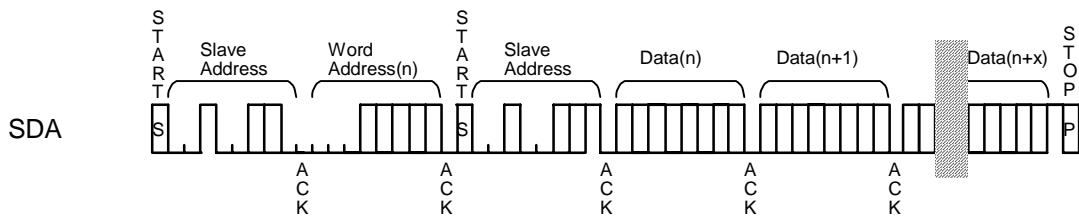


Figure 49. RANDOM READ 命令

システム設計

Figure 50はシステム接続例です。具体的な回路と測定例については評価用ボード(AKD4589)を参照して下さい。

条件:I2C コントロールモード

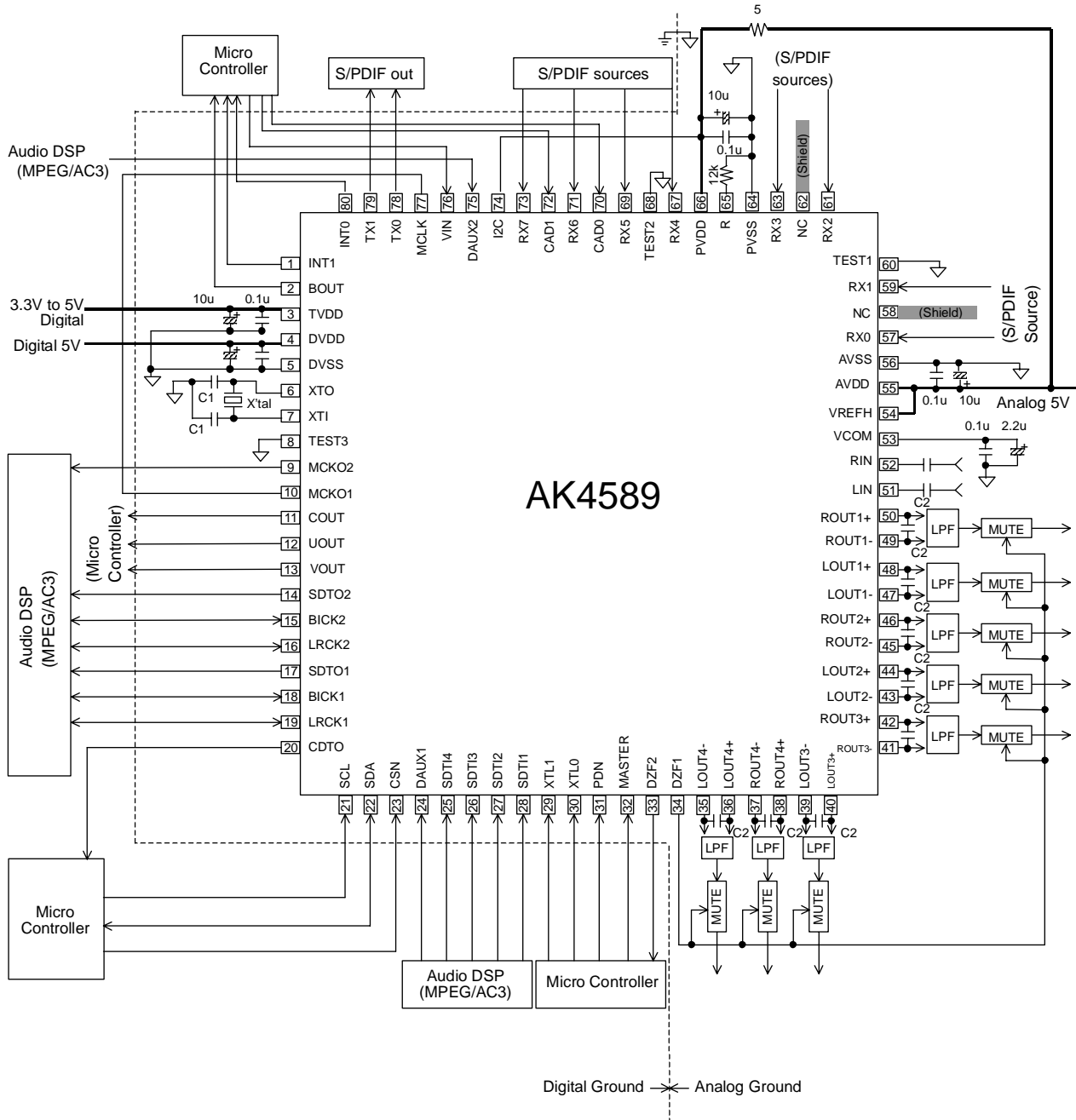


Figure 50. システム接続例

Notes

- C1の値は水晶振動子に依存します。
- C2には470pFを実装してください。
- AVSS, DVSS, PVSSは、同じアナロググランドに接続して下さい。
- デジタル信号、特にクロック信号はクロックジッタへの影響を避けるため R ピンからできるだけ離して下さい。
- 同軸入力の場合、RCA コネクタと終端のグランドは AK4589 の PVSS に低インピーダンスで接続してください。

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常 AVDD, DVDD, PVDD にはシステムのアナログ電源を供給します。AVDD, DVDD, PVDD が別電源で供給される場合は、電源立ち上げシーケンスを考える必要はありません。AVSS, DVSS, PVSS はアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PC ボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧入力

VREFH pin に入力される電圧がアナログ入出力レンジを設定します。通常 VREFH pin は AVDD pin に接続し、AVSS pin との間に $0.1\mu\text{F}$ のセラミックコンデンサを接続します。VCOM pin は AVDD/2 電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために $2.2\mu\text{F}$ 程度の電解コンデンサと並列に $0.1\mu\text{F}$ のセラミックコンデンサを AVSS との間に接続して下さい。特にセラミックコンデンサはピンに出来るだけ近づけて接続して下さい。VCOM pin から電流を取ってはいけません。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるため VREFH pin, VCOM pin からできるだけ離して下さい。

3. アナログ入力

ADC 入力はシングルエンドになっており、内部で VCOM にバイアスされています。入力レンジは $0.62 \times \text{VREFH } V_{\text{pp}} (\text{typ}) @ f_{\text{s}}=48\text{kHz}$ です。AK4589 は AVSS から AVDD までの電圧を入力することができます。出力コードのフォーマットは 2's complement (2 の補数) です。DC オフセットは内蔵の HPF でキャンセルされます。

AK4589 は 64fs でアナログ入力をサンプリングします。デジタルフィルタは、64fs の整数倍付近の帯域を除く阻止域以上のノイズをすべて除去します。AK4589 は 64fs 付近のノイズを減衰させるためにアンチエイリアジングフィルタ (RC フィルタ) を内蔵しています。

4. アナログ出力

DAC 出力は完全差動出力になっており、出力レンジは内部コモン電圧 (約 AVDD/2) を中心に $0.54 \times \text{VREF } V_{\text{pp}} (\text{typ})$ です。差動出力は外部で加算されます。AOUT+ と AOUT- の加算電圧は $V_{\text{AOUT}} = (\text{AOUT+}) - (\text{AOUT-})$ です。加算ゲインが 1 の場合、出力レンジは $5.4V_{\text{pp}} (\text{typ } @ \text{VREF}=5\text{V})$ です。外部加算回路のバイアス電圧は外部で供給されます。入力コードのフォーマットは 2's complement (2 の補数) で、7FFFFFFH (@24bit) に対しては正のフルスケール、800000H (@24bit) に対しては負のフルスケール、000000H (@24bit) での AOUT の理想値は 0V が出力されます。

差動出力のためコンデンサを使わずに AOUT+/AOUT- の DC 成分 (内部コモン電圧=約 AVDD/2, オフセット電圧を除く) を除去することが出来ますが、歪等のアナログ特性を十分に引き出すためには C カットして使用することを推奨します。”

5. アナログ出力回路

AK4589の差動出力を非反転バッファを通して出力する差動出力回路とその出力を加算するLPFを示します。オペアンプには低雑音高耐压のNJM5534Dを使用しています。

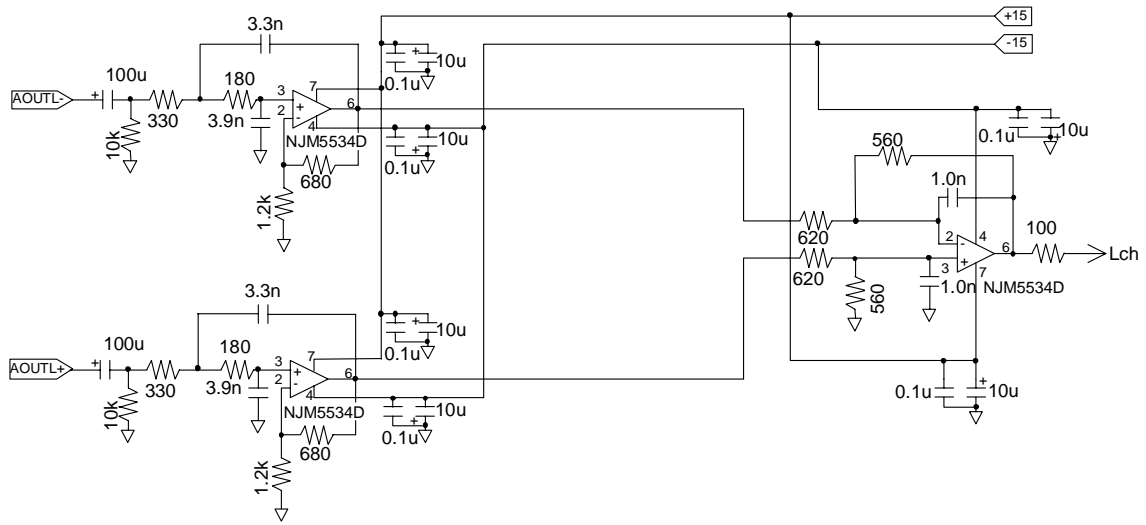
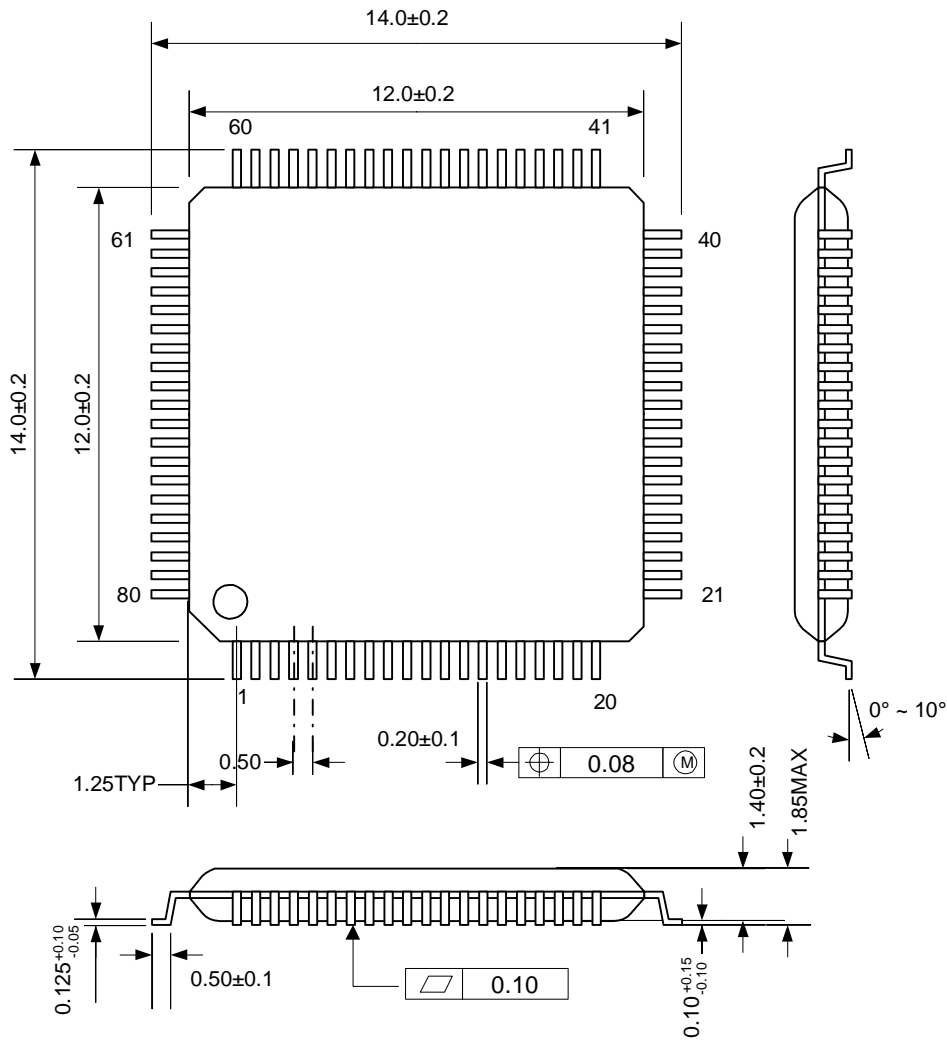


Figure 51. External 2nd order LPF Circuit Example

パッケージ

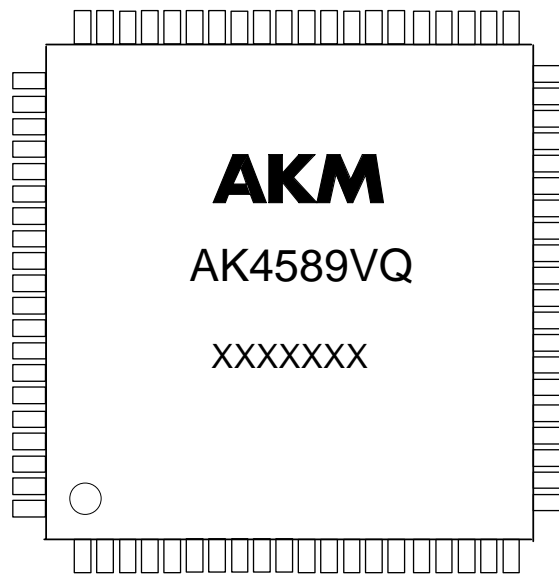
- 80-pin LQFP (Unit : mm)



材質・メッキ仕様

- パッケージ材質： エポキシ系樹脂
- リードフレーム材質： 銅
- リードフレーム処理： 半田(無鉛)メッキ

マーキング



- 1) Pin #1 indication
- 2) Asahi Kasei Logo
- 3) Marking Code: AK4589VQ
- 4) Date Code: XXXXXXX(7 digits)

改訂履歴

| Date (YY/MM/DD) | Revision | Reason | Page | Contents |
|-----------------|----------|---------------|------|----------|
| 04/09/06 | 00 | First Edition | | |

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。