

Zi9001(E1-V35 接口处理芯片)

用户手册

编 号：ZTEIC-ASIC-Zi9001-010

版本号：V2.0

深圳市中兴集成电路设计有限责任公司

2002 年 9 月

目 录

1. 概述.....	1
2. Zi9001 芯片特性.....	1
3. Zi9001 芯片功能描述.....	2
3.1. 功能框图.....	2
3.2. 信号流程图.....	3
4. 芯片封装.....	5
4.1. 管脚分布图.....	5
4.2. 封装说明.....	10
5. 寄存器描述.....	12
5.1. 寄存器功能描述.....	12
5.2. 寄存器地址分配.....	15
6. 信号时序说明.....	17
6.1. CPU 接口时序.....	17
6.2. PCM 信号时序.....	18
6.3. Nx64K 端口时序.....	19
6.4. 帧同步信号延迟时序.....	20
7. 功能说明.....	22
7.1. 环回功能.....	22
7.1.1. 主方式寄存器设置.....	22
7.1.2. 环回功能示图说明.....	22
7.2. E2NFOP 内部产生功能.....	24
7.2.1. 主方式寄存器设置.....	24
7.2.2. E2NFOP 内部产生功能说明.....	24
8. 电气特性.....	25
8.1. 运行范围.....	25
8.2. 推荐运行条件.....	25
8.3. 直流电气特性.....	25

Zi9001 芯片用户手册

1. 概述

E1-V35 接口处理芯片 Zi9001 是适用于子速率为 E1(Nx64K)的成帧处理芯片。Zi9001 设计有网络侧和扩展侧两个 PCM 总线接口以及两个 Nx64K 同步数字接口。从网络侧进入芯片的 PCM 码流，通过内部的时分复用器和内建的数字锁相环，输出两路 Nx64K 同步数字信号(N 值可以设置为 0 至 32，但总和不能大于 32)；同时，通过内部的时分复用器，可以将两路 Nx64K 同步数字复用到从扩展侧进入芯片的 PCM 码流上。

该芯片内有三个锁相环分别对应 E1 总线和两个 Nx64K 数字接口。利用这些数字锁相环，芯片可以提供灵活的时钟模式：既可以从 E1 总线上提取时钟(此时设备为 DCE 模式)，又可以从 Nx64K 接口上提取时钟(此时设备为 DTE 模式)。芯片自有的 DCO（数字控制振荡器）功能取消了对外部 VCO（压控振荡器）的需求，使用这一芯片，Nx64K 的应用将变得简单而且高效。

另外，如果需要多个 Nx64K 接口(一般 V.35 接口)时，可利用芯片的级联功能。

Zi9001 在通常的接入环境、ATM 接入、SDH 接入等已经有大量的应用。

2. Zi9001 芯片特性

- 1、内部有 DCO（数字控制振荡器），不需要外接 VCO（压控振荡器）
- 2、支持两个 Nx64K 数据端口（N 值可设置为 0~32，若两个 Nx64K 数据端口同时使用，两个 N 值之和不能大于 32）
- 3、E1 时隙可灵活配置
- 4、支持多芯片级联，支持多于 2 个数据端口
- 5、E1 时钟参考源可选择
- 6、微处理器的接口地址、数据总线可多路复用，也可不复用
- 7、芯片可环回测试
- 8、需要外接 1 个 32.768MHz 的振荡器
- 9、E1 端口及 Nx64K 端口的数据采样时钟沿可灵活设置
- 10、Nx64K 端口工作模式可设置为 DTE 模式或 DCE 模式
- 11、+5V 电源（精度±10%）供电

3. Zi9001 芯片功能描述

3.1. 功能框图

如图 3- 1 芯片框图所示，该芯片包括帧结构处理、时隙处理、时钟处理、通用 I/O 口和寄存器等几个主要的模块。

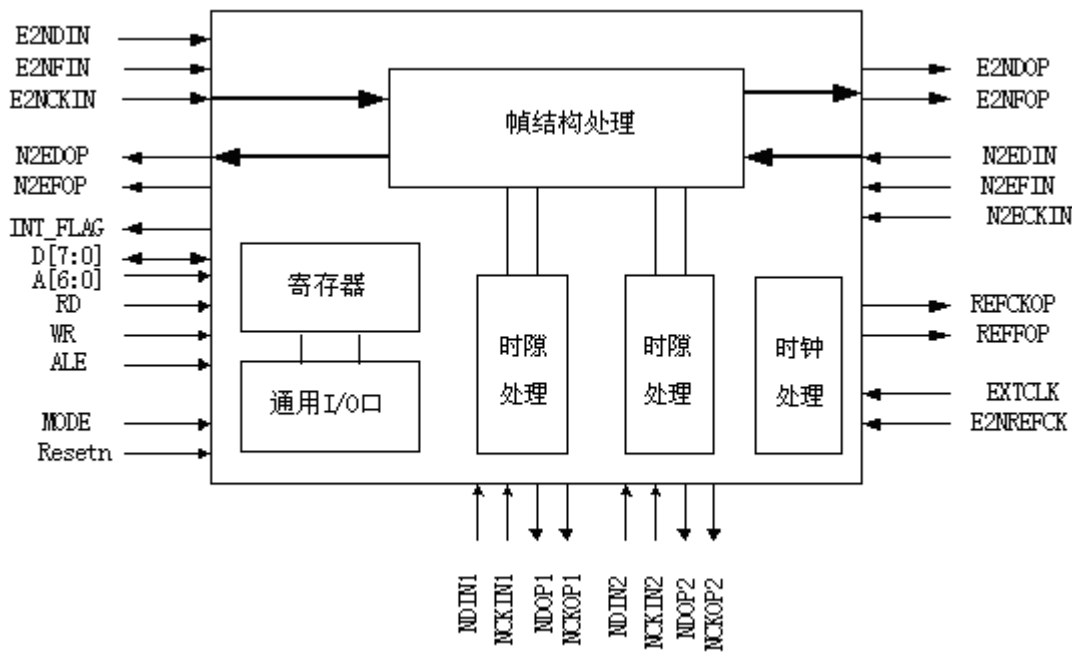


图 3- 1 芯片框图

3.2. 信号流程图

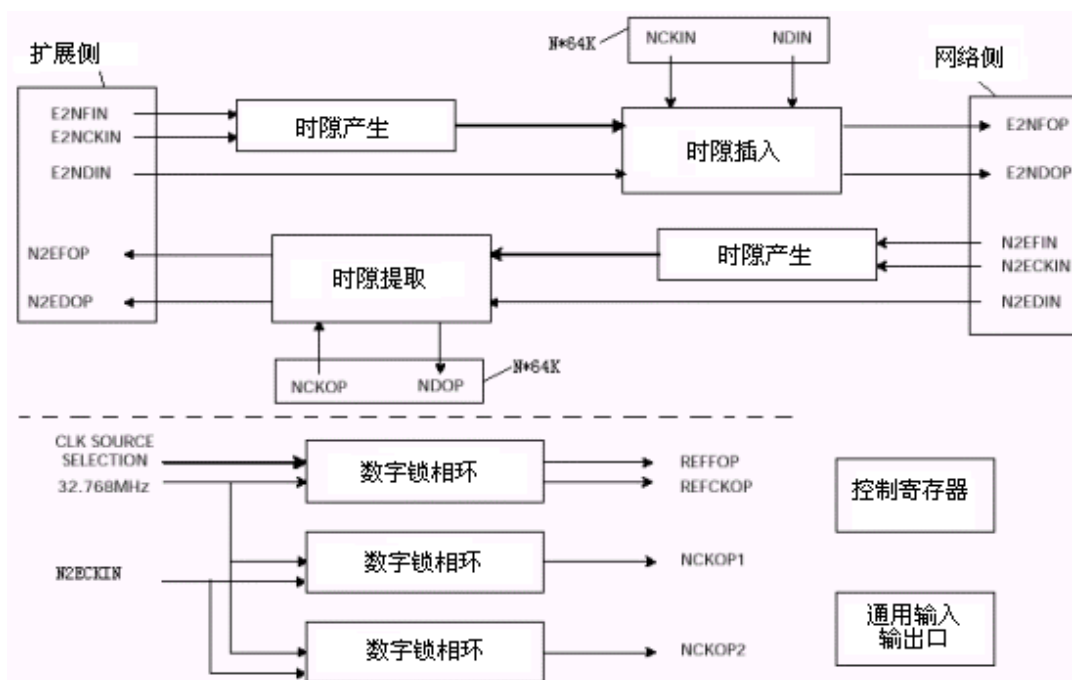


图 3-2 芯片信号流程图

Zi9001 芯片的主要信号流程图如图 3-2 芯片信号流程图所示，由其流程图可知，该芯片的主要信号处理有：

1) E1 到 Nx64K 的转换

PCM 的数据信号进入芯片后，经过相应的帧处理结构处理后，再以 PCM 形式输出。而 Nx64K 端口经过相应的时隙提取操作，可将相应时隙的数据提取出来，并输出到 Nx64K 端口。

2) Nx64K 到 E1 的转换

Nx64K 端口进来的数据信号（NDIN1，NDIN2）经过相应的时隙插入操作，进入到帧结构处理中，与来自扩展端口的 PCM 的数据线相结合后，输出相应的 PCM 数据。

其中，Nx64K 的数据对应哪些时隙，可由控制寄存来设置。

为了说明问题，现假设 N=3，且指定使用 E1 的 3,5,13 时隙。即 E1 的 3,5,13 时隙的数据要抽取出来，组成 3x64K 码率的码流，同时，3x64K 码率的码流，要插入到 E1 的 3,5,13 时隙上。示意图如图 3-3 和图 3-4 所示：

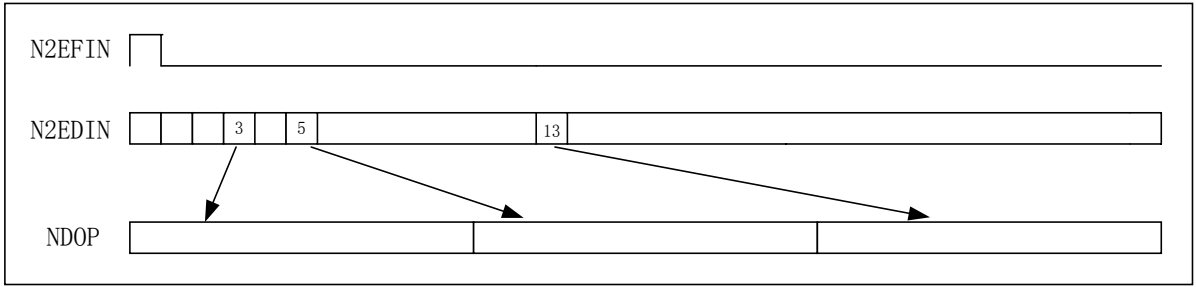


图 3-3 E1 到 3x64K 的转换示意图

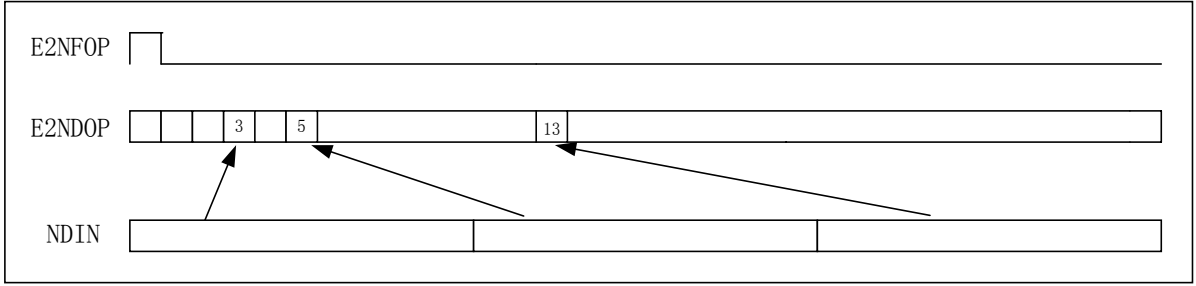


图 3-4 3x64K 到 E1 的转换示意图

4. 芯片封装

4.1. 管脚分布图

Zi9001 的管脚分布图如图 4-1 芯片管脚分布图示，各管脚信号的具体描述见表 4-1 芯片管脚信号列表。

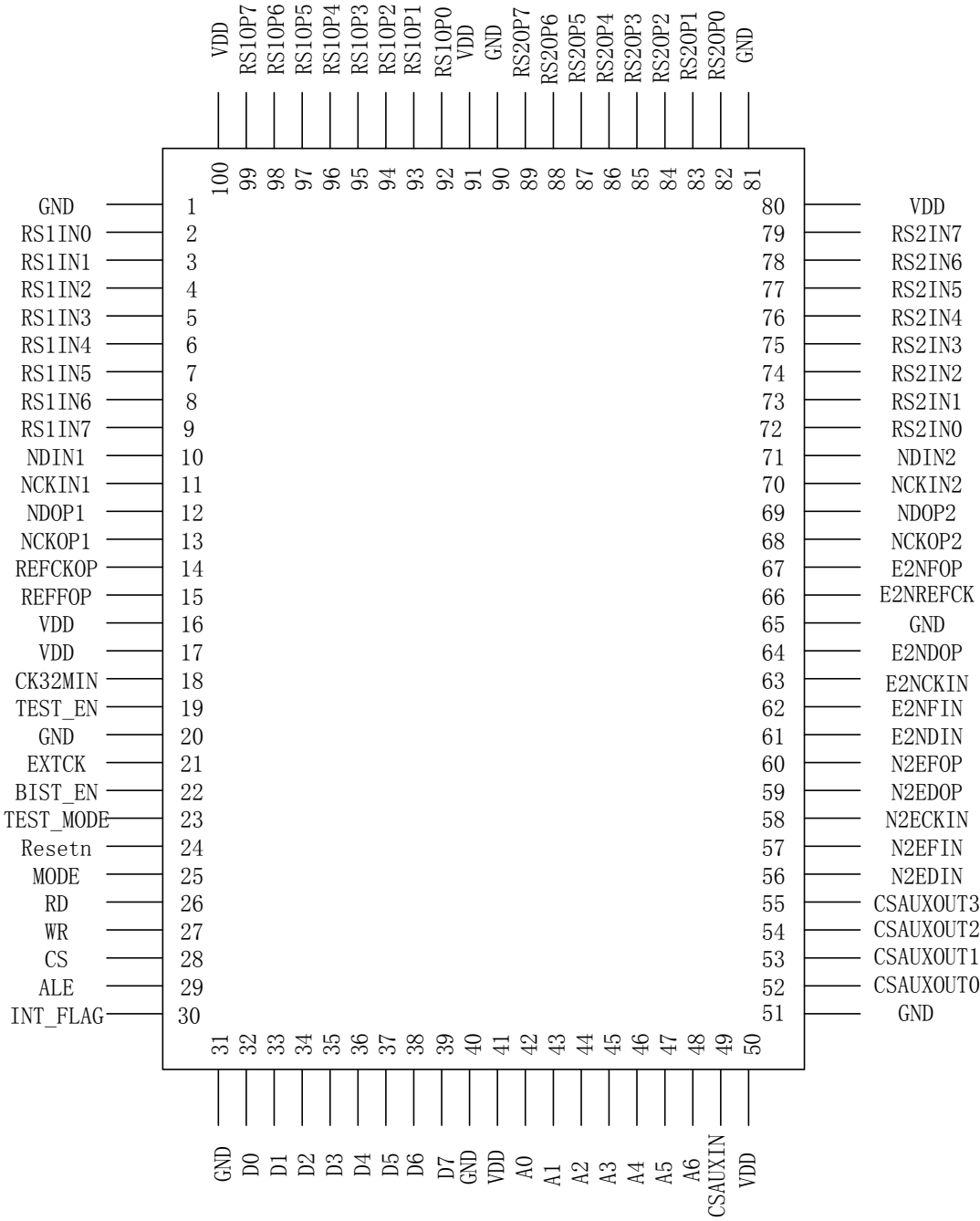


图 4-1 芯片管脚分布图

管脚	信号名	信号描述	I/O
PCM 输入输出信号			
56	N2EDIN	抽取操作 E1 端口数据输入	I
57	N2EFIN	抽取操作 E1 端口帧同步信号输入	I
58	N2ECKIN	抽取操作 E1 端口时钟输入	I
59	N2EDOP	抽取操作 E1 端口数据输出	O
60	N2EFOP	抽取操作 E1 端口帧同步信号输出	O
61	E2NDIN	插入操作 E1 端口数据输入	I
62	E2NFIN	插入操作 E1 端口帧同步信号输入	I
63	E2NCKIN	插入操作 E1 端口时钟输入	I
64	E2NDOP	插入操作 E1 端口数据输出	O
67	E2NFOP	插入操作 E1 端口帧同步信号输出	O
Nx64K 端口输入输出信号			
10	NDIN1	Nx64K 端口 1 的数据输入	I
11	NCKIN1	Nx64K 端口 1 的时钟输入	I
12	NDOP1	Nx64K 端口 1 的数据输出	O
13	NCKOP1	Nx64K 端口 1 的时钟输入	O
71	NDIN2	Nx64K 端口 2 的数据输入	I
70	NCKIN2	Nx64K 端口 2 的时钟输入	I
69	NDOP2	Nx64K 端口 2 的数据输出	O
68	NCKOP2	Nx64K 端口 2 的时钟输入	O
通用 IO 口输入输出信号			
2	RS1IN0	通用输入口 1 BIT0 输入	I
3	RS1IN1	通用输入口 1 BIT1 输入	I
4	RS1IN2	通用输入口 1 BIT2 输入	I
5	RS1IN3	通用输入口 1 BIT3 输入	I
6	RS1IN4	通用输入口 1 BIT4 输入	I

7	RS1IN5	通用输入口 1 BIT5 输入	I
8	RS1IN6	通用输入口 1 BIT6 输入	I
9	RS1IN7	通用输入口 1 BIT7 输入	I
92	RS1OP0	通用输出口 1 BIT0 输出	O
93	RS1OP1	通用输出口 1 BIT1 输出	O
94	RS1OP2	通用输出口 1 BIT2 输出	O
95	RS1OP3	通用输出口 1 BIT3 输出	O
96	RS1OP4	通用输出口 1 BIT4 输出	O
97	RS1OP5	通用输出口 1 BIT5 输出	O
98	RS1OP6	通用输出口 1 BIT6 输出	O
99	RS1OP7	通用输出口 1 BIT7 输出	O
72	RS2IN0	通用输入口 2 BIT0 输入	I
73	RS2IN1	通用输入口 2 BIT1 输入	I
74	RS2IN2	通用输入口 2 BIT2 输入	I
75	RS2IN3	通用输入口 2 BIT3 输入	I
76	RS2IN4	通用输入口 2 BIT4 输入	I
77	RS2IN5	通用输入口 2 BIT5 输入	I
78	RS2IN6	通用输入口 2 BIT6 输入	I
79	RS2IN7	通用输入口 2 BIT7 输入	I
82	RS2OP0	通用输出口 2 BIT0 输出	O
83	RS2OP1	通用输出口 2 BIT1 输出	O
84	RS2OP2	通用输出口 2 BIT2 输出	O
85	RS2OP3	通用输出口 2 BIT3 输出	O
86	RS2OP4	通用输出口 2 BIT4 输出	O
87	RS2OP5	通用输出口 2 BIT5 输出	O
88	RS2OP6	通用输出口 2 BIT6 输出	O
89	RS2OP7	通用输出口 2 BIT7 输出	O
时钟输入输出信号			

14	REFCKOP	E1 参考时钟输出	O
15	REFFOP	E1 参考帧同步输出	O
18	CK32MIN	参考 32.768MHz 时钟输入 (25ppm)	I
21	EXTCK	外部时钟输入	I
66	E2NREFCK	来自 E2N 方向 E1 时钟的参考时钟	I
CPU 接口信号			
25	MODE	CPU 接口是复用模式还是非复用模式选择	I
29	ALE	ALE 的下降沿锁存内部的地址	I
27	WR	写信号输入	I
26	RD	读信号输入	I
28	CS	片选信号输入	I
30	INT_FLAG	中断输出	O
42	A0	地址 BIT0 输入	I
43	A1	地址 BIT1 输入	I
44	A2	地址 BIT2 输入	I
45	A3	地址 BIT3 输入	I
46	A4	地址 BIT4 输入	I
47	A5	地址 BIT5 输入	I
48	A6	地址 BIT6 输入	I
32	D0	CPU 数据/地址总线	I/O
33	D1	CPU 数据/地址总线	I/O
34	D2	CPU 数据/地址总线	I/O
35	D3	CPU 数据/地址总线	I/O
36	D4	CPU 数据/地址总线	I/O
37	D5	CPU 数据/地址总线	I/O
38	D6	CPU 数据/地址总线	I/O
39	D7	CPU 数据/地址总线	I/O
辅助片选信号输入输出			

49	CSAUXIN	辅助片选输入	I
52	CSAUXOUT0	辅助片选输出 0	O
53	CSAUXOUT1	辅助片选输出 1	O
54	CSAUXOUT2	辅助片选输出 2	O
55	CSAUXOUT3	辅助片选输出 3	O
电源、地输入			
16	VDD	+5V 电源输入	P
17	VDD	+5V 电源输入	P
41	VDD	+5V 电源输入	P
50	VDD	+5V 电源输入	P
80	VDD	+5V 电源输入	P
91	VDD	+5V 电源输入	P
100	VDD	+5V 电源输入	P
1	GND	电源地端输入	P
20	GND	电源地端输入	P
31	GND	电源地端输入	P
40	GND	电源地端输入	P
51	GND	电源地端输入	P
65	GND	电源地端输入	P
81	GND	电源地端输入	P
90	GND	电源地端输入	P
芯片测试输入信号			
19	TEST_EN	全扫描使能输入	I
22	BIST_EN	RAM 测试使能输入	I
23	TEST_MODE	全扫描模式选择输入	I
芯片复位信号			
24	Resetn	系统复位信号	I

表 4-1 芯片管脚信号列表

4.2. 封装说明

Zi9001 芯片的封装图见图 4-2 Zi9001 芯片封装图，芯片的封装尺寸见表 4-2 Zi9001 芯片封装尺寸列表。

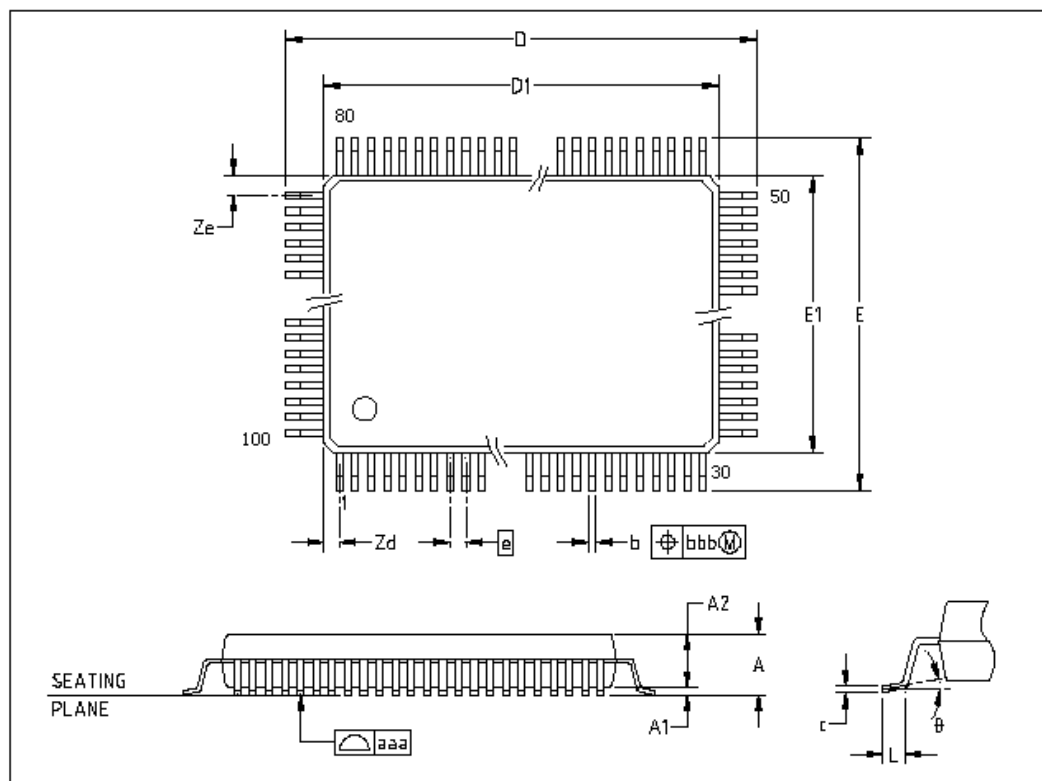


图 4-2 Zi9001 芯片封装图

Package Type (Package Code)	100 Lead PQFP (QFP100-P-1420-0.65A)		
Symbol	Millimeters		
	Min	Nom	Max
A	–	–	3.05
A1	0.09	0.19	0.29
A2	2.5	2.7	2.9
b	0.2	0.3	0.4
c	0.10	0.15	0.25
D	23.5	23.8	24.1
D1	19.8	20.0	20.2
E	17.5	17.8	18.1
E1	13.8	14.0	14.2
e	0.65 BSC		
L	0.6	0.8	1.0
Zd	0.575 TYP		
Ze	0.825 TYP		
θ	0°	–	10°
aaa	0.15		
bbb	0.13		
N	100		

表 4-2 Zi9001 芯片封装尺寸列表

5. 寄存器描述

5.1. 寄存器功能描述

RSnOP/RSnIN 寄存器

RS1OP/RS1IN (RS2OP/RS2IN) 寄存器用作通用 I/O 控制寄存器

在 Nx64K 数据端口应用中，它们可用做握手控制信号

SELCK 寄存器

BIT2-0: 用做时钟源选择器，见表 5-1 时钟源选择

BIT3: INT_FLAG 有效电平设置 (0: 低有效, 1: 高有效)

BIT4: 为 1 时，定义其中一个 Nx64K 端口是全速率应用

BIT5: 定义 E2NFOP 信号产生方式 (1: 内部产生, 0: 取决于外部输入 E2NFIN)

BIT7-6: 保留

SELCK[2]	SELCK[1]	SELCK[0]	选择时钟源
0	0	0	E2NREFCK
x	0	1	EXTCK
x	1	0	NCK1IN
0	1	1	NCK2IN
1	1	1	Internal Clock

表 5-1 时钟源选择

CTLnA 寄存器

n 代表端口 1 或 2

BIT31-0: 当相应位是高时,使能相应的时隙 (31~0)

CTLnB 寄存器

Nx64K 端口控制寄存器, n 代表端口 1 或 2

BIT0: 定义 Nx64K 端口输出数据方式 (0: 正常方式, 1: 取反方式)

BIT1: 定义 Nx64K 端口输入数据方式 (0: 正常方式, 1: 取反方式)

BIT2: 定义 Nx64K 端口接收时钟 (0: 外部时钟 NCKINn, 1: 内部时钟 NCKOPn)

BIT3: 定义 Nx64K 端口输入数据采样沿 (0: 上升沿, 1: 下降沿)

BIT4: 定义 Nx64K 端口输出数据发送沿 (0: 上升沿, 1: 下降沿)

BIT5: 定义 Nx64K 端口输出时钟 (0: 内部时钟 NCKOPn, 1: 外部时钟 NCKINn)

BIT6: 保留

BIT7: 定义 Nx64K 端口状态 (0: 无效, 1: 有效)

CTLnC 寄存器

n 代表端口 1 或 2

BIT4-0: 定义 Nx64K 端口速率, N 是 BIT4-0 的值

BIT7-5: 保留

T1CTL 寄存器

E1 端口控制寄存器

BIT0: 定义 E2N 输入数据采样沿 (0: 上升沿, 1: 下降沿)

BIT1: 定义 E2N 输出数据发送沿 (0: 下降沿, 1: 上升沿)

BIT2: 设置为 1 时, 在没有用到的时隙, E2NDOP 输出高阻

BIT3: 定义 N2E 输入数据采样沿 (0: 上升沿, 1: 下降沿)

BIT4: 定义 N2E 输出数据发送沿 (0: 下降沿, 1: 上升沿)

BIT5: 设置为 1 时, 在用到的时隙, N2EDOP 输出高阻。

BIT6: 定义 E2N、N2E 输入、输出帧同步信号有效电平 (0: 高电平, 1: 低电平)

BIT7: 定义输出帧脉冲 REFFOP 波形 (0: 占空比与输入相同, 1: 占空比为 50%)

T2CTL 寄存器

BIT0: 定义网络侧环回 (0: 不使能, 1: 使能)

BIT1: 定义扩展侧环回 (0: 不使能, 1: 使能)

BIT2: 定义 Nx64K 端口 1 环回 (0: 不使能, 1: 使能)

BIT3: 定义 Nx64K 端口 2 环回 (0: 不使能, 1: 使能)

BIT5-4: 保留

BIT6: 定义可读寄存器类型 (0: 状态寄存器, 1: 控制寄存器)

BIT7: 主方式寄存器配置模式设置, 固定为 1

INTMK 寄存器

中断掩码寄存器

BIT1-0: 保留

BIT2: 使能时钟中断 (0: 不使能, 1: 使能)

BIT3: 使能内部 FIFO 中断 (0: 不使能, 1: 使能)

BIT7-4: 保留

E2NFADJ 寄存器

E2N 帧同步信号调整控制寄存器

BIT2-0: E2N 输入帧同步信号调整位数

BIT3: E2N 输入帧同步信号相对于数据滞后 (0), 超前 (1) 设置

BIT6-4: E2N 输出帧同步信号调整位数

BIT7: E2N 输出帧同步信号相对于数据滞后 (0), 超前 (1) 设置

N2EFADJ 寄存器

N2E 帧同步信号调整控制寄存器

BIT2-0: N2E 输入帧同步信号调整位数

BIT3: N2E 输入帧同步信号相对于数据滞后 (0), 超前 (1) 设置

BIT6-4: N2E 输出帧同步信号调整位数

BIT7: N2E 输出帧同步信号相对于数据滞后 (0), 超前 (1) 设置

INT 寄存器

中断状态寄存器

BIT1-0: 保留

BIT2: 时钟中断指示位 (0: 没有发生中断, 1: 发生中断)

BIT3: FIFO 中断指示位 (0: 没有发生中断, 1: 发生中断)

BIT4: 保留

BIT5: 外部时钟错误指示 (0: 没有发生错误, 1: 发生错误)

BIT6: Nx64K 端口 1 时钟错误指示 (0: 没有发生错误, 1: 发生错误)

BIT7: Nx64K 端口 2 时钟错误指示 (0: 没有发生错误, 1: 发生错误)

RSTINT 寄存器

中断清除寄存器

BIT1-0: 保留

BIT2: 时钟中断清除 (0: 无效, 1: 有效)

BIT3: FIFO 中断清除 (0: 无效, 1: 有效)

BIT7-4: 保留

5.2. 寄存器地址分配

Zi9001 芯片的寄存器地址分配见表 5-2 Zi9001 芯片寄存列表。

地址	类型	寄存器名
5'H00	控制	RS1OP
5'H01	控制	RS2OP
5'H02	控制	SELCK
5'H03	控制	CTL1A[7: 0]
5'H04	控制	CTL2A[15: 8]
5'H05	控制	CTL1A[23: 16]
5'H06	控制	CTL1A[31: 24]
5'H07	控制	CTL1B
5'H08	控制	CTL1C
5'H09	控制	CTL2A[7: 0]
5'H0A	控制	CTL2A[15: 8]
5'H0B	控制	CTL2A[23: 16]
5'H0C	控制	CTL2A[31: 24]
5'H0D	控制	CTL2B

5'H0E	控制	CTL2C
5'H0F	控制	RSTINT
5'H10	控制	T1CTL
5'H11	控制	T2CTL
5'H12	控制	INTMK
5'H13	控制	E2NFADJ
5'H14	控制	N2EFADJ
5'Hx3	状态	INT
5'Hx4	状态	RS1IN
5'Hx5	状态	RS2IN

表 5- 2 Zi9001 芯片寄存列表

6. 信号时序说明

6.1. CPU 接口时序

Zi9001 支持 CPU 地址数据复用方式和非复用方式，由 MODE 信号确定复用/非复用时序的选择。

当 MODE=1 时，CPU 接口采用地址数据复用的读写时序，写时序见图 6-1 复用模式的写时序，读时序见图 6-2 复用模式的读时序。

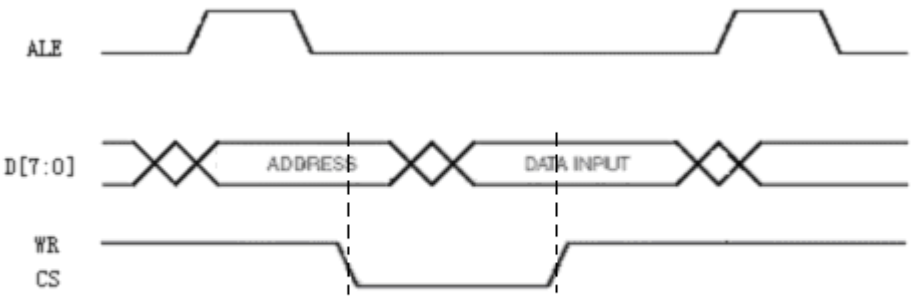


图 6-1 复用模式的写时序

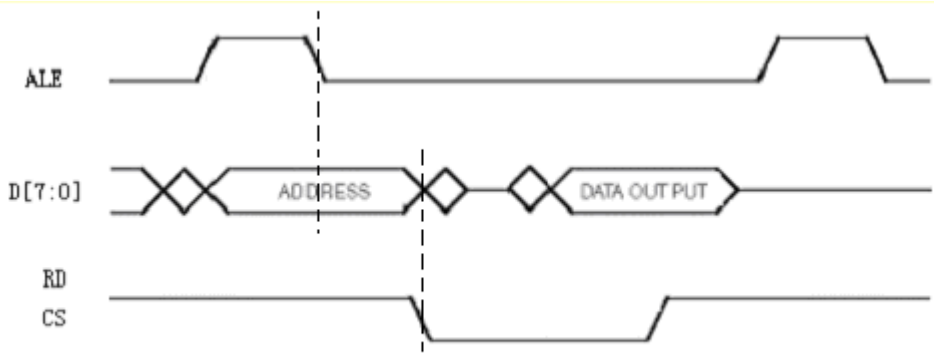


图 6-2 复用模式的读时序

当 MODE=0 时，CPU 接口采用地址数据非复用模式，读时序见图 6-3 非复用模式的写时序，写时序见图 6-4 非复用模式的读时序。WR 为写信号，RD 为读信号。



图 6-3 非复用模式的写时序

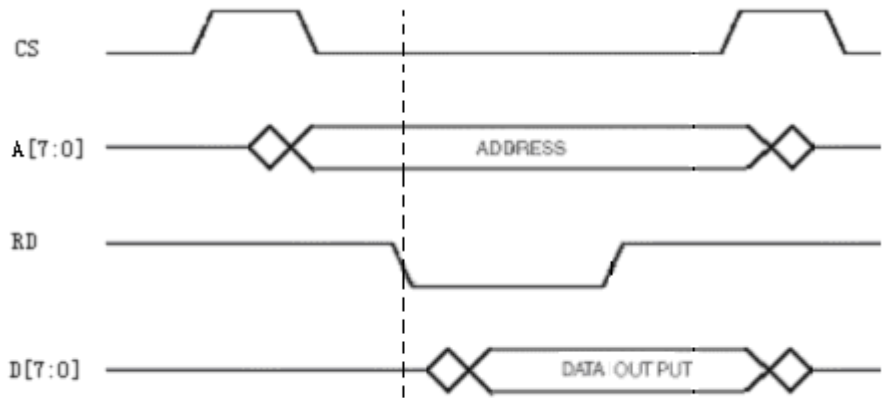


图 6-4 非复用模式的读时序

6.2. PCM 信号时序

1) 输入 E1 信号时序

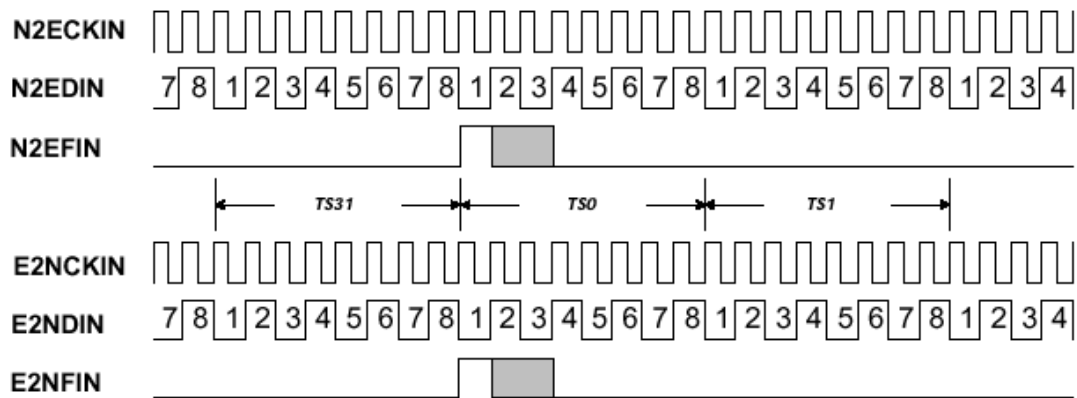


图 6-5 输入 E1 信号时序图

图 6-5 输入 E1 信号时序图的情况是下降沿采样输入数据的时序图，输入数据也可上升沿采

样，这可以通过设置寄存器来灵活的调整。由图可知，E1 的数据输入每帧有 32 个时隙，每个时隙包括 8 位数据，而其帧同步信号输入为 1 个 E1 输入时钟周期，也可能更宽。

2) 输出 E1 信号时序

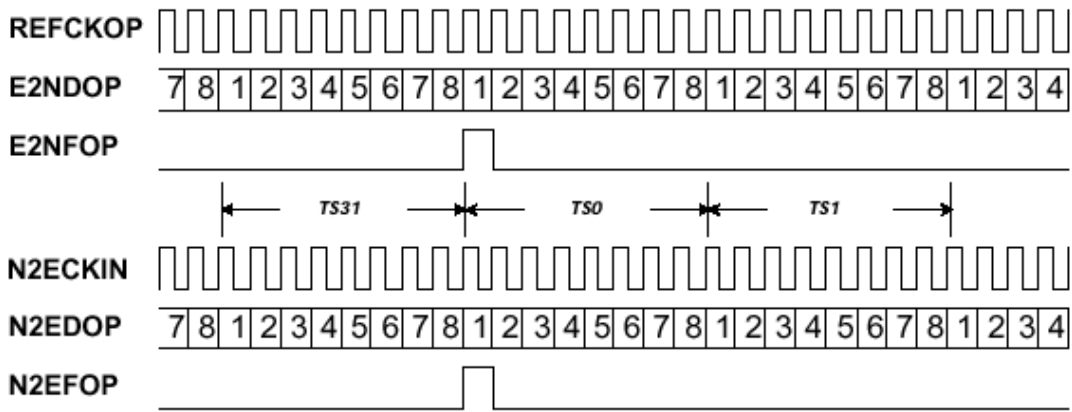


图 6-6 输出 E1 信号时序图

图 6-6 输出 E1 信号时序图的情况是下降沿采样输出数据的时序图，输出数据也可上升沿采样输出，这可以通过设置寄存器来灵活的调整（新增加功能）。由图可知，E1 的数据输出每帧有 32 个时隙，每个时隙包括 8 位数据，而其帧同步信号输入为 1 个 E1 时钟周期（即 E2NFOP 和 N2EFOP 脉冲的宽度为 1 个 E1 时钟周期）。

输出的 REFFOP 的脉宽可以通过控制寄存器来设置，它即可与信号 E2NFOP、N2EFOP 的脉冲宽度一样，也可如下图所示，周期为 125uS，占空比为 1: 1。

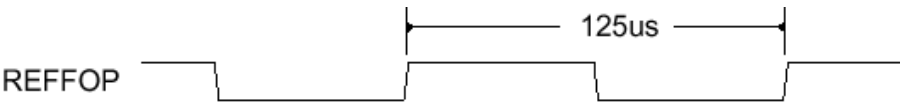


图 6-7 REFFOP 波形图

6.3. Nx64K 端口时序

1) Nx64K 端口输入时序



图 6-8 Nx64K 端口输入时序图

图 6-8 Nx64K 端口输入时序图的情况是上升沿采样输入数据的时序图，输入数据也可下降沿采样，这可以通过设置寄存器来灵活的调整。（CTLnB 的 BIT3 为 0 时，上升沿采样输入，CTLnB 的 BIT3 为 1 时，下降沿采样输入）

2) Nx64K 端口输出时序

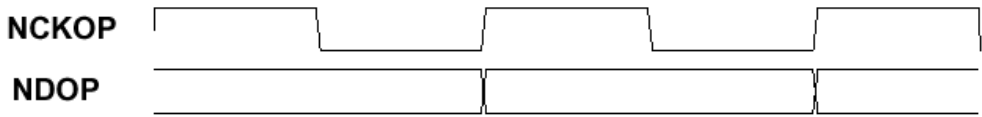


图 6-9 Nx64K 端口输出时序图

图 6-9 Nx64K 端口输出时序图的情况是下降沿采样输出数据的时序图，输入数据也可上升沿采样，这可以通过设置寄存器来灵活的调整。（新增加功能）

6.4. 帧同步信号延迟时序

通过设置相应的控制寄存器，可以设置 E2N 和 N2E 的输入采样沿和输出时钟沿，不同的输入采样沿和输出时钟沿组合，有不同的帧同步信号延迟。

对于 N2E 和 E2N 路径，都有如下的关系：

采样沿	输出沿	FIN 和 FOP 的延迟
下降沿	下降沿	5.5 时钟周期
下降沿	上升沿	5 时钟周期
上升沿	下降沿	5 时钟周期
上升沿	上升沿	5.5 时钟周期

具体见图 6-10 帧同步脉冲延迟时序图。

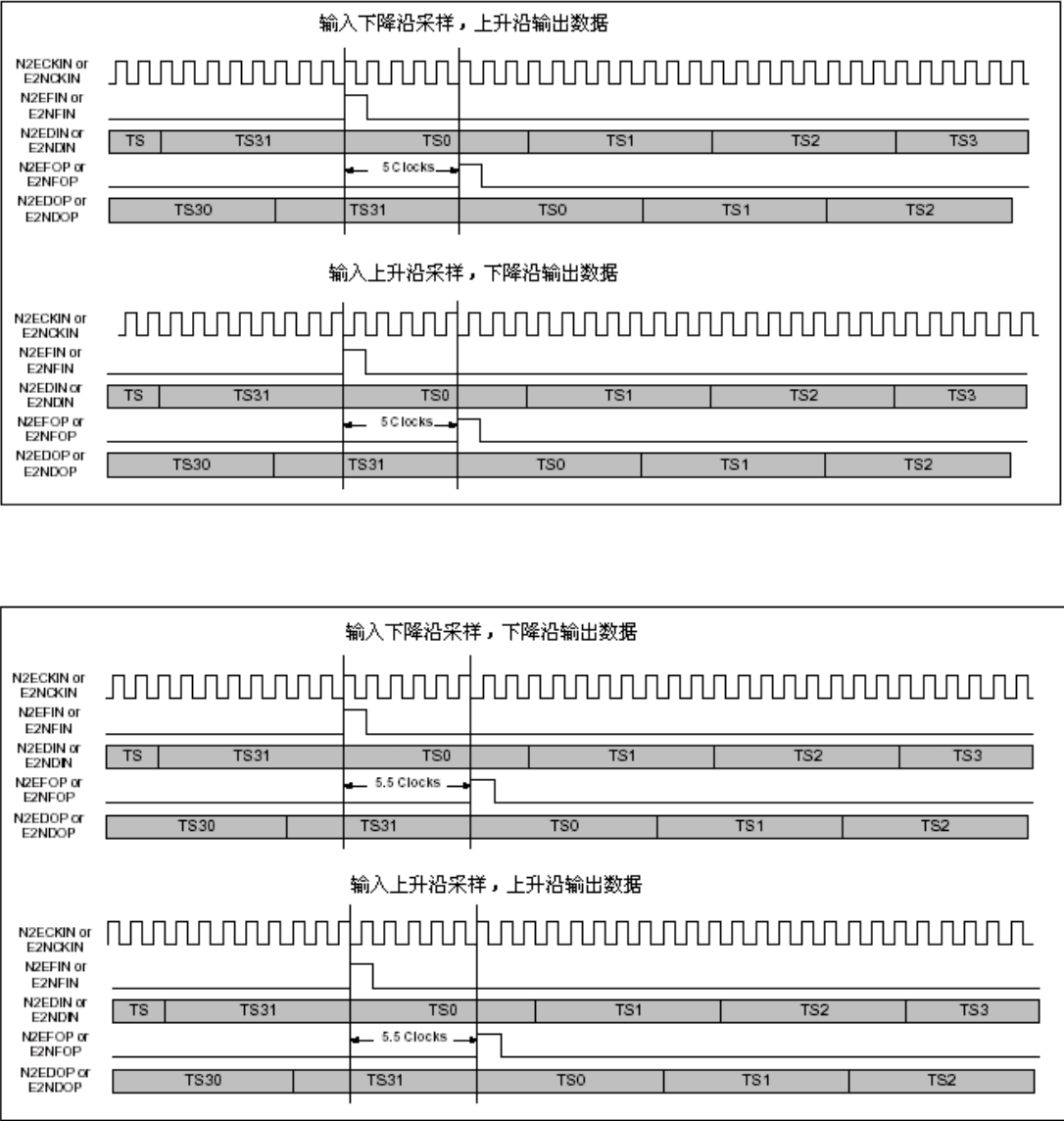


图 6-10 帧同步脉冲延迟时序图

7. 功能说明

7.1. 环回功能

7.1.1. 主方式寄存器设置

寄存器	有效值	功能说明
T2CTL[0]	1	网络侧回环
T2CTL[1]	1	扩展侧回环
T2CTL[2]	1	Nx64K 端口 1 回环
T2CTL[3]	1	Nx64K 端口 2 回环

7.1.2. 环回功能示意图说明

1) 网络侧环回

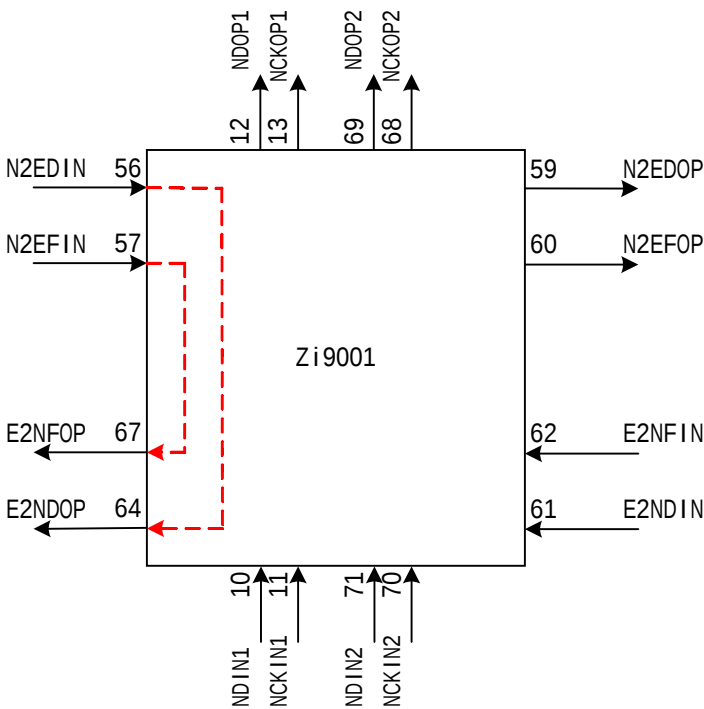


图 6- 11 环回功能一图示

图 6- 11 环回功能一图示中红色虚线表示此时的环回路径，N2EDIN 和 N2EFIN 直接作为 E2NDOP 和 E2NFOP 在网络端输出。

2) Nx64K 端口 1 环回

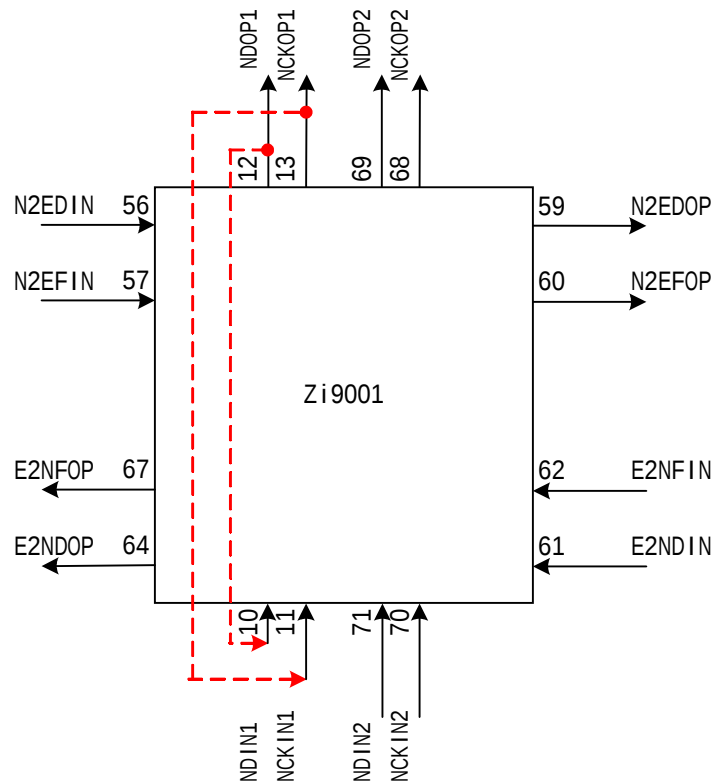


图 6- 12 环回功能二图示

图 6- 12 环回功能二图示中红色虚线表示此时的环回路径，从 N2E 抽取出来的 Nx64K 端口 1 数据，作为此端口的输入，重新插入到 E2N 方向。

3) 扩展侧环回

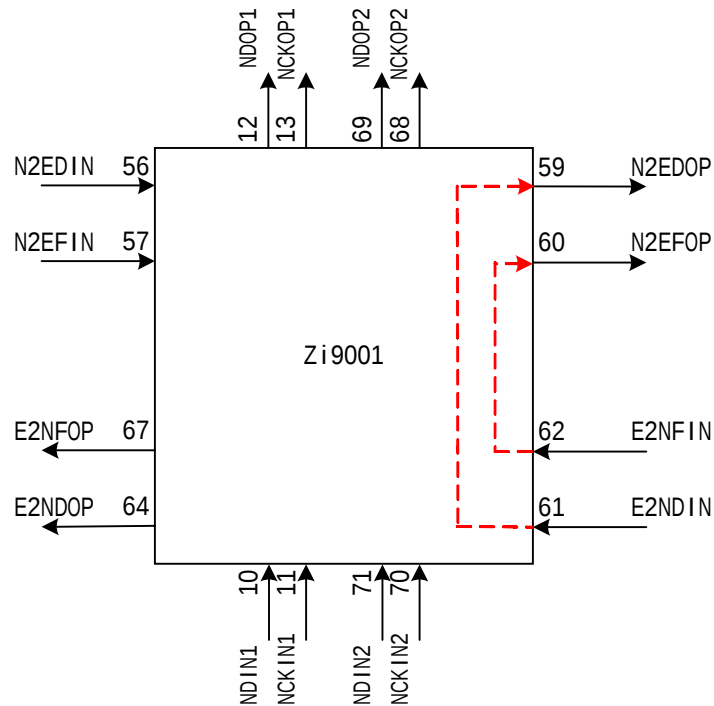


图 6- 13 环回功能三图示

图 6- 13 环回功能三图示中红色虚线表示此时的环回路径，E2NDIN 和 E2NFIN 直接作为

N2EDOP 和 N2EFOP 在扩展端输出。

4) Nx64K 端口 2 环回

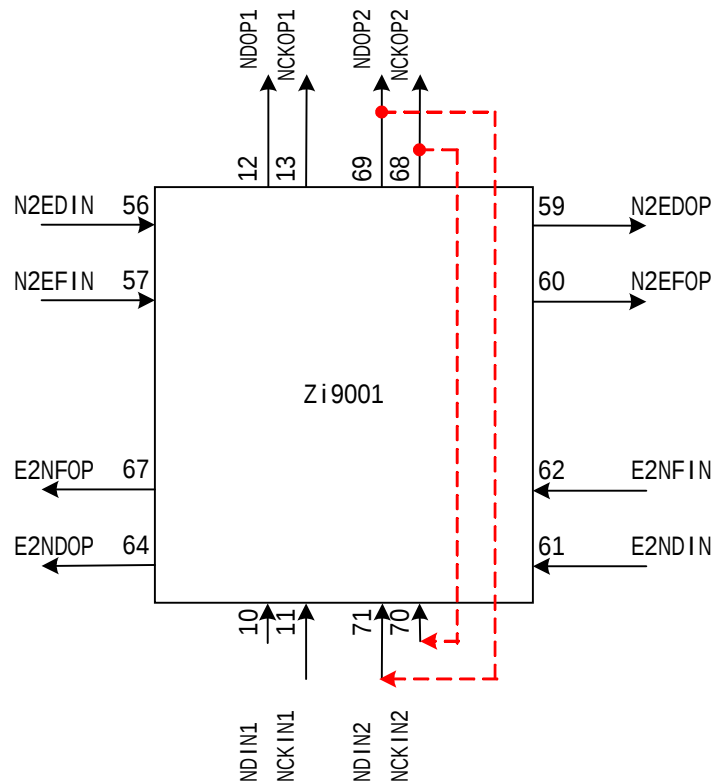


图 6-14 环回功能四图示

图 6-14 环回功能四图示中红色虚线表示此时的环回路径，从 N2E 抽取出来的 Nx64K 端口 2 数据，作为此端口的输入，重新插入到 E2N 方向。

7.2. E2NFOP 内部产生功能

7.2.1. 主方式寄存器设置

寄存器	有效值	功能说明
SELCK[5]	1	E2NFOP 内部产生

7.2.2. E2NFOP 内部产生功能说明

正常情况下，E2NFOP 取决于输入 E2NFIN；在 SELCK[5]寄存器置 1 后，E2NFOP 取决于输入 N2EFIN，使得 E2NFOP 和 N2EFIN 在同一时间有效。

8. 电气特性

8.1. 运行范围

符号	参数说明	范围	单位
Vdd	直流供电	-0.3 ~ +7.0	V
Vin	输入电压	-0.3 ~ Vdd+0.3	V
Vout	输出电压	-0.3 ~ Vdd+0.3	V
Iin	输入电流	±10	mA
Tstg	存储温度	-40 ~ +125	°C

8.2. 推荐运行条件

符号	参数说明	最小值	典型值	最大值	单位
Vdd	直流供电	4.5	5.0	5.5	V
Topr	运行环境温度	-40		85	°C

8.3. 直流电气特性

符号	参数说明	条件	最小值	最大值	单位
V _{IH}	高电平输入电压		2		V
V _{IL}	低电平输入电压			0.8	V
I _{IH}	高电平输入电流	Vin=Vdd	-10	10	uA
I _{IL}	低电平输入电流	Vin=Vss	-10	10	uA
V _{OH}	高电平输出电压		2.4		V
V _{OL}	低电平输出电压			0.4	V
I _{OZ}	高阻漏电流	Vout=Vdd (Vss)	-10	10	uA
I _{DDs}	静态电流	Vin=Vdd (Vss)		44	uA