

СЕРИИ
ИНТЕГРАЛЬНЫХ
МИКРОСХЕМ
INTEGRATED
MICROCIRCUITS
FAMILIES

**Интегральные микросхемы
сверхвысокого быстродействия
Superhigh-Speed Integrated
Microcircuits**

K500

K531

Микросхемы серии K500 предназначены для построения высокопроизводительных сверхбыстродействующих комплексов.

Микросхемы серии K531 предназначены для работы в радиоэлектронной аппаратуре широкого применения, в ЭВМ и в устройствах автоматики повышенной производительности.

Microcircuits of the K500 family are designed for building high-efficiency superhigh-speed equipment.

Microcircuits of the K531 family are designed for use in radioelectronic equipment of wide application, computers and high-efficiency automatic equipment.

**ОСНОВНЫЕ ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ
BASIC SPECIFICATIONS**

Таблица 1
Table 1

Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Мощность потребления, мВт Power consumption, mW	Выходное напряжение, В Output voltage, V		Время задержки, нс Delay time, ns	
				лог. «0» log. "0"	лог. «1» log. "1"	включения turn-on	выключения turn-off
1	2	3	4	5	6	7	8
1 Серия K500 Family K500 K500ЛМ109, K500ЛМ109М	Два логических элемента «ИЛИ-НЕ/ИЛИ» «ИЛИ-НЕ/ИЛИ» Dual 5-input NOR/OR and 4-input NOR/OR gate	$-5,2 \pm 0,26$	—	$-1,63$	$-0,98$	2,9	2,9
2 K500ЛП107, K500ЛП107М	Три логических элемента ИСКЛЮЧЕНИЕ «ИЛИ-НЕ/ИЛИ» Triple EXCLUSIVE NOR/OR gate	$-5,2 \pm 0,26$	—	$-1,63$	$-0,98$	3,9	3,9
3 K500ЛК117, K500ЛК117М	Два логических элемента «2-ШИЛИ-2И/ИЛИ-2И-НЕ» Dual 2 wide 2-3-input OR-AND gate /OR-2 input invert gate	$-5,2 \pm 0,26$	—	$-1,63$	$-0,98$	3,4	3,4

1	2	3	4	5	6	7	8	
					T-43-22			
4	K500ЛК121, K500ЛК121М	Логический элемент «ИЛИ-И/ИЛИ-И-НЕ» OR-AND/OR-AND-invert gate	—5,2±0,26	—	—1,63	—0,98	3,4	3,4
5	K500ТМ130, K500ТМ130М	Два Д-триггера Dual D-flip-flop	—5,2±0,26	—	—1,63	—0,98	3,4	3,4
6	K500ТМ134, K500ТМ134М	Два триггера Dual flip-flop	—5,2±0,26	—	—	—	—	—
7	K500РУ401, K500РУ401М	Сверхоперативное запо- минающее устройство на 16 бит со схемами управ- ления Superhigh-speed 16-bit read-write memory with driving circuits	—5,2±0,26	—	—1,66	—0,98	10*	10*
8	K500ЛС118М	Два логических элемента «ЗИЛИ-2И» Dual 3-2-input OR-AND gate	—5,2±0,26	140	—1,63	—0,98	3,4	3,4
9	K500ЛС119М	Логический элемент «4-3-3-ЗИЛИ-4И» 4-wide 4-3-3-3 OR-AND gate	—5,2±0,26	140	—1,63	—0,98	3,4	3,4
10	K500ИД161 K500ИД161М	Дешифратор на 3 входа (8 инверсных выходов с управлением) 3-input decoder (8 in- verted controlled outputs)	—5,2±0,26	650	—1,63	—0,98	6,0	6,0
11	K500ИД162 K500ИД162М	Дешифратор на 3 входа (8 выходов с управлением) 3-input decoder (8 con- trolled outputs)	—5,2±0,26	650	—1,63	—0,98	6,0	6,0
12	K500ИД164 K500ИД164М	Мультиплексер на 8 вхо- дов с управлением Controlled 8-input multiplexer	—5,2±0,26	650	—1,63	—0,98	8,0	8,0
13	K500ИЕ160 K500ИЕ160Т	Двенадцативходовая схема контроля четности 12-input parity check circuit	—5,2±0,26	—	—1,63	—0,98	8,0	8,0
14	K500ИП179 K500ИП179Т	Схема быстрого переноса High-speed carry circuit	—5,2±0,26	—	—1,63	—0,98	4,5 (выводы 3,6) (leads 3, 6)	4,5 (выводы 3,6) (leads 3, 6)
						5,5 (вывод 2) (lead 2)	5,5 (вывод 2) (lead 2)	
						2,9 (вывод 15) (lead 15)	2,9 (вывод 15) (lead 15)	
15	K500ИМ180 K500ИМ180Т	Сдвоенный высокоско- ростной сумматор- вычитатель Dual high-speed sub- tractor-adder	—5,2±0,26	—	—1,63	—0,98	2,9; 6,7 (выводы 3, 15) (leads 3, 15) 6,7; 2,9 (выводы 13, 14) (leads 13, 14)	2,9; 7,6 (выводы 3, 15) (leads 3, 15) 6,7; 2,9 (выводы 13, 14) (leads 13, 14)

*Время считывания лог. «0» и лог. «1» — 10 нс.
*“Log 0” and “log 1” readout time — 10 ns.

Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA	Выходное напряжение, В Output voltage, V		Время задержки, нс Delay time, ns	
				лог. «0» log. "0"	лог. «1» log. "1"	включения turn-on	выключения turn-off
Серия K500 Family K500							
1 K500ЛМ101, K500ЛМ101Т	Четыре логических элемента «ИЛИ/НЕ-ИЛИ» Quad 2-input NOR/OR gate	-5,2±0,26	26	-1,63	-0,98	2,9	2,9
2 K500ЛМ102, K500ЛМ102Т	Четыре логических элемента «ИЛИ-НЕ/ИЛИ» Quad NOR/OR gate	-5,2±0,26	26	-1,63	-0,98	2,9	2,9
3 K500ЛП115, K500ЛП115Т	Четыре приемника с линией Quad line receiver	-5,2±0,26	26	-1,63	-0,98	2,9	2,9
4 K500ЛМ105Т, K500ЛМ105М	Три логических элемента «ИЛИ-НЕ/ИЛИ» Triple NOR/OR gate	-5,2±0,26	21	-1,63	-0,98	2,9	2,9
5 K500ЛЕ111Т, K500ЛЕ111М, K500ЛЕ211Т	Два логических элемента «ИЛИ-НЕ» с мощным выходом Dual power NOR gate	-5,2±0,26	38	-1,63	-0,98	3,5	3,5
6 K500ЛЛ110Т, K500ЛЛ110М	Два логических элемента «ИЛИ» с мощным выходом Dual power OR gate	-5,2±0,26	38	-1,63	-0,98	3,5	3,5
7 K500НР400Т, K500НР400М	Матрица резисторов Resistor array	-5,2±0,26	—	—	—	—	—
8 K500ЛЕ106Т, K500ЛЕ106М	Три логических элемента «ИЛИ-НЕ» Triple NOR gate	-5,2±0,26	—	-1,63	-0,98	—	—
9 K500ЛП116Т, K500ЛП116М	Три приемника с линией Triple line receiver	-5,2±0,26	21	-1,63	-0,98	2,9	2,9
10 K500ТМ131Т, K500ТМ131М	Два D-триггера Dual D-flip-flop	-5,2±0,26	-56	-1,63	-0,98	4,5 (вход C _c) (input C _c)	4,5 (вход C _c) (input C _c)
		-5,2±0,26	-65	-1,63	-0,98	4,3 (входы R, S) (inputs R, S)	4,3 (входы R, S) (inputs R, S)
		-5,2±0,26	-65	-1,63	-0,98	3,3 (входы C _c , R, S) (inputs C _c , R, S)	3,3 (входы C _c , R, S) (inputs C _c , R, S)
11 K500ТМ133Т, K500ТМ133М	Четыре триггера с защелкой Quad flip-flop with a latch	-5,2±0,26	-75	-1,63	-0,98	5,4 4,4 (вход D) (input D)	5,4 4,4 (вход D) (input D)
						3,0 (вход G) (input G)	3,0 (вход G) (input G)
12 K500ИП181, K500ИП181Т	Арифметико-логическое устройство на 16 операций с двумя четырехбитными словами Two four-bit-word 16-operation arithmetic logic unit	-5,2±0,26	145	-1,63	-0,98	2,9	2,9
13 K500ИР141	Регистр сдвига универсальный, 4-разрядный General-purpose 4-bit shift register	-5,2±0,26	-102	-1,63	-0,98	4,3 (вход C) (input C)	4,3 (вход C) (input C)
14 K500ПУ124, K500ПУ124Т	Преобразователь уровня (ТТЛ-ЭСЛ) Level converter (TTL-ECL)	-5,2±0,26 5±0,25	66 25	-1,63	-0,98	6 (вход 7) (input 7)	6 (вход 7) (input 7)
15 K500ПУ125, K500ПУ125Т	Преобразователь уровня (ЭСЛ-ТТЛ) Level converter (ECL-TTL)	-5,2±0,26 5±0,25	40 52	0,5	2,5	10 (вход 2) (input 2)	10 (вход 2) (input 2)

Обозначение микросхемы Circuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA	Выходное напряжение, В Output voltage, V		Время задержки распространения сигнала при включении или время задержки распространения сигнала Turn-on or turn-off propagation delay time, ns		
				лог. «0» log. "0"	лог. «1» log. "1"	при выключении по входу «С», нс for "C" input	при выключении по входу «переноса», нс for "carry" input	при выключении по входу «С» относительно выхода «переноса», нс for "C" input with respect to "carry" output
Серия K500 Family K500 1 K500IE136	Счетчик двоичный универсальный, 4-разрядный General-purpose 4-bit binary counter	$-5,2 \pm 0,26$	-150	-1,63	-0,98	4,5	6,9	10,5
2 K500IE137	Счетчик десятичный универсальный General-purpose decimal counter	$-5,2 \pm 0,26$	-150	-1,63	-0,98	4,5	6,9	10,5

Таблица 4
Table 4

Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA	Выходное напряжение, В Output voltage, V		Время выборки адреса, время установления записи, нс Address access time, write enable time, ns	Время восстановления после записи, нс Reset time after write cycle, ns	Время выборки кристалла, время восстановления, нс Chip select time, recovery time, ns
				лог. «0» log. "0"	лог. «1» log. "1"			
Серия K500 Family K500 K500PY148 K500PY148M	ОЗУ на 64 бит с произвольной быворкой (64×1) 64-bit random access read/write memory (64×1)	$-5,2 \pm 0,26$	-120	-1,63	-0,98	15	15	12

Таблица 5
Table 5

Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA	Выходное напряжение, В Output voltage, V		Время выборки адреса, нс Address access time, ns	Время задержки включения и выключения разрешения выборки, нс Chip enable turn-on and turn-off delay, ns
				лог. «0» log. "0"	лог. «1» log. "1"		
1	2	3	4	5	6	7	8
Серия K500 Family K500 1 K500PY410	Оперативное запоминающее устройство на 256 бит (256 слов×1 разряд) со схемами управления 256-bit RWM with control circuits (256×1 organization)	$-5,2 \pm 0,26$	130	-1,6	-1,0	45	—

1	2	3	4	5	6	7	8
3 K500PE149	Программируемое постоянное запоминающее устройство на 1024 бит 1024-bit programmed read-only memory	$-5,2 \pm 0,26$	140	$-1,62$	$-0,98$	—	15

Таблица 6
Table 6

Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA	Выходное напряжение, В Output voltage, V		Время задержки распространения, нс Propagation delay time, ns		Время подготовки лог. «1», нс Log. "1" pre-conditioning time, ns	Время выдержки лог. «1», нс Log. "1" time, ns
				лог. «0» log. "0"	лог. «1» log. "1"	при включении turn-on	при выключении turn-off		
Серия K500 Family K500 1 K500ЛП128	Возбудитель с линии Line driver	$-5,2 \pm 0,26$ $5 \pm 0,25$	97	0,5	2,5	16	18	4	3
2 K500ЛП129	Два Д-триггера Dual D-flip-flop	$-5,2 \pm 0,26$ $5 \pm 0,25$	172	$-1,63$	$-0,98$	16	18	20	20
3 K500ИБ165	Кодирующий элемент с приоритетом Priority encoder	$-5,2 \pm 0,26$ $5 \pm 0,25$	-140	$-1,63$	$-0,98$	18	5,5	—	—
4 K500ТМ173	Четыре Д-триггера с входными мультиплексерами Quad D-flip-flop with input multiplexers	$-5,2 \pm 0,26$ $5 \pm 0,25$	-66	$-1,63$	$-0,98$	18	5,5	—	—

Таблица 7
Table 7

Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA		Выходное напряжение, В Output voltage, V		Время задержки распространения, нс Propagation delay, ns	
			лог. «0» log. "0"	лог. «1» log. "1"	лог. «0» log. "0"	лог. «1» log. "1"	при включении turn-on	при выключении turn-off
1	2	3	4	5	6	7	8	9
Серия K531 Family K531 1 K531ЛА1П	Два логических элемента «4И-НЕ» Dual 4-input NAND gate	$5 \pm 0,25$	18	8	0,5	2,7	5,0	4,5

1	2	3	4	5	6	7	8	9
2	K531ЛА3П Четыре логических элемента «2И-НЕ» Quad 2-input NAND gate	5±0,25	36	16	0,5	2,7	5,0	4,5
3	K531ЛА2П Логический элемент «8И-НЕ» 8-input NAND gate	5±0,25	10	5	0,5	2,7	7,0	6,0
4	K531ЛА4П Три логических элемента «3И-НЕ» Triple 3-input NAND gate	5±0,25	27	12	0,5	2,7	5,0	4,5
5	K531ЛИ3П Три логических элемента «3И» Triple 3-input AND gate	5±0,25	42	24	0,5	2,7	7,5	7,0
6	K531ЛР9П Логический элемент «4-2-3-2И-4ИЛИ-НЕ» 4-wide 2-input 4-2-3 AND-NOR gate	5±0,25	16	12,5	0,5	2,7	5,5	5,5
7	K531ЛР11П Два логических элемента «2-2И-2ИЛИ-НЕ» Dual 2-input 2-2-2 AND-NOR gate	5±0,25	22	17,8	0,5	2,7	5,5	5,5
8	K531ЛН1П Шесть инверторов Hex inverters	5±0,25	54	24	0,5	2,7	5,0	4,5
9	K531ЛН2П Шесть инверторов с открытым коллектором Hex open collector inverters	5±0,25	54	19,8	0,5	—	7,0	7,5
10	K531ЛА9П Четыре 2-входовых элемента «И-НЕ» с открытым коллектором Quad 2-input NAND gate with open collector	5±0,25	36	13,2	0,5	—	7,0	7,5
11	K531ЛЕ1П Четыре 2-входовых логических элемента «ИЛИ-НЕ» Quad 2-input NAND gate	5±0,25	45	29	0,5	2,7	5,5	5,5
12	K531ЛП5П Четыре 2-входовых элемента «исключающие ИЛИ» Quad 2-input EXOR gate	5±0,25	75		0,5	2,7	10	10,5
13	K531ТВ9П Двойной «J-K» триггер Dual J-K-flip-flop	5±0,25	50	50	0,5	2,7	7,0	7,0
14	K531ТВ10П Двойной «J-K» триггер Dual J-K-flip-flop	5±0,25	50	50	0,5	2,7	7,0	7,0
15	K531ТВ11П Двойной «J-K» триггер Dual J-K-flip-flop	5±0,25	50	50	0,5	2,7	7,0	7,0

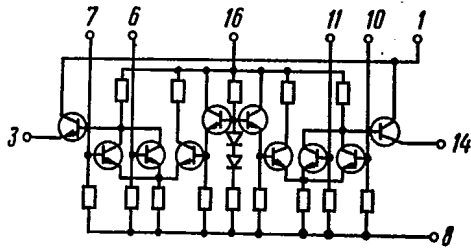
Примечание. Частота переключения по тактовому входу для схем K531ТВ9П, K531ТВ10П, K531ТВ11П – 80 МГц.
Note. Clock input switching frequency for the K531ТВ9П, K531ТВ10П, K531ТВ11П is 80 MHz.

Таблица 8
Table 8

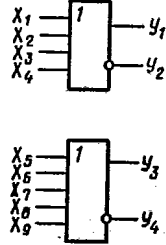
Обозначение микросхемы Microcircuit designation	Функциональное назначение Function	Напряжение источника питания, В Supply voltage, V	Ток потребления, мА Current consumption, mA	Выходное напряжение, В Output voltage, V		Время задержки распространения, нс Propagation delay, ns					
				лог. «0» log. "0"	лог. «1» log. "1"	при включении turn-on			при выключении turn-off		
						по информационным входам data inputs	по стробирующим входам strobe inputs	по адресным входам address inputs	по информационным входам data inputs	по стробирующим входам strobe inputs	по адресным входам address inputs
Серия K531 Family K531 K531 КП2П	Сдвоенный цифровой селектор-мультиплексер «4-1» Dual digital selector-multiplexer 4-1	5±0,25	70	0,5	2,7	9	13,5	18	9	15	18

ФУНКЦИОНАЛЬНЫЕ СХЕМЫ FUNCTIONAL DIAGRAMS

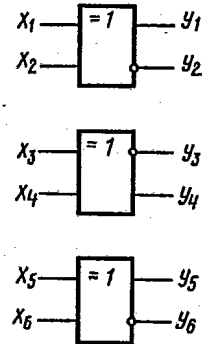
T-43-15
T-43-22



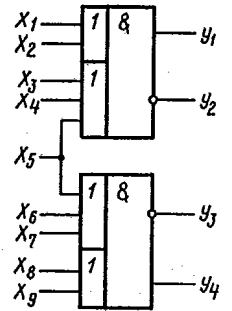
Основной базовый элемент серии K500
Basic element of the K500 family



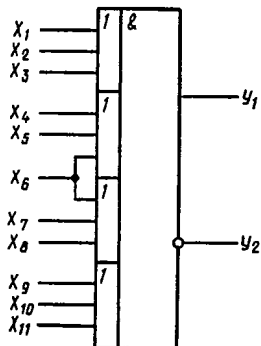
K500ЛМ109,
K500ЛМ109М



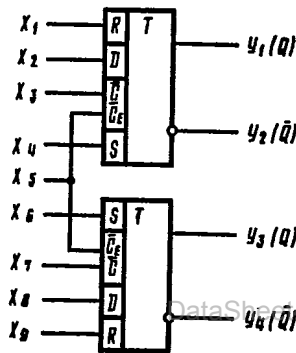
K500ЛГ107,
K500ЛГ107М



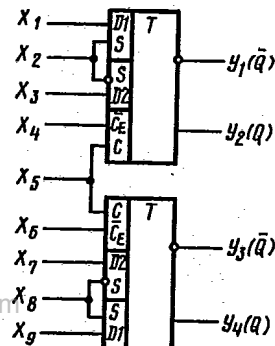
K500ЛК117,
K500ЛК117М



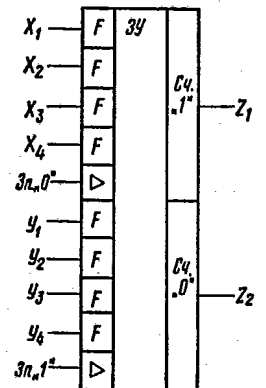
K500ЛК121,
K500ЛК121М



K500ТМ130,
K500ТМ130М

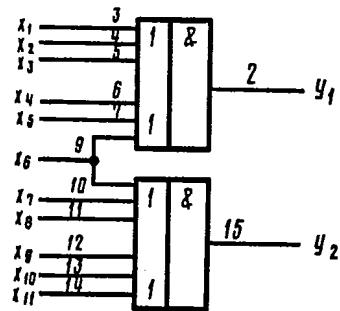


K500ТМ134,
K500ТМ134М

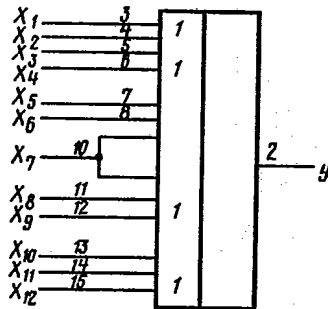


K500РУ401, K500РУ401М

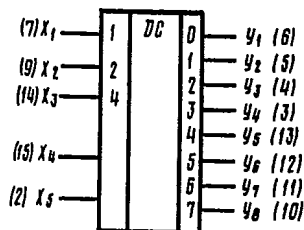
Зп. «0» - запись «0»; Зп. «1» - запись «1»; Сч. «0» - считывание «0»; Сч. «1» - считывание «1»
Зп. «0» - write «0»; Зп. «1» - write «1»; Сч. «0» - read «0»; Сч. «1» - read «1»



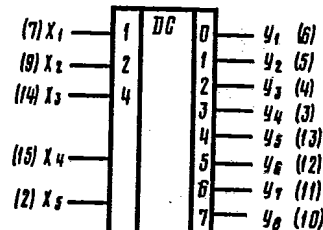
K500ЛС118М



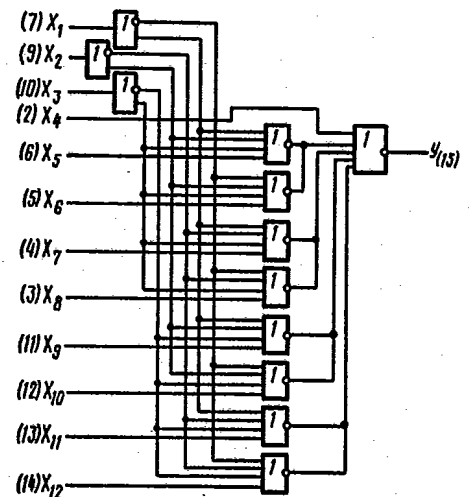
K500ЛС119М



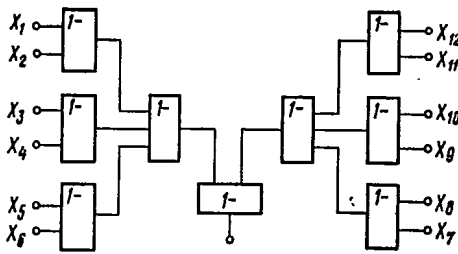
K500ИД161М



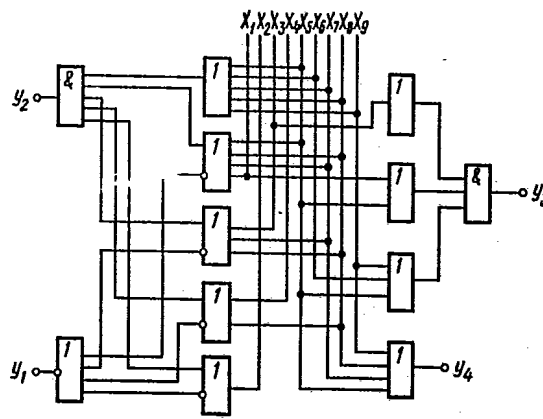
K500ИД162,
K500ИД162М



K500ИД164,
K500ИД164М

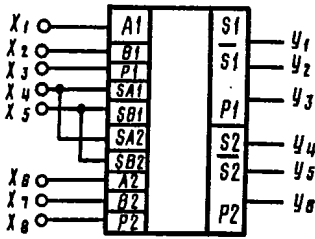


K500ИЕ160,
K500ИЕ160Т

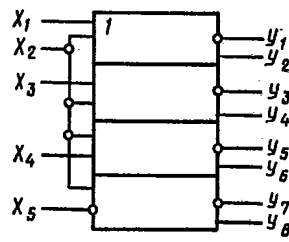


Вывод	Назначение
2	Выход Y ₁
3	Выход Y ₂
6	Выход Y ₃
15	Выход Y ₄

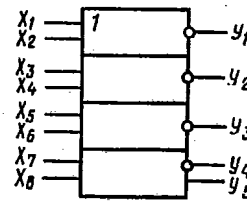
Lead	Function
2	Y ₁ output
3	Y ₂ output
6	Y ₃ output
15	Y ₄ output



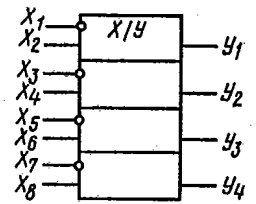
K500ИМ180,
K500ИМ180Т



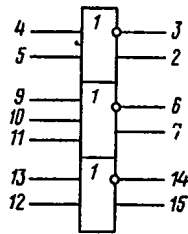
K500ЛМ101,
K500ЛМ101Т



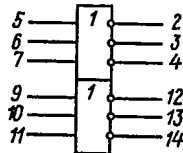
K500ЛМ102,
K500ЛМ102Т



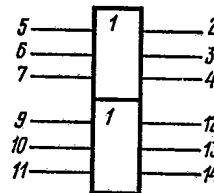
K500ЛГ115,
K500ЛГ115Т



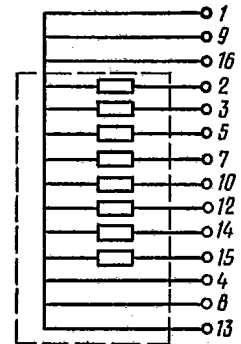
K500ЛМ105Т,
K500ЛМ105М



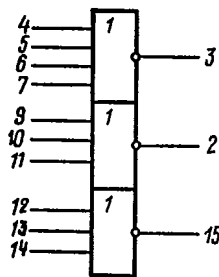
K500ЛЕ111Т,
K500ЛЕ111М,
K500ЛЕ211Т



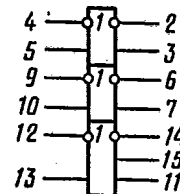
K500ЛЛ110Т,
K500ЛЛ110М



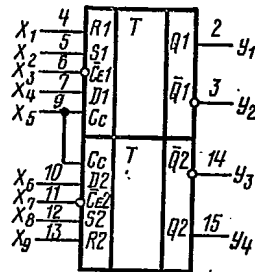
K500НР400Т,
K500НР400М



K500ЛЕ106Т,
K500ЛЕ106М



K500ЛГ116Т,
K500ЛГ116М

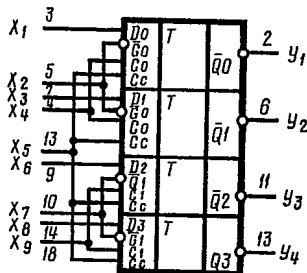


**K500TM131T,
K500TM131M**

**Таблица истинности
Validity Table**

Входы Inputs				Выходы Outputs	
D	$\bar{C}EVC_C$	R	S	Q_{n+1}	\bar{Q}_{n+1}
X	1	0	0	Q_n	\bar{Q}_n
X	0	0	0	Q_n	\bar{Q}_n
1	1*	0	0	1	0
0	1*	0	0	0	1
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	н/с	н/с

1* - переход входного сигнала с лог. «0» на лог. «1» в промежутк между моментом времени n и n+1;
 X - произвольное состояние;
 н/с - неопределенное состояние
 1* - Log "0" input signal jumps to Log "1" within time interval between n and n+1;
 X - "don't care" state;
 н/с - indefinite state

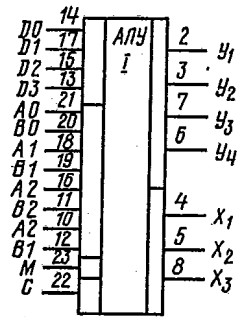


**K500TM133T,
K500TM133M**

**Таблица истинности
Validity Table**

G	D	$\bar{C}VC_C$	Q_{n+1}
0	1	1	1
0	0	1	0
0	X	0	0
1	X	X	0

X - произвольное состояние
 X - "don't care" state

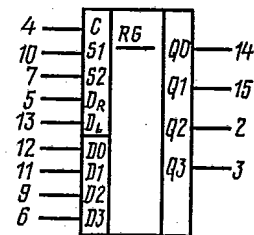


Logical and arithmetic operations

**K500ИП181,
K500ИП181T**

**Таблица логических и арифметических операций
Table of Logical and Arithmetic Operations**

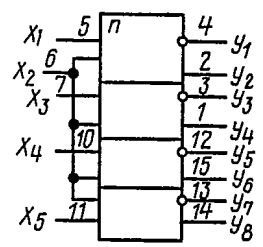
Состояние входов управления Control inputs state				Логические функции при M=1 Logical operations at M=1	Арифметические действия при M=0, C=0 Arithmetic operations at M=0, C=0
D3	D2	D1	D0		
0	0	0	0	$y = \bar{A}$	$y = A$
0	0	0	1	$y = \bar{A} + \bar{B}$	$y = A + (A \cdot \bar{B})$
0	0	1	0	$y = \bar{A} + B$	$y = A + (A \cdot B)$
0	0	1	1	$y = 1$	$y = A \cdot 2$
0	1	0	0	$y = \bar{A} + \bar{B}$	$y = (A \cdot B) + 0$
0	1	0	1	$y = \bar{B}$	$y = (A \cdot B) + (A + \bar{B})$
0	1	1	0	$y = A \cdot B + \bar{A} \cdot \bar{B}$	$y = A + B$
0	1	1	1	$y = A + \bar{B}$	$y = A + (A + B)$
1	0	0	0	$y = \bar{A} \cdot B$	$y = (A + B) + 0$
1	0	0	1	$y = \bar{A} \cdot B + A \cdot \bar{B}$	$y = A - B - 1$
1	0	1	0	$y = B$	$y = (A + \bar{B}) + (A + B)$
1	0	1	1	$y = A + \bar{B}$	$y = A + (A + B)$
1	1	0	0	$y = 0$	$y = 1$
1	1	0	1	$y = A \cdot \bar{B}$	$y = (A \cdot \bar{B}) - 1$
1	1	1	0	$y = A \cdot B$	$y = (A \cdot B) - 1$
1	1	1	1	$y = A$	$y = A - 1$



K500ИП141

**Таблица состояния
Table of States**

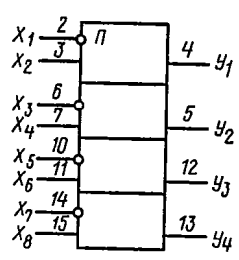
S1	S2	Режим State
0	0	Установка числа Word (number setting)
0	1	Сдвиг вправо Shift right
1	0	Сдвиг влево Shift left
1	1	Хранение числа Word (number) storage



**K500ПУ124,
K500ПУ124Т**

**Таблица истинности
Validity Table**

Входы Inputs					Выходы Outputs							
X ₁	X ₂	X ₃	X ₄	X ₅	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈
1	1	1	1	1	0	1	0	1	0	1	0	1
1	0	1	1	1	1	0	1	0	1	0	1	0
0	1	0	0	0	1	0	1	0	1	0	1	0
0	0	0	0	0	1	0	1	0	1	0	1	0

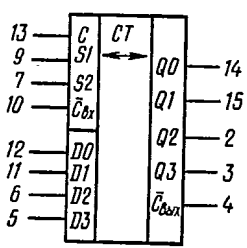


**K500ПУ125,
K500ПУ125Т**

**Таблица истинности
Validity Table**

Входы Inputs								Выходы Outputs			
X ₁	X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	X ₈	Y ₁	Y ₂	Y ₃	Y ₄
0	1	0	1	0	1	0	1	1	1	1	1
1	0	1	0	1	0	1	0	0	0	0	0
1	U _{оп}	1	U _{оп}	1	U _{оп}	1	U _{оп}	0	0	0	0
0	U _{оп}	0	U _{оп}	0	U _{оп}	0	U _{оп}	1	1	1	1
U _{оп}	1	U _{оп}	1	U _{оп}	1	U _{оп}	1	1	1	1	1
U _{оп}	0	U _{оп}	0	U _{оп}	0	U _{оп}	0	0	0	0	0

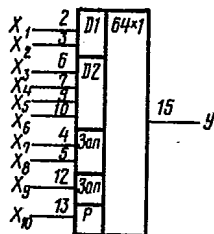
U_{оп} - опорное напряжение
U_{оп} - reference voltage



**K500ИЕ136,
K500ИЕ137**

Вывод	Назначение
2	Выход Q2
3	Выход Q3
4	Выход переноса C _{вх}
5	Вход D3
6	Вход D2
7	Вход дешифратора S2
9	Вход дешифратора S1
10	Вход переноса C _{вх}
11	Вход D1
12	Вход D0
13	Вход синхронизации C
14	Выход Q0
15	Выход Q1

Lead	Function
2	Q2 output
3	Q3 output
4	C _{вх} carry output
5	D3 input
6	D2 input
7	S2 decoder input
9	S1 decoder input
10	C _{вх} carry input
11	D1 input
12	D0 input
13	Clock input C
14	Q0 output
15	Q1 output



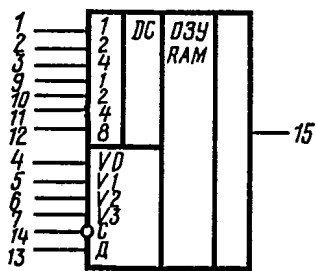
K500PY148,
K500PY148M

Вывод	Назначение	Lead	Function
2	Вход дешифратора D1 адреса X ₁	2	D1 address decoder input X ₁
3	Вход дешифратора D1 адреса X ₂	3	D1 address decoder input X ₂
4	Запрет обращения записи X ₇	4	Write access inhibit X ₇
5	Запрет обращения записи X ₈	5	Write access inhibit X ₈
6	Вход дешифратора D2 адреса X ₃	6	D2 address decoder input X ₃
7	Вход дешифратора D2 адреса X ₄	7	D2 address decoder input X ₄
9	Вход дешифратора D2 адреса X ₅	9	D2 address decoder input X ₅
10	Вход дешифратора D2 адреса X ₆	10	D2 address decoder input X ₆
12	Запрет записи X ₉	12	Write inhibit X ₉
13	Разрядный вход X ₁₀	13	Bit input X ₁₀
15	Разрядный выход Y	15	Bit output Y

Таблица состояния
Table of States

Состояние входов Input states				Состояние выхода Output state	Операция Operation	
X ₇	X ₈	X ₉	X ₁₀	Y		
1	1	H	H	0	Запрет обращения Access inhibit	
1	0	H	H	0		
0	1	H	H	0		
0	0	1	H	Соответствует информации, хранимой по выбранному адресу Corresponds to data stored at selected location	Считывание Read	
0	0	0	1			0
0	0	0	0			0

H – безразличное состояние
H – "don't care" state

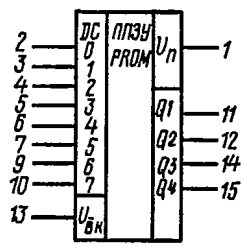


K500PY410

Таблица истинности
Validity Table

Вход Input			Выход Output	Режим работы State
V	C	D		
1	H	H	0	Хранение Store
0	0	0	0	Запись «0» Write "0"
0	0	1	0	Запись «1» Write "1"
0	1	H	Информация в «прямом» коде True data	Считывания Read

H – безразличное состояние
H – "don't care" state



K500PE149

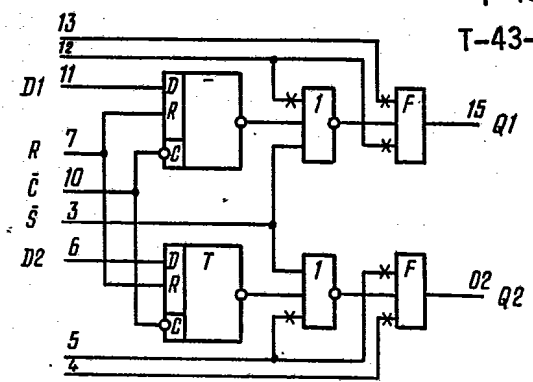
Таблица истинности
Validity Table

Вход выборки кристалла Chip select input	Входы адреса Address inputs								Выходы разрядов Bit outputs			
\overline{Bk} (\overline{Cs})	0	1	2	3	4	5	6	7	Q1	Q2	Q3	Q4
1	H	H	H	H	H	H	H	H	0	0	0	0
0	Состояние выходов разрядов соответствует заложенной программе Bit output state corresponds to the loaded program											

а) для положительной логики
a) for positive logic

Вход выборки кристалла Chip select input	Входы адреса Address inputs								Выходы разрядов Bit outputs			
\overline{Bk} (\overline{Cs})	0	1	2	3	4	5	6	7	Q1	Q2	Q3	Q4
0	H	H	H	H	H	H	H	H	1	1	1	1
1	Состояние выходов разрядов соответствует заложенной программе Bit output state corresponds to the loaded program											

б) для отрицательной логики
b) for negative logic
H - безразличное состояние
H - "don't care" state

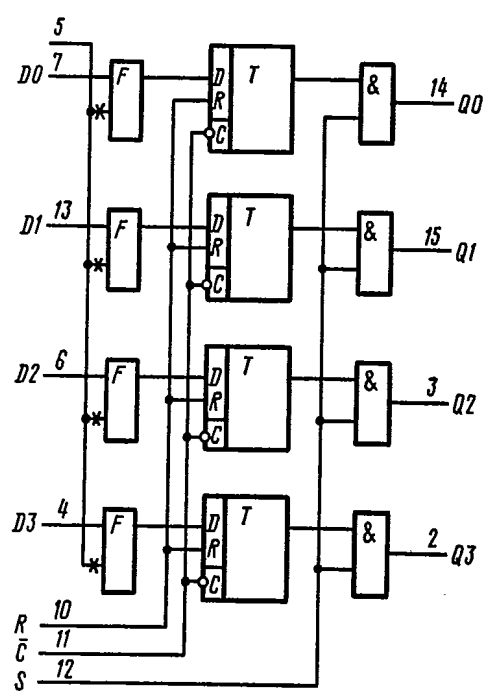


K500ЛГ128

Таблица истинности
Validity Table

D_i	Входы Inputs			Выход Output $Q_i(n+1)$
	\overline{C}	\overline{S}	R	
1	1	1	1	0
0	0	0	0	0
1	1	0	1	0
0	0	1	1	0
1	1	0	0	$Q_i(n)$
0	0	1	0	$Q_i(n)$
1	0	0	1	1
0	1	1	0	1

$i = 1, 2$



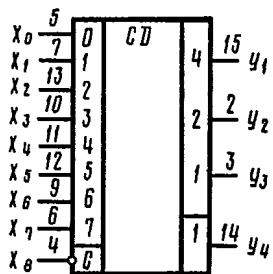
K500ЛГ129

Таблица истинности
Validity Table

D_i	Входы Inputs			Выход Output $Q_i(n+1)$
	\overline{C}	S	R	
1	1	0	1	0
0	0	0	0	0
1	1	1	1	0
0	0	0	1	0
1	1	1	0	$Q_i(n)$
0	0	1	0	$Q_i(n)$
1	0	1	1	1
0	1	0	0	1

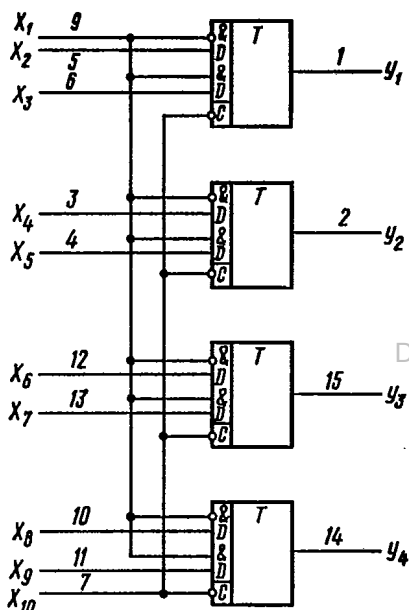
Таблица истинности
Validity Table

T-43-15
T-43-22



K500MB165

Входы Inputs									Выходы Outputs			
X ₀	X ₁	X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	X ₈	Y _{1(n+1)}	Y _{2(n+1)}	Y _{3(n+1)}	Y _{4(n+1)}
1	1/0	1/0	1/0	1/0	1/0	1/0	1/0	0	0	0	0	1
0	1	1/0	1/0	1/0	1/0	1/0	1/0	0	0	0	1	1
0	0	1	1/0	1/0	1/0	1/0	1/0	0	0	1	0	1
0	0	0	1	1/0	1/0	1/0	1/0	0	0	1	1	1
0	0	0	0	1	1/0	1/0	1/0	0	1	0	0	1
0	0	0	0	0	1	1/0	1/0	0	1	0	1	1
0	0	0	0	0	0	1	1/0	0	1	1	0	1
0	0	0	0	0	0	0	1	0	1	1	1	1
0	0	0	0	0	0	0	0	1	0	1	1	1
0	0	0	0	0	0	0	0	0	0	0	0	0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1	Y _{1(n)}	Y _{2(n)}	Y _{3(n)}	Y _{4(n)}

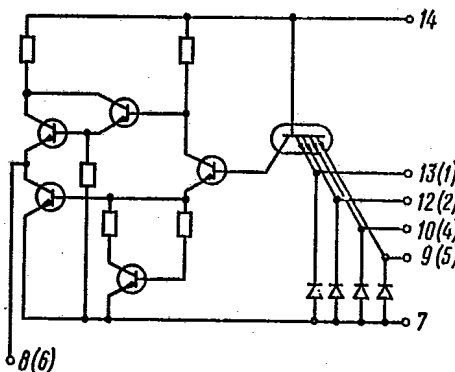


K500TM173

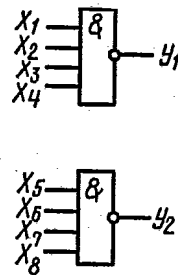
Таблица истинности
Validity Table

X ₁₀	X _i	X _{2i}	X _{2i+1}	Y _{i(n+1)}
0	0	0	1	0
0	0	1	1	1
0	1	1	0	0
0	1	0	1	1
1	1	1	1	Y _{i(n)}

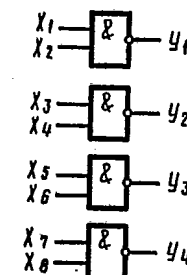
i-1, 2, 3, 4



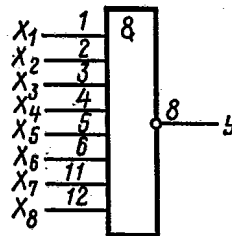
Основной базовый элемент серии K531
Basic element of the K531 family



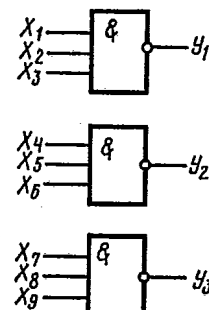
K531LA1Г



K531LA3Г



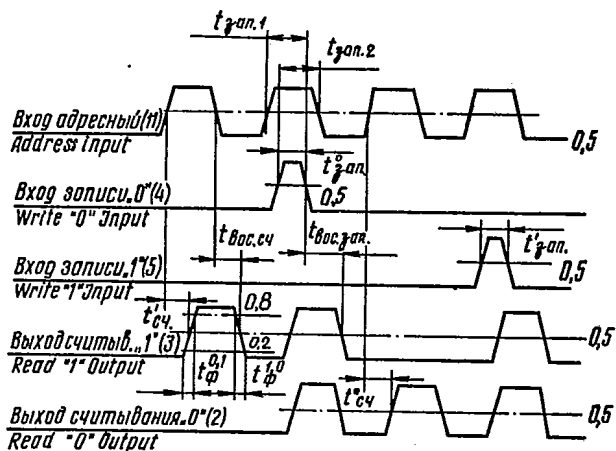
K531LA2Г



K531LA4Г

ВРЕМЕННЫЕ ДИАГРАММЫ TIME DIAGRAMS

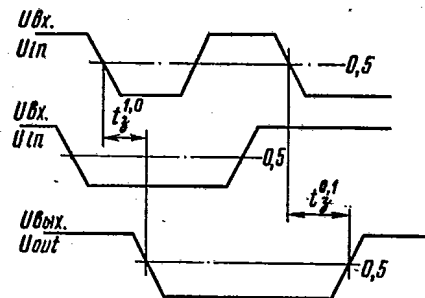
T-43-15
T-43-22



Распределение импульсов микросхем K500PY401, K500PY401M:
 $t_{зан}$ – время записи; $t_{вос.сч}$ – время восстановления считывания;
 $t_{вос.зап}$ – время восстановления записи; $t_{сч}$ – время считывания;
 $t_{ф}$ – время фронта

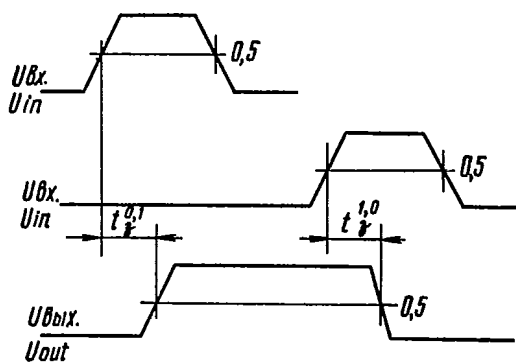
Pulse distribution diagrams for K500PY401, K500PY401M microcircuits:

$t_{зан}$ – write time; $t_{вос.сч}$ – read recovery time; $t_{вос.зап}$ – write recovery time; $t_{сч}$ – read time; $t_{ф}$ – rise time



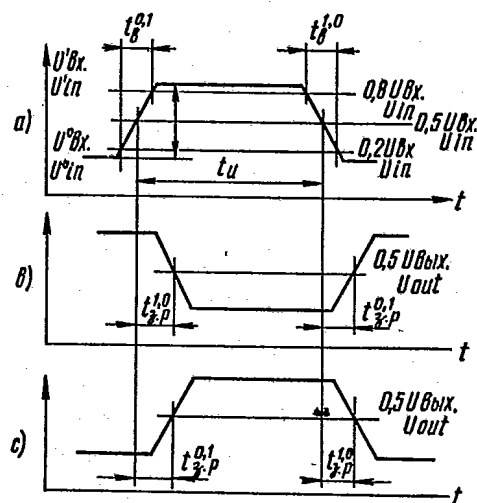
Измерение времени задержки выключения $t_{0,1}$ и времени задержки включения $t_{1,0}$ по входу С микросхем K500TM130, K500TM134

Measurement of turn-off delay time $t_{0,1}$ and measurement of turn-on delay time $t_{1,0}$ at input C of K500TM130 and K500TM134 microcircuits



Измерение времени задержки выключения $t_{0,1}$ по входу S и времени задержки включения $t_{1,0}$ по входу R микросхем K500TM130, K500TM130M

Measurement of turn-off delay time $t_{0,1}$ at input S and turn-on delay time $t_{1,0}$ at input R of K500TM130, K500TM130M microcircuits



Форма импульсов при измерении динамических параметров микросхем K500ЛЕ106Т, K500ЛЕ106М, K500ЛП116Т, K500ЛП116М.

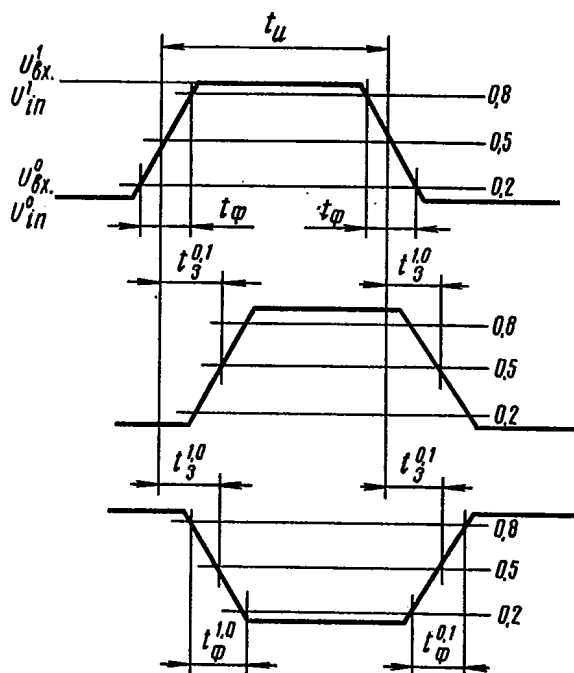
Длительность фронтов входного импульса $t_{1,0} = t_{0,1} = (2,0 \pm 0,2)$ нс на уровнях (0,2...0,8) $U_{вх}$. Уровни входного импульса 0,31 В ± 20 мВ и 1,11 В ± 20 мВ. Длительность входного импульса $t_u \geq 20$ нс. Частота следования входных импульсов 10 кГц – 10 МГц:

t_e – время включения; $t_{з.р}$ – время задержки распространения
 Pulse waveform when measuring dynamic characteristics of K500LE106T, K500LE106M, K500ЛП116Т, K500ЛП116М microcircuits.

Input pulse rise time $t_{1,0} = t_{0,1} = (2,0 \pm 0,2)$ ns at levels (0,2 to 0,8) U_{in} . Input pulse levels:

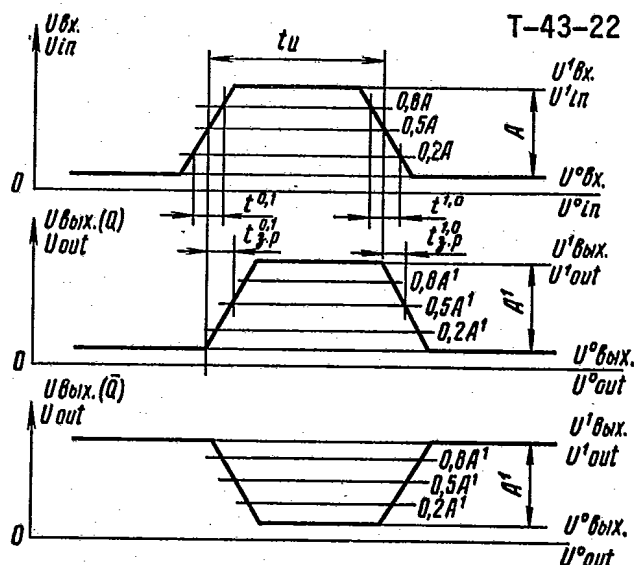
0,31 В ± 20 мВ and 1,11 В ± 20 мВ. Input pulse length: $t_u \geq 20$ ns. Input pulse frequency: 10 kHz to 10 MHz; t_e – turn-on time;

$t_{з.р}$ – propagation delay time



Измерение времени задержки включения $t_{3,0}^{1,0}$; времени задержки выключения $t_{3,1}^{0,1}$; времени фронта включения $t_{\phi}^{1,0}$ и времени фронта выключения $t_{\phi}^{0,1}$ микросхем K500ЛМ109, K500ЛП107, K500ЛК117: t_u – время импульса

Measurement of turn-on delay time $t_{3,0}^{1,0}$, turn-off delay time $t_{3,1}^{0,1}$, turn-on rise time $t_{\phi}^{1,0}$, turn-off rise time $t_{\phi}^{0,1}$ for microcircuits K500ЛМ109, K500ЛП107, K500ЛК117, t_u – pulse time

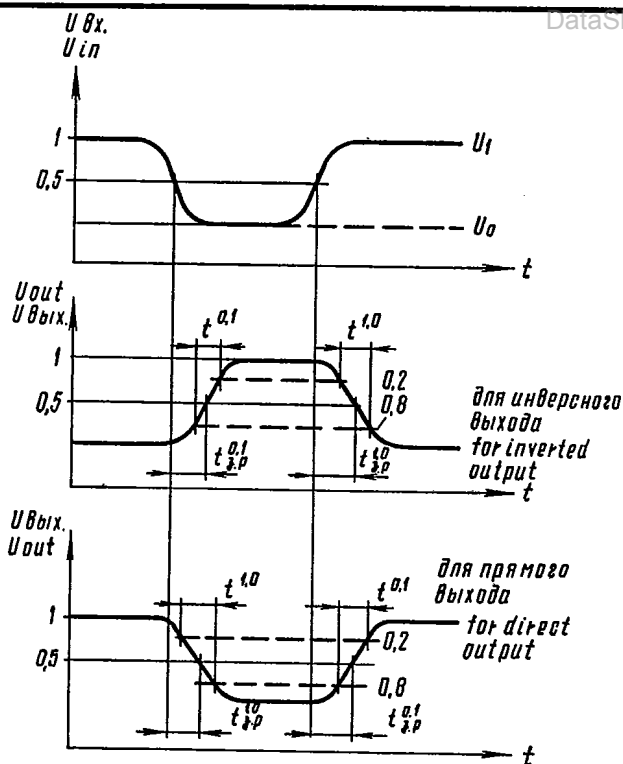


Определение времени задержки распространения включения $t_{3,0}^{1,0}$ и времени задержки распространения выключения $t_{3,1}^{0,1}$ по осциллограммам входных и выходных импульсов микросхем K500ИД161М, K500ИД162М, K500ИД164М:

t_u – время импульса; $A = U_{ex}^1 - U_{ex}^0$; $A' = U_{вых}^1 - U_{вых}^0$

Determining the turn-on propagation delay time $t_{3,0}^{1,0}$ and turn-off propagation delay time $t_{3,1}^{0,1}$ by means of waveforms of input and output pulses of microcircuits K500ИД161М, K500ИД162М, K500ИД164М:

t_u – pulse time; $A = U_{in}^1 - U_{in}^0$; $A' = U_{out}^1 - U_{out}^0$

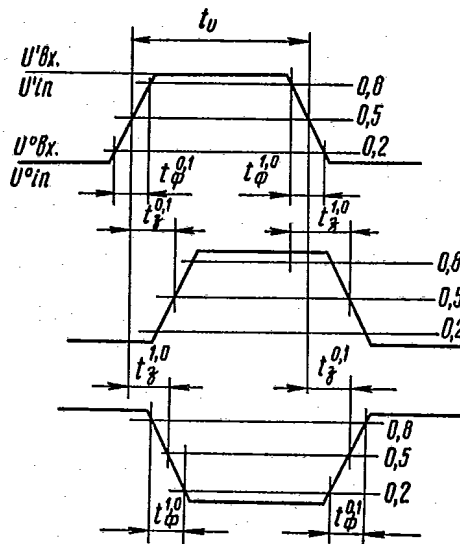


Отсчет динамических параметров микросхем K500ЛМ101, K500ЛМ102, K500ЛП115:

$t_{з.р.}$ – время задержки распространения

Measuring method of dynamic parameters in K500ЛМ101, K500ЛМ102 and K500ЛП115 series ICs:

$t_{з.р.}$ – propagation delay time

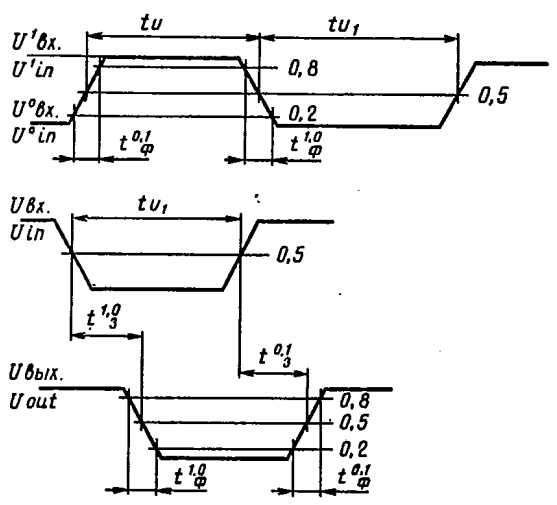


Измерение времени задержки включения $t_{3,0}^{1,0}$, времени задержки выключения $t_{3,1}^{0,1}$, времени фронта включения $t_{\phi}^{1,0}$ и времени фронта выключения $t_{\phi}^{0,1}$ микросхемы K500ЛК121:

t_u – время импульса

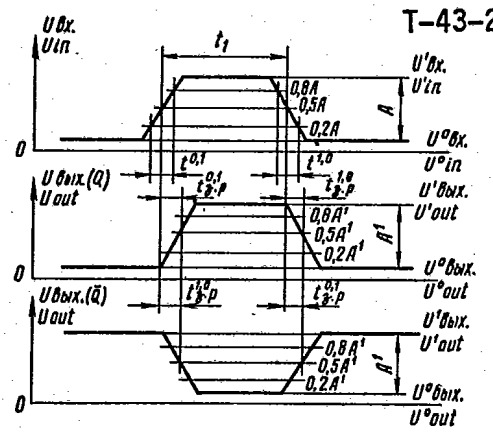
Measurement of turn-on delay time $t_{3,0}^{1,0}$, turn-off delay time $t_{3,1}^{0,1}$, turn-on rise time $t_{\phi}^{1,0}$, turn-off rise time $t_{\phi}^{0,1}$ of microcircuit K500ЛК121:

t_u – pulse time



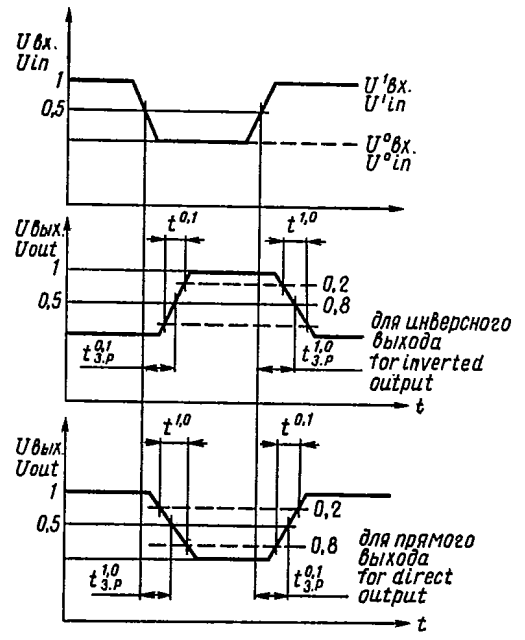
Измерение времени задержки выключения $t_{3,0}^{0,1}$, времени фронта включения $t_{ф}^{1,0}$ и времени фронта выключения $t_{ф}^{0,1}$ по входу D микросхем K500TM130, K500TM134, по входу S микросхемы K500TM134, времени задержки включения $t_{3,0}^{1,0}$ по входу D микросхем K500TM130, K500TM134, по входу S микросхемы K500TM134:

t_u – время импульса; $t_{u1} \geq 20$ мс
 Measurement of turn-off delay time $t_{3,0}^{0,1}$, turn-on rise time $t_{ф}^{1,0}$, and turn-off rise time $t_{ф}^{0,1}$ at D input of microcircuits K500TM130 and K500TM134, at S input of microcircuit K500TM134, turn-on delay time $t_{3,0}^{1,0}$ at D input of microcircuits K500TM130 and K500TM134 and at S input of microcircuit K500TM134: t_u – pulse time; $t_{u1} \geq 20$ ms



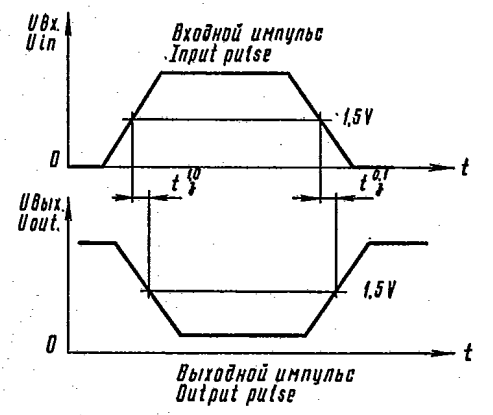
Измерение времени задержки распространения включения $t_{3,0}^{1,0}$ и времени задержки распространения выключения $t_{3,0}^{0,1}$ по осциллограммам входных и выходных импульсов микросхем K500LC118M, K500LC119M:

$A = U_{вх}^1 - U_{вх}^0$, $A^1 = U_{вых}^1 - U_{вых}^0$
 Measurement of turn-on propagation delay time $t_{3,0}^{1,0}$ and turn-off propagation delay time $t_{3,0}^{0,1}$ by means of wave-forms of input and output pulses for microcircuits K500LC118M, K500LC119M:
 $A = U_{in}^1 - U_{in}^0$, $A^1 = U_{out}^1 - U_{out}^0$

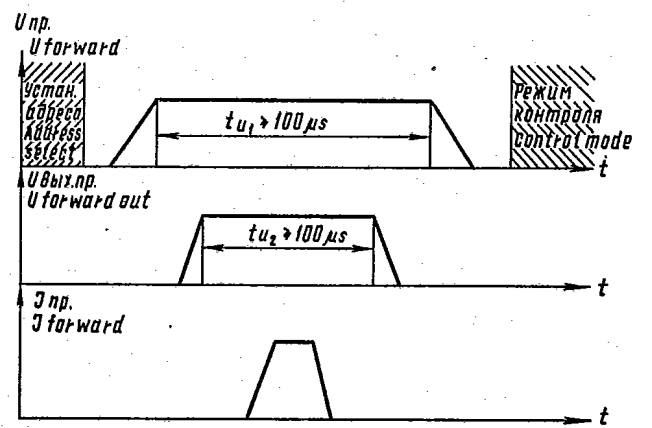


Отсчет динамических параметров микросхем K500IE160, K500IP179, K500IM180:

$t_{3,0}$ – время задержки распространения
 Measuring dynamic characteristics of K500IE160, K500IP179 and K500IM180 series ICs:
 $t_{3,0}$ – propagation delay time



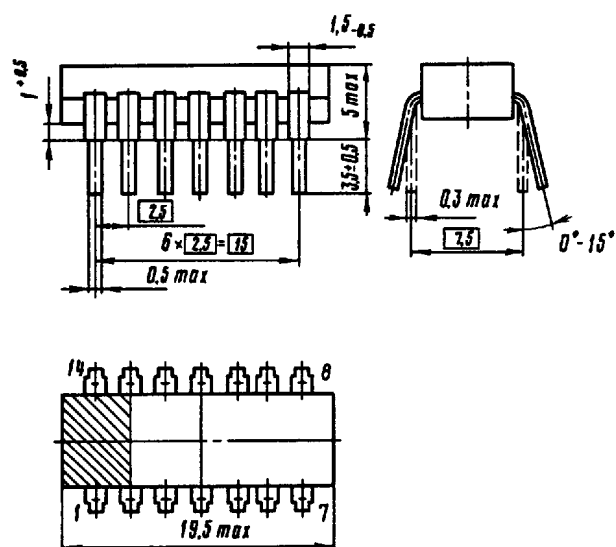
Параметры входного импульса микросхем серии K531:
 t_3 – время задержки
 Input pulse characteristics of family K531 microcircuits:
 t_3 – delay time



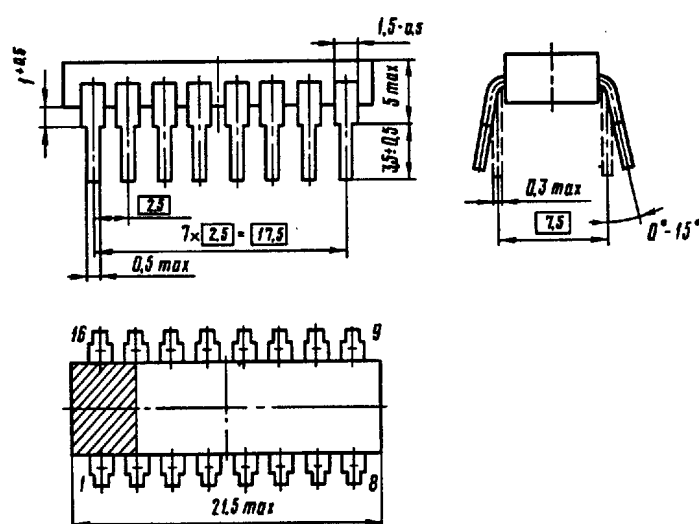
Временная диаграмма работы K500PE149:
 t_u – время импульса
 Performance time diagram of K500PE149:
 t_u – pulse time

Корпуса Packages

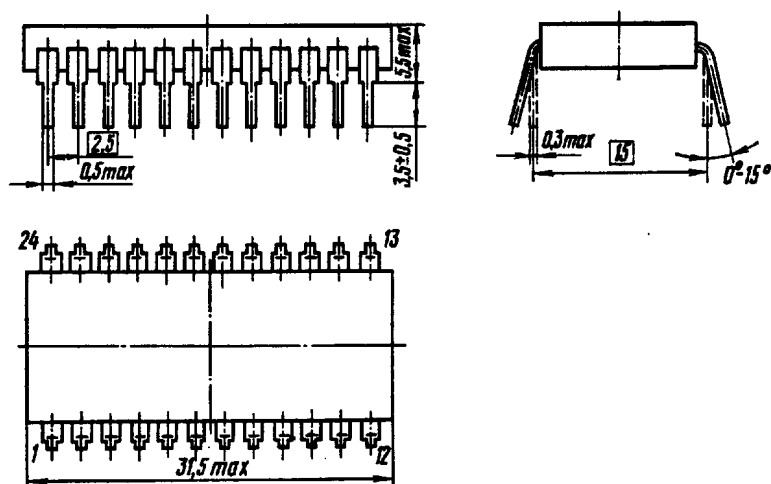
КОРПУСА ПРЯМОУГОЛЬНЫЕ ПЛАСТМАССОВЫЕ RECTANGULAR PLASTIC PACKAGES



201.14-1
201.14-2

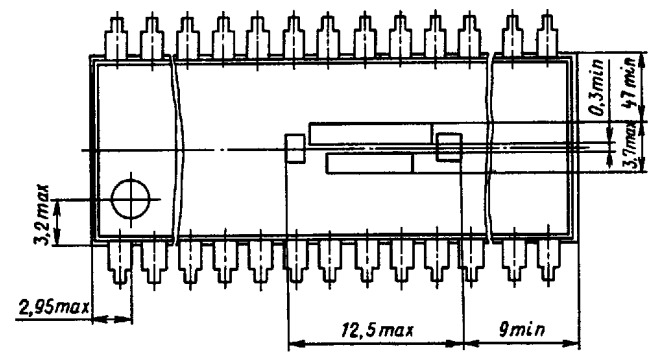
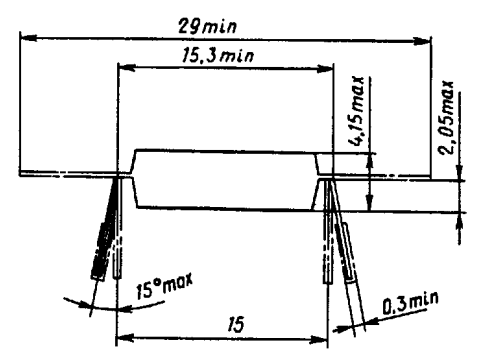
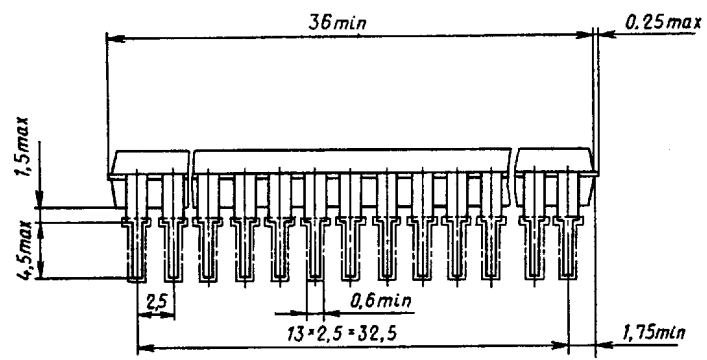


238.16-1
238.16-2

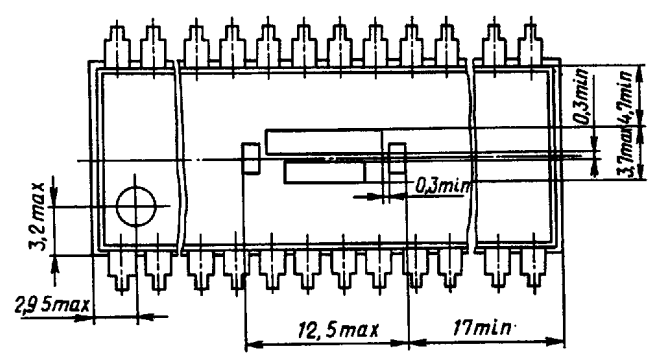
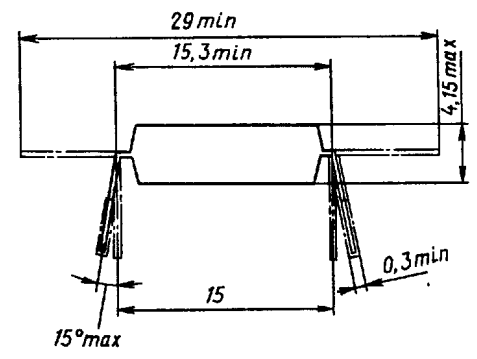
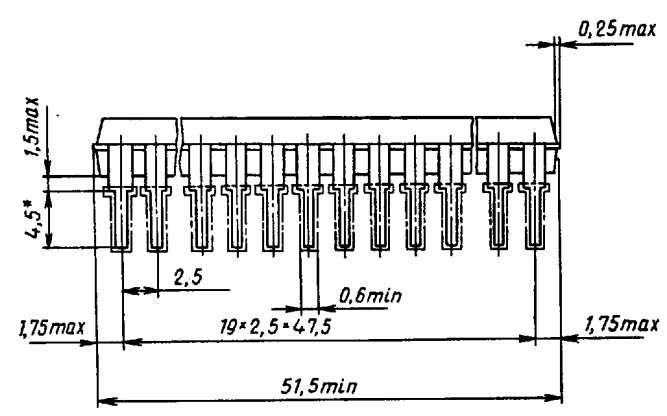


239.24-1
239.24-2

T-90-20



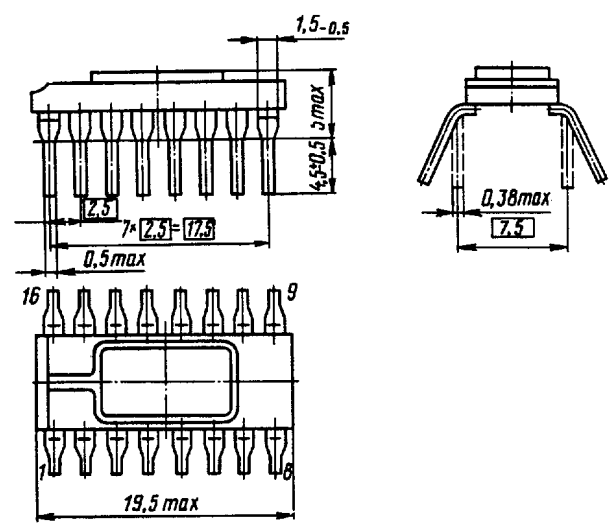
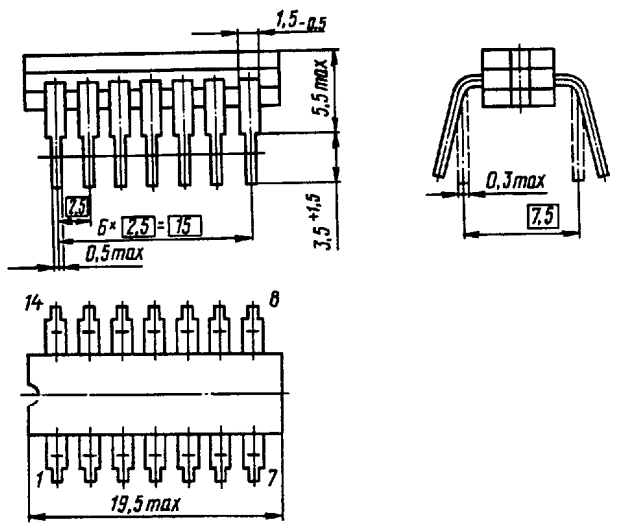
2121.28-1



2123.40-1

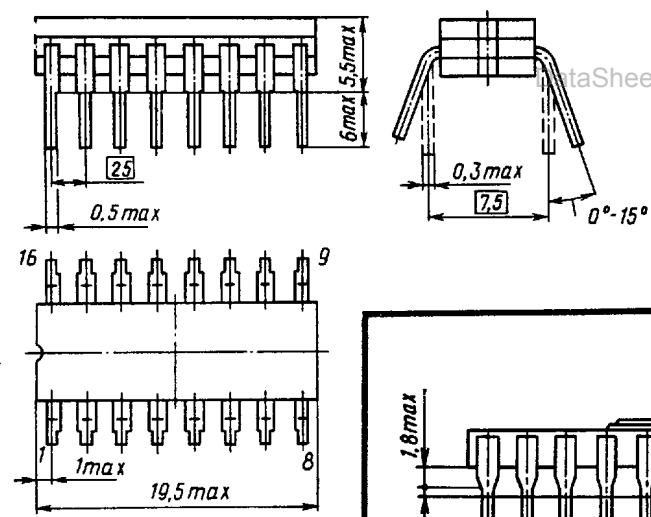
КОРПУСА ПРЯМОУГОЛЬНЫЕ КЕРАМИЧЕСКИЕ RECTANGULAR CERAMIC PACKAGES

T-90-20

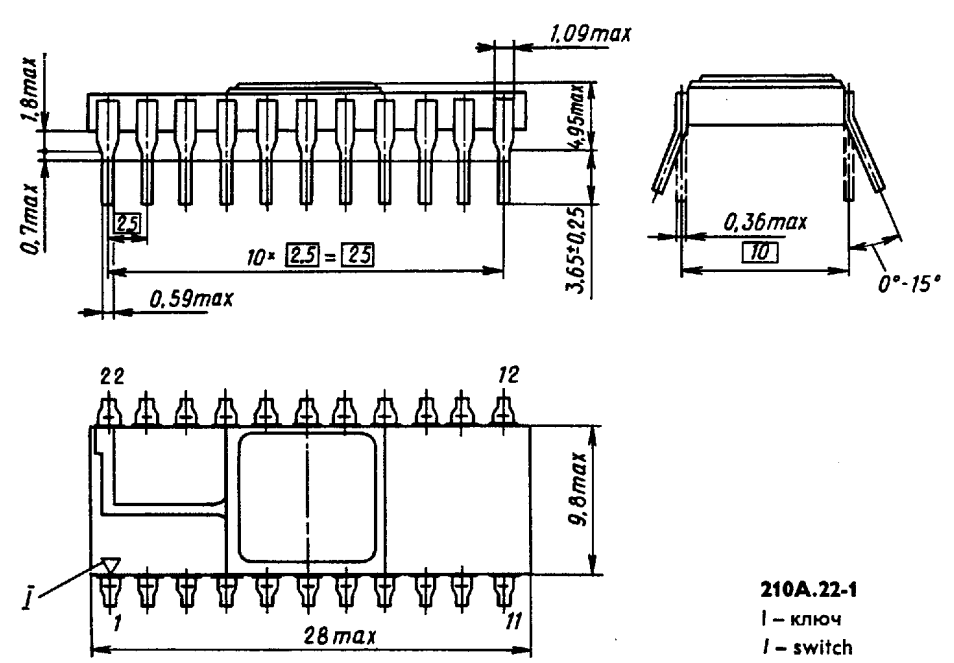


201.14-8
201.14-9
I - ключ
I - switch

201.16-1



201.16-5
201.16-6
I - ключ
I - switch



210A.22-1
I - ключ
I - switch