

Zi9042(数字锁相环芯片)

用户手册

编 号: ZTEIC-ASIC-Zi9042-015

版本号: V1.0

深圳市中兴集成电路设计有限责任公司

2001 年 12 月

目 录

1	简介	1
1.1	特点	1
1.2	封装与工作条件	2
1.3	引脚说明	2
2	功能说明	4
2.1	频率选择多路器	6
2.2	参考信号生成模块	6
2.3	数字锁相环 DPLL	7
2.3.1	数控振荡器	7
2.3.2	鉴相器	7
2.3.3	限速器	7
2.3.4	环路滤波器	8
2.3.5	控制电路	8
2.4	输出接口电路	8
2.5	参考信号监视电路	8
2.6	自动/手动控制状态机	8
3	Zi9042 的主要性能指标	11
3.1	固有抖动 (Intrinsic jitter)	11
3.2	抖动容限 (Jitter tolerance)	11
3.3	抖动传递 (Jitter Thansfer)	12
3.4	频率准确度 (Frequency Accuracy)	13
3.5	保持频率准确度 (Holdover Accurary)	13
3.6	捕获范围 (Capture Range)	13
3.7	锁定范围 (Lock Range)	13
3.8	相位斜率 (Phase Slope)	13
3.9	时间间隔误差 (Time Interval Error / TIE)	13
3.10	最大时间间隔误差 (Maximum Time Interval Error / MTIE)	13
3.11	相位连续性 (Phase Continuity)	13

3.12	相位锁定时间（Phase Lock Time）	14
3.13	Zi9042 满足的电信网络规范	14
4	Zi9042 的应用.....	15
4.1	主工作时钟	15
4.1.1	保护时间调整	16
4.1.2	复位电路.....	17
4.1.3	电源的噪声去藕	17
4.2	Zi9042 的性能指标	18
5	机械尺寸.....	28

多中继系统同步器 Zi9042 的使用说明

1 简介

Zi9042 由一个特别设计的数字锁相环路（digital phase-locked loop，即 DPLL）与参考信号失常监视电路、参考源相位差补偿电路、状态机等主要部分组成。为多中继 T1、E1 一次基群传送链路（primary rate transmission links）提供定时和同步信号。它能提供锁定于频率为 2.048MHz、1.544MHz 或 8kHz 的参考信号的 ST-BUS 时钟与帧信号。

Zi9042 在频率精度、保持精度、抖动传递、固有抖动、抖动容限、相位范围、捕捉范围和 MTIE 要求方面满足 AT & T TR62411 Stratum 3,4 and 4 Enhanced, 以及 ETSI ETS 300 011 的要求。

Zi9042 可以接收主从两路参考信号输入。当主参考信号正常时，该信号作为参考信号输入到 DPLL。当主参考信号消失时，系统自动切换到从参考信号，切换引起输出时钟与定时信号的抖动不会引起位误差。当主参考信号恢复正常后，系统会自动切换到以主参考信号为 DPLL 的参考信号的状态。

参考源的切换受最小切换时间的保护，避免参考信号短时的异常与被干扰引起不必要的切换。

如果主从参考信号全无效，数字锁相环芯片会按照内部记忆的参考信号的信息继续产生时钟与定时信号，其精度达到 0.05ppm。

Zi9042 的工作状态可以手动控制，也可由内部的自动控制状态机控制。

1.1 特点

1. 提供下列时钟信号输出（CMOS Output）：

- C1.5 (1.544 MHz, 用于 T1)；
- /C3 (3.088 MHz, 反相输出)；
- C2 (2.048MHz, 用于工作在 2.048Mb/s 的 ST-BUS)；
- /C4 (4.096MHz, 反相输出, 用于工作在 2.048Mb/s 和 4.096Mb/s 的 ST-BUS)；
- /C8 (8.192MHz, 反相输出, 用于工作在 8.192 Mb/s 的 ST-BUS)；
- /C16 (16.384MHz, 反相输出, 用于工作在 16.384 Mb/s 的 ST-BUS)。

2. 输出信号符合下列抖动（jitter）要求：

AT & T TR62411 Stratum 3,4 Stratum 4 Enhanced for DS1 interfaces;

ETSI ETS 300 011,TBR 4,TBR 12 and TBR 13 for E1 interfaces.

3. 提供 8kHz ST-BUS 帧信号（framing signals）；
4. 输入参考信号频率可选择为：1.544 MHz, 2.048 MHz, 8 kHz；
5. 独立的主从参考信号源；
6. 参考信号源切换不会引起 bit error（满足 phase slope and MTIE requirements）；
7. 三种工作模式：
- 普通（Normal）
- 保持（Holdover）
- 独立（Freerun）
8. 提供自动与手动转换模式。自动方式下，内部状态机根据主从参考源的信号质量自动改变工作模式，使输出的信号质量最优。

1.2 封装与工作条件

封装：PLCC - 28

工作温度：-40 °C ~ +85 °C

1.3 引脚说明

Zi9042 的引脚如图 1所示，表 1说明了各引脚的功能。

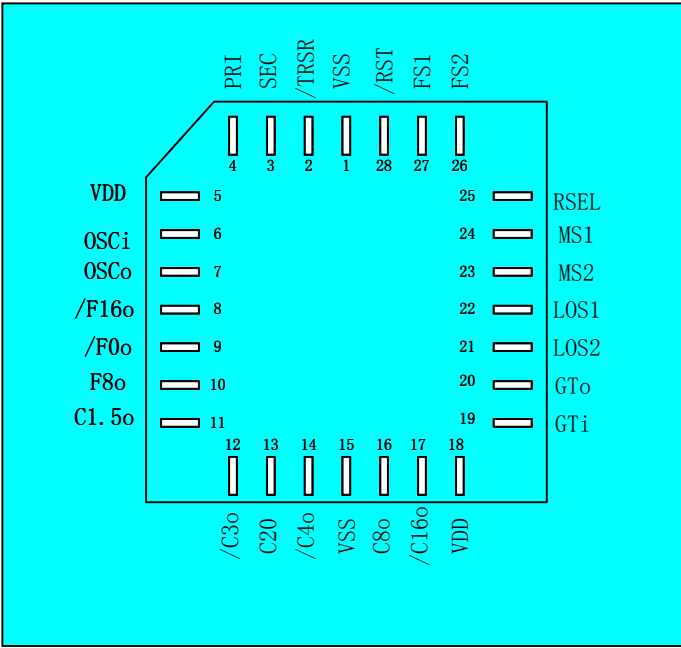


图 1 数字锁相环引脚图

表 1 引脚名称与意义

Pin No.	名称	说 明
1, 15	GND	接地
2	/TRST	TTL 输入，逻辑低电平复位时间间隔误差矫正电路，使得输出相位与输入信号相位重调整。低电平宽度不小于 300ns。
3	SEC	从参考信号，TTL 输入。下降沿作同步用。可以是 3 种频率之一：8KHz, 1.544MHz, 2.048MHz, 由控制信号确定。
4	PRI	主参考信号，TTL 输入。参见 SEC。
5, 18	VDD	电源电压：+5V
6	OSCo	主工作时钟晶体振荡器输出，CMOS 输出。使用晶体时，一个 20MHz 的晶体接在本脚与 OSCi 之间。使用晶体振荡器时，此脚悬空。
7	OSCi	主工作时钟晶体振荡器输入，CMOS 输入。使用晶体时，一个 20MHz 的晶体接在本脚与 OSCo 之间。使用晶体振荡器时，此脚接 20MHz 的时钟源。
8	/F16o	ST-BUS 帧脉冲 16.384MHz, CMOS 输出。是一个脉宽 61ns 的负脉冲，重复频率 8kHz, 是 ST-BUS 一帧的开始标志。
9	/F0o	ST-BUS 帧脉冲 2.048MHz, CMOS 输出。是一个脉宽 244ns 的负脉冲，重复频率 8kHz, 是 ST-BUS 一帧的开始标志。

10	F8o	ST-BUS 帧脉冲 8.192MHz ,CMOS 输出。是一个脉宽 122ns 的正脉冲，重复频率 8kHz, 是 ST-BUS 一帧的开始标志。
11	C1.5o	1.544MHz 时钟, CMOS 输出。用于 T1 场合。
12	/C3o	3.088MHz 时钟 ,CMOS 输出。用于 T1 场合。
13	C2o	2.048MHz 时钟 ,CMOS 输出。用于工作在 2.048Mb/s 的 ST-BUS
14	/C4o	4.096MHz 时钟 ,CMOS 输出。用于工作在 4.096Mb/s 和 2.048Mb/s 的 ST-BUS
16	/C8o	8.196MHz 时钟 ,CMOS 输出。用于工作在 8.196Mb/s 的 ST-BUS
17	/C16o	16.384MHz 时钟 ,CMOS 输出。用于工作在 16.384Mb/s 的 ST-BUS
19	GTi	切换保护时间, Schmitt 输入。用于控制状态转移的路径。此脚上的高电平表示保护时间已过, 参考信号无效的时间太长, 输出相位须重新锁定参考信号的相位。
20	Gto	保护时间开始信号, CMOS 输出。是 LOS1 信号的延迟。用于启动保护计时。
21	LOS2	从参考信号无效, TTL 输入。高电平表示从参考信号丢失。
22	LOS1	主参考信号无效, TTL 输入。高电平表示主参考信号丢失。
23	MS2	Mode/Control Select2,TTL 输入。MS2 与 MS1 确定 Zi9042 的工作模式和工作状态。
24	MS1	Mode/Control Select1,TTL 输入。
25	RSEL	参考信号选择, TTL 输入。手动方式下, 逻辑低/高电平选择 PRI/SEC 作参考信号
26	FS2	频率选择 2, TTL 输入。FS2 与 FS1 决定参考信号 PRI、SEC 的工作频率。
27	FS1	频率选择 1, TTL 输入。
28	/RST	Reset , Schmitt 输入。逻辑低电平复位 Zi9042。低电平的宽度不少于 300ns。在改变模式, 频率或者加电时, 必须复位。

2 功能说明

图 2 是数字锁相环的功能方框图。

PRI、SEC 分别是由外部提供的两路参考信号, 即主、从参考信号源, 其频率相同, 可以是 2.048MHz、1.544MHz 或者 8KHz。经二选一选定 (未选的进行成为备选参考信号), 由内部的 T I E (Time interval Error) 补偿后, 供后面的 DPLL 模块用作参考信号。

参考信号生成模块的功能是: 在使能的情况下, 当主参考信号 PRI 丢失而需要切换到从参考信号源 SEC 时, 以及主参考信号源恢复正常后切换回去时, 由模块输出的参考信号 Reference 的相位抖动足够小。

DPLL 模块产生相位锁定于参考信号 Reference 的 16.384MHz 和 12.352MHz 的时钟信号。DPLL 使用

的主时钟信号由主时钟晶体振荡器模块提供,频率为 20MHz。根据控制信号, DPLL 可工作在三种模式:

- NORMAL:** 本模式下, DPLL 产生锁定于参考信号的 16.384MHz/12.352MHz 的多倍频振荡信号。
- HOLDOVER:** 本模式下, DPLL 根据内部存储的信息产生与进入本模式前相同频率的振荡信号。
- FREERUN :** 此模式下, 产生与主时钟相同稳定度的 16.384 MHz 的振荡信号。

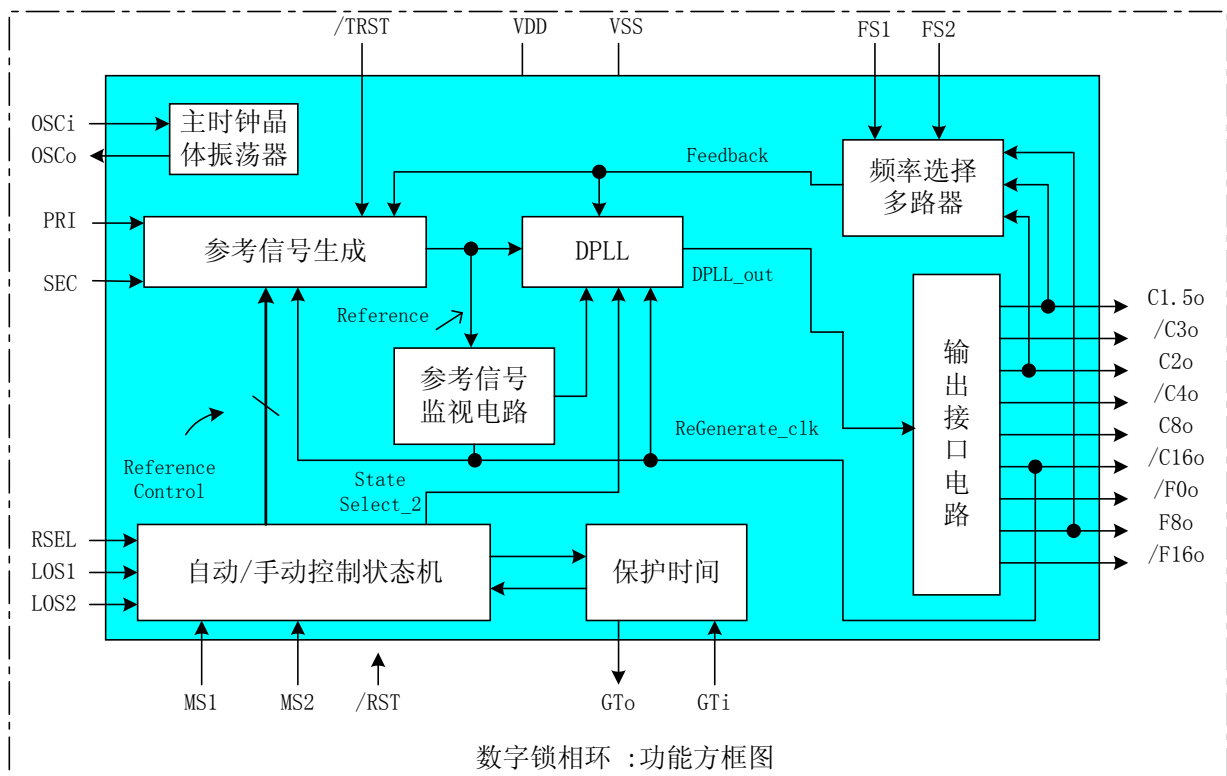


图 2 数字锁相环 功能方框图

输出接口电路由 DPLL 输入的 16.384MHz/12.352MHz 的时钟信号产生符合 ST-BUS 的 E1/T1 时钟与帧同步信号。

频率选择多路器模块 从 1.544 MHz、2.048 MHz、8 kHz 三个输出信号中选择一个作为 DPLL 和参考信号生成模块的反馈信号。参考源信号的输入频率只能与其相同。

参考信号监视电路模块监视输入 DPLL 的参考信号 Reference 的质量, 当该信号发生超出许可范围的频率变化或完全消失时, 产生质量差指示信号, 供 DPLL 作状态转换的参考。

状态机为各模块提供控制信号。在手动工作状态, 内部模块的状态完全由外部输入信号确定; 自动工作状态下参考信号生成模块与 DPLL 模块的控制由状态机根据外部提供的参考信号质量指示信号 LOS1、LOS2、

保护时间信号输入 Gti 等信号产生。

2.1 频率选择多路器

Zi9042 的参考信号的工作频率可以是 8kHz,1.544MHz 或者 2.048MHz，由外部输入信号 FS1,FS2 选择。频率选择的对应关系如表 2所示。多路器相应选择 F8o、C1.5o 或者 C2o 作为锁相环的反馈信号。

表 2 频率选择关系

FS2	FS1	参考信号频率
0	0	保留
0	1	8 kHz
1	0	1.544 MHz
1	1	2.048MHz

2.2 参考信号生成模块

正常情况下，锁相环的输出是由参考信号的质量决定的。参考信号上的较大的相位跳变，必然引起锁相环输出信号的相应的相位抖动，而且，由于锁相环通常工作在欠阻尼的状态，其输出的相位抖动会比输入还大。

Zi9042 提供主从参考信号源输入。在自动模式下当主参考信号消失时，可以自动切换到从参考信号源上工作，当主参考信号恢复正常时，又自动切换回以主参考信号源为参考信号工作。主从参考信号源的频率相同，但两者的相位差可能较大。为了避免在参考源切换时，提供给 DPLL 模块的参考信号 Reference 的相位跳变过大，系统设计了参考信号生成模块。其工作原理是：

选中的参考信号经一可编程的延时电路延时后输出，作为 DPLL 的参考信号。比较电路比较参考信号与反馈信号相位差，此相位差信息传递到可编程延时电路。

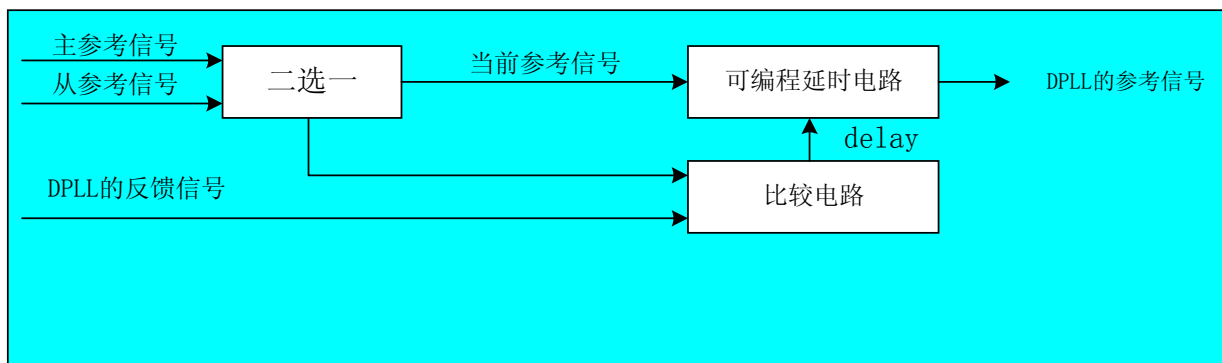


图 3 参考信号的生成模块

可以通过/TRST 信号，使得可编程延时电路的时延为 0 。

因为 TIE 补偿电路的存在，DPLL 使用的参考信号在主从参考信号之间切换时产生的相位跳跃非常小，DPLL 输出的信号的抖动也很小。

因为延时电路的存在，参考信号与 DPLL 的输出之间会有相差。该相差与参考信号的切换历史以及主从参考信号的相差有关。

2.3 数字锁相环 DPLL

图 4是数字锁相环 DPLL 模块的结构示意图。由鉴相器、环路滤波器、环路调整限速器、数控振荡器及控制电路组成。

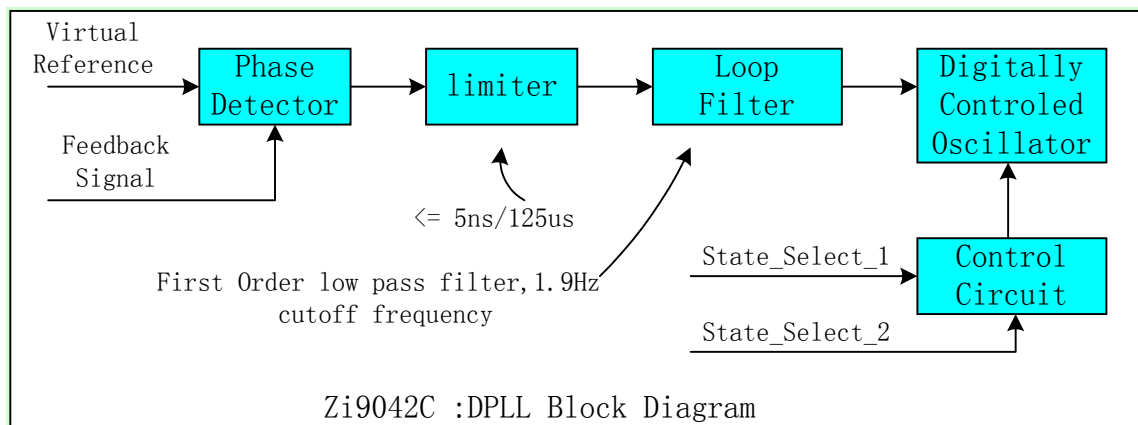


图 4 数字锁相环的结构与环路的形成

2.3.1 数控振荡器

在控制电路的作用下，数控振荡器（DCO，Digitally Controled Oscillator）可以工作在 3 种模式。

在正常（Normal）模式下，DCO 根据环路滤波器的输出产生振荡输出信号；

在保持（Holdover）模式下，DCO 保持正常状态的最后 30ms ~60ms 的振荡频率自由运行。

在自由运行（Freerun）模式下，DCO 以与主工作时钟相同的频率准确度自由运行。

2.3.2 鉴相器

鉴相器模块比较来自参考信号生成模块的参考信号 Reference 和频率选择器的反馈信号 Feedback 的相位差，提供一个与相位差相对应的相差信号。

2.3.3 限速器

限速器（Limiter）接收来自鉴相器的相差信号，确保输出的信号使得环路调整相位的速度满足 AT & T 的最大相位范围（每 125us 小于 7.6ns，或每 1.326ms 小于 81ns）。

2.3.4 环路滤波器

环路滤波器等效于一阶低通滤波器，截止频率为 2.0Hz。

2.3.5 控制电路

控制电路根据状态机的输出信号控制 DPLL 运行在正常、保持或自由运行模式。

2.4 输出接口电路

输出接口电路根据 DPLL 输出的 16.384MHz 和 12.352MHz 时钟信号，分频产生符合 ST-BUS 的时钟与帧信号。各信号的对应关系见。

2.5 参考信号监视电路

无论是外部参考信号的突发的相位抖动，还是参考源间的切换引起的相位的抖动，都不希望由芯片再生的时钟信号产生相位抖动。当外部参考信号消失或频率变化超出最大容许范围时，DPLL 进入自动保持状态。

2.6 自动/手动控制状态机

在手动控制条件下，芯片的工作模式受控制输入信号 MS2、MS1、RSEL 和 Gti 的控制。工作状态与控制输入的关系如表 3 所示。芯片的工作状态由参考源的选择与 DPLL 所处的 3 种模式（自由振荡、正常和保持）构成，形成五种状态：S0，S1，S2，S3，S4 和 S5。根据输入的不同情况，芯片的工作状态会相应改变。

表 3 手动控制状态转移表

输 入 控 制				状 态				
MS2	MS1	RSEL	Gti	S0: 自由振荡	S1: 正常 (以 PRI 为参考)	S2 正常 (以 SEC 为参考)	S1H: 保持 (以 PRI 为参考)	S2H: 保持 (以 SEC 为 参考)
0	0	0	0	S1	不变	S1 MTIE	S1	S1 MTIE
0	0	0	1	S1	不变	S1 MTIE	S1 MTIE	S1 MTIE
0	0	1	x	S2	S2 MTIE	不变	S2 TIME	S2 TIME
0	1	0	x	无效输入	S1H	无效输入	不变	无效输入
0	1	1	x	无效输入	S2H	S2H	无效输入	不变
1	0	x	x	不变	S0	S0	S0	S0

要说明的是：在状态改变的时候，有些情况 TIE 电路会起作用，有些情况下则不会，表中填写有 MTIE 的，表示状态改变发生时 TIE 电路中的可编程延时电路的参数会改变。

在手动控制条件下，当参考信号无效时芯片会从正常状态进入相应的自动保持的过渡状态。此后，根据控制信号可能会进入 4 种状态：

如果在 G_{ti} 从 0 变为 1 之前参考信号恢复有效，返回对应正常状态。

根据控制信号, S1A 转入 S0、S1、S1H 或 S2; S2A 转入 S0、S1、S2H 或 S2 。

手动控制模式下状态转移如图 5所示。

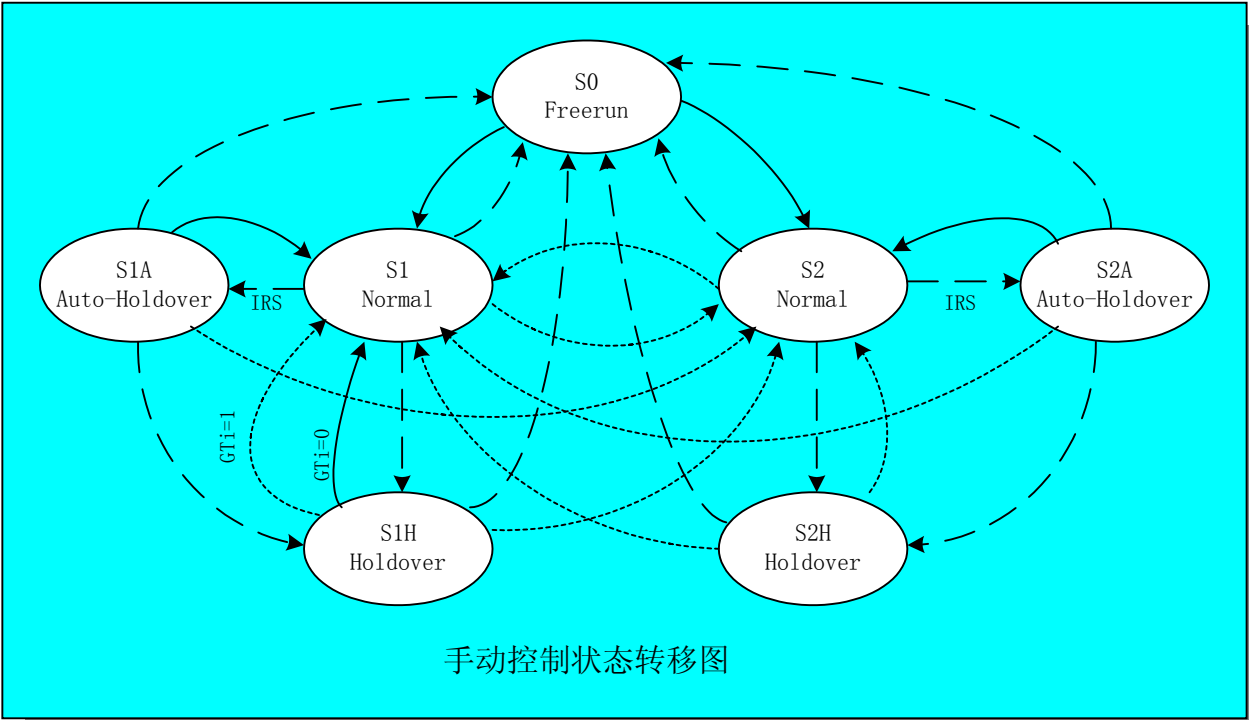


图 5 手动控制状态转移图

在自动控制状态下，芯片的工作状态完全由输入信号 LOS1、LOS2、 G_{ti} 与 RST 及当前工作状态决定。如表 4所示是自动工作条件下的状态转移表。

表 4 自动控制状态转移表

输 入 控 制				状 态				
LOS2	LOS1	GTi	RST	S0: 自由振荡	S1: 正常 (以 PRI 为参考)	S2 正常 (以 SEC 为参考)	S1H: 保持 (以 PRI 为参考)	S2H: 保持 (以 SEC 为参考)
1	1	X	0 to 1	不变	S0	S0	S0	S0
x	0	0	1	S1	不变	S1 MTIE	S1	S1 MTIE
x	0	1	1	S1	不变	S1 MTIE	S1 TIME	S1 TIME
0	1	0	1	S1	S1H	不变	不变	S2 TIME
0	1	1	1	S2	S2 MITE	不变	S2 TIME	S2 TIME
1	1	x	1	不变	S1H	S2H	不变	不变

如图 6所示是自动控制模式下的状态转移图。

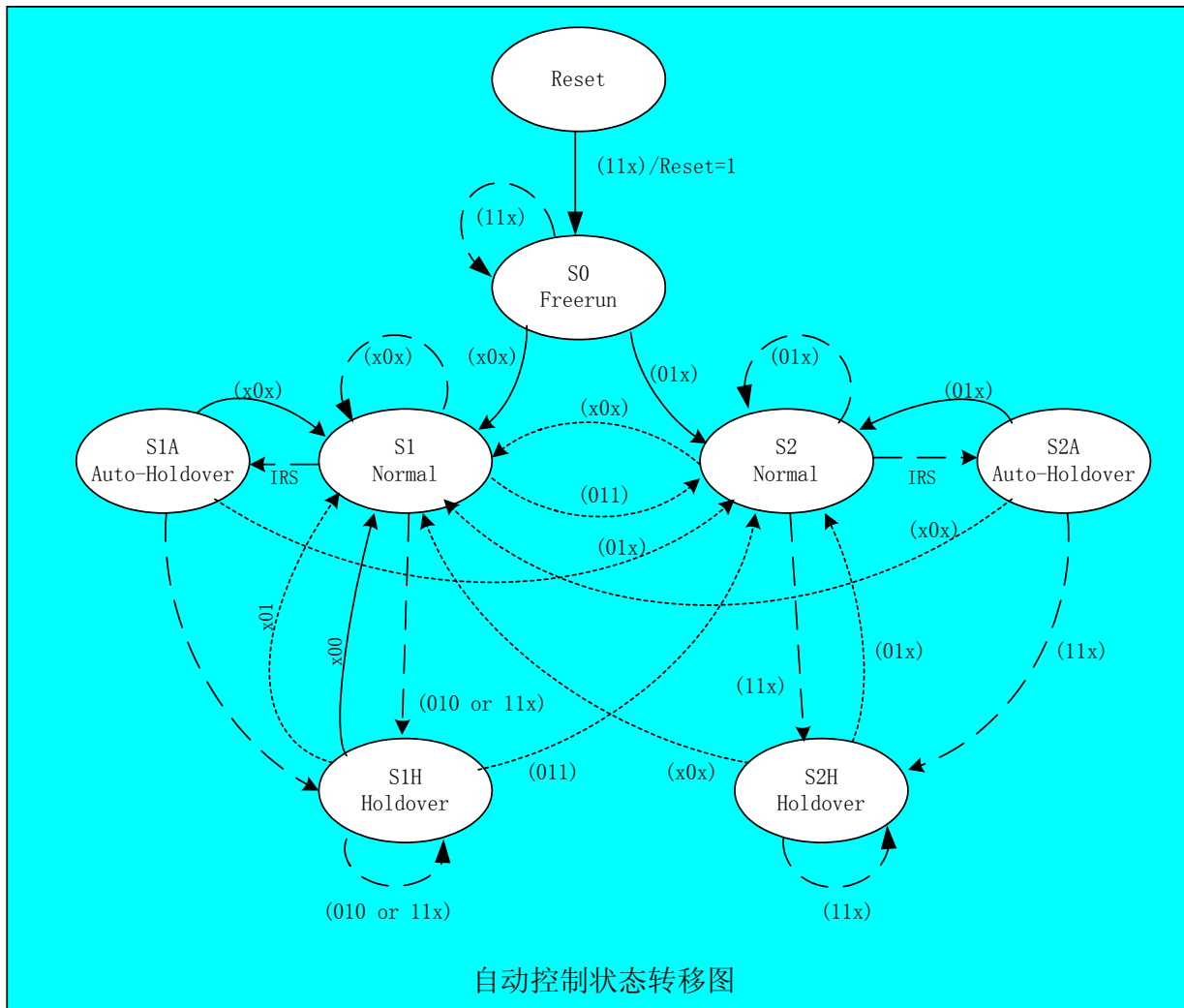


图 6 自动控制状态转移图

3 Zi9042 的主要性能指标

以下是衡量时钟同步电路的各种性能指标及其定义。

3.1 固有抖动 (Intrinsic jitter)

固有抖动是由芯片本身产生的抖动，并在它的输出端加以测量。通过在芯片输入端加入无抖动的参考信号，测量输出信号的抖动而得到。固有抖动也可以在芯片工作在非同步状态下时测量，如在自由振荡或保持方式下，测量芯片输出端的抖动。固有抖动一般依据适用的标准，用多种带限（带通）滤波器辅助测量。

3.2 抖动容限 (Jitter tolerance)

抖动容限衡量当参考信号本身有抖动时锁相环正常工作的能力，比如在有不同抖动频率的大幅抖动存

在于参考信号中时锁相环保持锁定或重获锁定的能力。测量抖动容限所使用的抖动幅度和频率参见适用的标准。

3.3 抖动传递（Jitter Thansfer）

抖动传递（Jitter Thansfer），或称抖动衰减（Jitter Attenuation）指的是当在器件输入端施加一定的抖动时，输出端出现的抖动的幅度。以各种幅度和频率加入输入抖动，依据适用的标准，用不同的滤波器测量输出端的抖动，从而计算出抖动衰减指标。

在 Zi9042 中，有两个内部元件决定抖动衰减，即内部 2.0Hz 低通滤波器和相位斜率限制器。相位斜率限制器把输出的相位斜率限制在 5ns/125us 以下，这样，当输入信号的相位斜率超出了这个值，比如在输入端存在非常大幅度的低频抖动情况下，最大的输出相位斜率将被限制（衰减）到 5ns/125us。

Zi9042 有 8 个输出和 3 个可能的输入频率，总共有 24 种可能的抖动输出函数，而在本手册的只提供了从 8KHz 到 8KHz、从 1.544MHz 到 1.544MHz、从 2.048MHz 到 2.048MHz 3 种情况下的抖动传输率数值，这是因为所有输出都是从同一个信号产生的，所列出的抖动传输值适用于所有的输出信号。

需要注意的是，在 1.544MHz 的时候 1UI 为 644ns，而在 2.048MHz 时，1UI 为 488ns，两者并不相等。因而，使用不同的输入和输出频率的抖动传输值必须按如下所示的例子，用共同的单位（如秒）来计算。
当 T1 输入抖动是 20UI(T1 的 UI 单位)，T1 到 T1 的抖动衰减是 18dB，那么 T1 和 E1 的输出抖动是多少？

$$T1_output = T1_input \times 10^{\left(\frac{-18}{20}\right)}$$

$$T1_output = 20 \times 10^{\left(\frac{-18}{20}\right)} = 2.5UI$$

$$E1_output = T1_output \times \frac{(1UIT1)}{(1UIE1)}$$

$$E1_output = T1_output \times \frac{644ns}{488ns} = 3.3UI(T1)$$

使用以上的方法，利用表 14,表 15,表 16所提供的抖动传输函数，就可以计算出所有输入输出组合间的抖动衰减。

可以注意到：对于一个给定抖动幅度和抖动频率的输入信号，所有的输入输出组合间的抖动传输函数是相同的。因为固有抖动总是存在，所以小的抖动输入信号时的抖动衰减看起来比大的抖动输入信号时的抖动衰减指标要低一些。因此，一般在较大的输入抖动信号幅度（例如在最大抖动容限的 75%）下获得准

确的抖动传输函数测量。

3.4 频率准确度（Frequency Accuracy）

频率准确度定义为当芯片工作在自由振荡模式下时，输出时钟信号的绝对误差容限。对于 Zi9042,自由振荡模式下的输出时钟的频率准确度等于主时钟（OSCi）的频率准确度。

3.5 保持频率准确度（Holdover Accuracy）

当芯片工作在保持模式下时，输出时钟不是跟踪到输入参考信号，而是根据存储的历史数据来输出频率，保持频率准确度定义为这种情况下的输出时钟信号的绝对误差容限。对于 Zi9042,这个存储数据由在正常工作模式下输出时钟锁定到外部参考信号时的相关参数决定。

Zi9042 的主时钟 OSCi 的准确度并不影响保持频率准确度，但是在保持模式下主时钟的准确度的变化却会影响保持频率准确度。

3.6 捕获范围（Capture Range）

捕获范围也称作牵引范围（Pull-in range）。在该频率范围内的输入参考信号，可以把 Zi9042 的输出牵引到同步状态。Zi9042 的捕获范围等于 $\pm 230\text{ppm}$ 减去主时钟 OSCi 的频率准确度。例如，若主时钟的频率准确度是 $\pm 32\text{ppm}$ ，则捕获范围为 $\pm 230\text{ppm}$ 。

3.7 锁定范围（Lock Range）

在该频率范围内的输入参考信号，可以使 Zi9042 保持在同步状态。Zi9042 的锁定范围等于捕获范围。

3.8 相位斜率（Phase Slope）

相位斜率是某给定信号相对于理想信号的相位变化率，单位是秒/秒。这个给定信号典型情况下是输出信号，而理想信号是一个固定频率的信号，名义上等于最终的输出信号频率或最终的输入信号频率。

3.9 时间间隔误差（Time Interval Error / TIE）

给定定时信号和理想定时信号间的时间延迟。

3.10 最大时间间隔误差（Maximum Time Interval Error / MTIE）

MTIE 是在一特定的观测时间段内，给定定时信号和理想定时信号间的最大峰峰值延迟。

$$\text{MTIE}(S) = \text{TIE}_{\max}(t) - \text{TIE}_{\min}(t)$$

3.11 相位连续性（Phase Continuity）

定义为给定信号与理想信号在一个特定的观测时间段末尾的相位差。通常给定信号和理想信号是同频率的信号。相位连续性指标适用于因为参考频率切换或工作模式切换而引起信号的扰动之后的输出时钟信号。观测时段通常是从扰动发生到锁相环进入稳定的状态之间的时间。

Zi9042 对于任何的参考切换和模式改变情况引发的调整，在一帧之间输出信号的相位改变不大于 $\pm$

5ns。总的相移，随参考切换或模式改变的不同情形而不同，可能在许多帧后会累积到 $\pm 200\text{ns}$ ，而其变化率仍不超过最大相位斜率，约 $\pm 5\text{ns}/125\mu\text{s}$ 。这满足 AT&T TR62411 所要求的最大相位斜率指标： $7.6\text{ns}/125\mu\text{s}$ （ $81\text{ns}/1.326\text{ms}$ ）。

3.12 相位锁定时间（Phase Lock Time）

相位锁定时间指锁相环锁定到输入信号所需要的时间。当输入信号和输出信号相互之间不再有相位的改变（不包括抖动效应）时，则表示锁相环达到锁定状态。

因为以下有多种因素的影响，确定锁定时间是很困难的。

输入输出信号的初始相位差

输入输出信号的初始频率差

环路滤波器

相位斜率限制器

虽然我们期望锁定时间越短越好，但是由于要满足其它一些指标，不得不延长锁定时间。例如，环路滤波器的截至频率越低，则抖动传输特性越好，但会导致更长的锁定的时间。并且若把相位斜率限制得越小，该项性能就越好，而锁定时间就越长。ZI9042 的环路滤波器和相位斜率限制器经过优化，可以满足 AT&T TR62411 的抖动传输和相位斜率指标，而相位锁定时间，这个标准中没有规定的指标，则要比在其它应用中长。

3.13 ZI9042 满足的电信网络规范

ZI9042 完全满足以下电信网络规范中适用于锁相环的要求（如 intrinsic jitter, jitter tolerance, jitter transfer, frequency accuracy, holdover accuracy, capture range, phase change slope, MTIE ）。

1. AT&T TR62411 (DS1) December 1990 for Stratum 3, Stratum4 Enhanced and Stratum 4
2. ANSI T1.101(DS1) February 1994 for Stratum 3, Stratum4 Enhanced and Stratum 4
3. ETSI 300 011 (E1) April 1992 for Single Access and Multi Access
4. TBR 4 November 1995
5. TBR 12 December 1993
6. TBR 13 January 1996
7. ITU-T I.431 March 1993

4 Zi9042 的应用

本节说明在使用 Zi9042 时要考虑的几个问题，包括：外接时钟源或晶体振荡器，保护时间，复位电路，电源供给，模式控制等。

4.1 主工作时钟

Zi9042 可以外接时钟源，或者使用外接晶体及振荡电路，作为主工作时钟。在自由运行模式下，时钟输出的频率容差（frequency tolerance）与主工作时钟相同。如果对自由运行模式下时钟输出的频率范围有要求，从 OSCi 输入的主工作时钟必须满足该要求。

设计主工作时钟的频率精度时须考虑的第二个问题是锁定捕捉范围（capture range）。锁定捕捉范围与主时钟的频率容差之和是常数。主工作时钟的频率精度偏差越大，锁定捕捉范围越小。

使用外部时钟源

使用外部时钟源时，外部时钟从 OSCi 输入，OSCo 悬空。对外部时钟的要求包括：绝对振荡频率，振荡频率的温度特性，上升与下降时间，输出电平与占空比等等。参见 AC 参数表。

使用晶体振荡器

可以使用晶体与 Zi9042 内部的电路构成一个晶体振荡器。电路如图 7 所示。图中的晶体要采用基波振荡，使得振荡信号的占空比满足要求。推荐的晶体参数为：

Frequency: 20MHz

Tolerance: 由设计而定

Oscillation Mode: Fundamental

Resonance Mode: Parallel

Load Capacitance: 32pF

可变电容用于调整晶体振荡的频率。如果要求不高，可以去掉，同时将与之并联的电容改为 56pF。

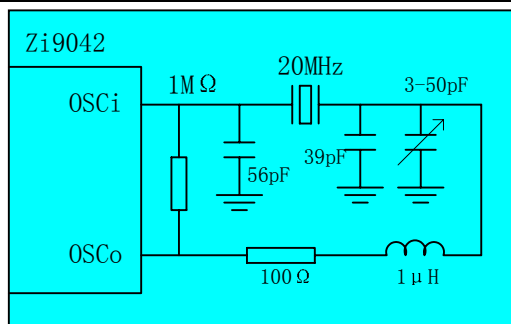


图 7 晶体振荡电路图

4.1.1 保护时间调整

根据 AT & T TR62411 的建议应尽量减少参考信号之间的切换。只有主参考信号衰落后参考信号才切换到从参考信号。减少参考信号的切换的方法是，当主参考信号衰落后，先使 Zi9042 进入保持模式(Holdover mode)，如果在一定的时间之内（保护时间），主参考信号恢复正常，则 Zi9042 回到正常的 Normal 模式，不切换参考信号。主参考信号的衰落持续时间超出保护时间，而从参考信号正常，参考信号才切换到从参考信号。保护时间是否到期，由 Gti 是否为高电平决定。如果 Gti 为高电平，则表明已经超出保护时间了。图 8是采用 RC 电路实现保护时间的简单电路。保护时间大约为： $R_c C \times 0.6$ 。图中电阻 R_p 是保护电阻，限制掉电时流入 Gti 的电流的大小。电阻 R_d 则提供了在主参考信号正常后，快速释放电容 C 上的电荷的通路，使得下一次的保护时间不受影响，（如果在电容 C 上的电荷没有释放完时主参考信号开始衰落，则保护时间会变短）。

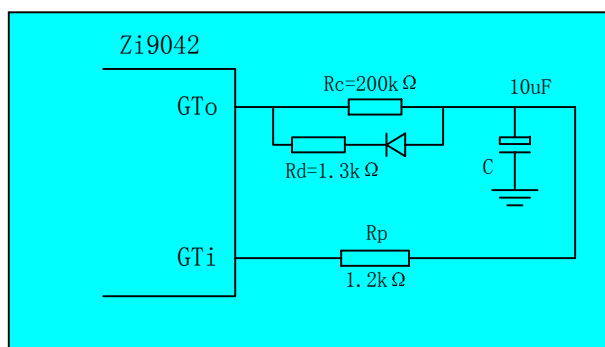


图 8 采用 RC 电路的保护时间电路

Gti 的工作波形如图 9所示。

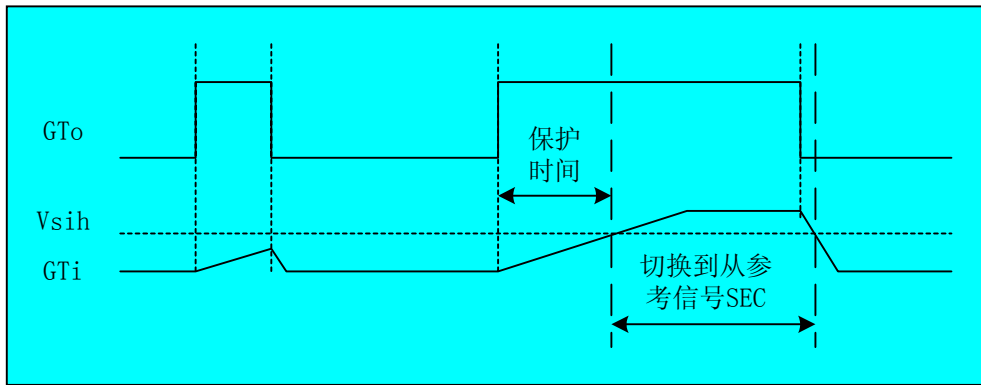


图 9 Gti 的工作波形

设置保护时间的另一个好处是：在手动模式下，如果 Gti 没有超过门限 Vsih,即 Gti 是逻辑低电平，则从保持 (Holdover) 模式回到正常(Normal)模式时，TIE 纠正电路不作补偿。这样，短时间进入保持状态所产生的相位偏差会在回到正常模式时由锁相环路消除，避免在正常模式模式与保持模式间的多次转移造成参考信号与输出信号之间相差的积累。

4.1.2 复位电路

图 10提供了一个简单的复位电路，目的在于电源接通时在/RST 上产生一个脉宽不小于 300ns 的负脉冲，使 Zi9042 内部电路可靠的复位。电阻 Rp 是限流电阻。

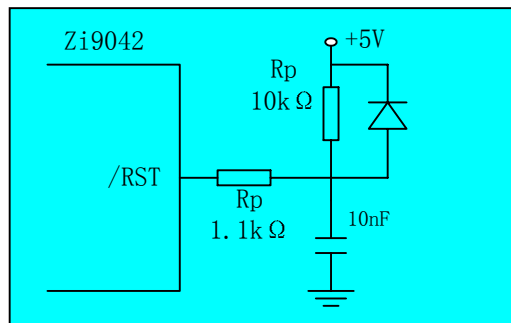


图 10 复位电路

4.1.3 电源的噪声去藕

Zi9042 由两个电源引脚 VDD 与两个地引脚 VSS，在 VDD 与 VSS 间必须有去藕电容，如图 11所示。

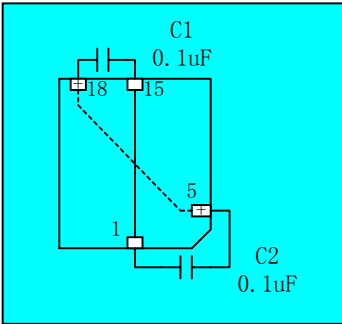


图 11 去藕电容的接法

4.2 ZI9042 的性能指标

表 5 Absolute Maximum Ratings* - Voltages are with respect to ground (VSS) unless otherwise stated

	Parameter	Symbol	Min	Max	Units
1	Supply voltage	V_{DD}	-0.3	7.0	V
2	Voltage on any pin	V_{PIN}	-0.3	$V_{DD}+0.3$	V
3	Current on any pin	I_{PIN}		20	mA
4	Storage temperature	T_{ST}	-55	125	°C
5	PLCC package power dissipation	P_{PD}		900	mW

*Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

表 6 Recommended Operating Conditions* - * Voltages are with respect to ground (VSS) unless otherwise stated

	Characteristics	Sym	Min	Max	Units
1	Supply voltage	V_{DD}	4.5	5.5	V
2	Operating temperature	T_A	-40	85	°C

表 7 DC Electrical Characteristics* - * Voltages are with respect to ground (VSS) unless otherwise stated

	Characteristics	Sym	Min	Max	Units	Conditions/Notes
1	Supply current with: OSCi = 0V	I _{DDS}		10	mA	Outputs unloaded
2	OSCi = Clock	I _{DD}		60	mA	Outputs unloaded
3	TTL high-level input voltage	V _{IH}	2		V	
4	TTL low-level input voltage	V _{IL}		0.8	V	
5	CMOS high-level input voltage	V _{CIH}	0.7V _{DD}		V	OSCi
6	CMOS low-level input voltage	V _{CIL}		0.3V _{DD}	V	OSCi
7	Schmitt high-level input voltage	V _{SIH}	2.3		V	GTi/RST
8	Schmitt low-level input voltage	V _{SIL}		0.8	V	GTi/RST
9	Schmitt hysteresis voltage	V _{HYS}	0.4		V	GTi/RST
10	Input leakage current	I _{IL}	-10	+10	uA	V _I =V _{DD} or 0V
11	High-level output voltage	V _{OH}	2.4V		V	I _{OH} =10mA
12	Low-level output voltage	V _{OL}		0.4V	V	I _{OL} =10mA

* Supply voltage and operating temperature are as per Recommended Operating Conditions.

表 8 AC Electrical Characteristics – Performance

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Freerun Mode accuracy with OSCi at: $\pm 0\text{ppm}$		-0	+0	ppm	5-8
2	$\pm 32\text{ppm}$		-32	+32	ppm	
3	$\pm 100\text{ppm}$		-100	+100	ppm	
4	Holdover Mode accuracy with OSCi at: $\pm 0\text{ppm}$		-0.05	+0.05	ppm	1,2,4,6-8,40
5	$\pm 32\text{ppm}$		-0.05	+0.05	ppm	1,2,4,6-8,40
6	$\pm 100\text{ppm}$		-0.05	+0.05	ppm	1,2,4,6-8,40
7	Capture range with OSCi at: $\pm 0\text{ppm}$		-230	+230	ppm	1-3,6-8
8	$\pm 32\text{ppm}$		-198	+198	ppm	1-3,6-8
9	$\pm 100\text{ppm}$		-130	+130	ppm	1-3,6-8
10	Phase lock time			30	s	1-3,6-14
11	Output phase continuity with: reference switch			200	ns	1-3,6-14
12	mode switch to Normal			200	ns	1-2,4-14
13	mode switch to Freerun			200	ns	1-4,6-14
14	mode switch to Holdover			50	ns	1-3,6-14
15	MTIE (maximum time interval error)			600	ns	1-14,27
16	Output phase slope			45	us/s	1-14,27
17	Reference input for Auto-Holdover with: 8kHz		-18k	+18k	ppm	1-3,6,9-11

18	1.544MHz		-36k	+36k	ppm	1-3,7,9-11
19	2.048MHz		-36k	+36k	ppm	1-3,8-11

† See "Notes" following AC Electrical Characteristics tables.

表 9 AC Electrical Characteristics - Timing Parameter Measurement Voltage Levels* - Voltages are with respect to ground (VSS) unless otherwise stated.

	Characteristics	Sym	Schmitt	TTL	CMOS	Units
1	Threshold Voltage	V_T	1.5	1.5	$0.5V_{DD}$	V
2	Rise and Fall Threshold Voltage High	V_{HM}	2.3	2.0	$0.7V_{DD}$	V
3	Rise and Fall Threshold Voltage Low	V_{LM}	0.8	0.8	$0.3V_{DD}$	V

*Supply voltage and operating temperature are as per Recommended Operating Conditions.

* Timing for input and output signals is based on the worst case result of the combination of TTL and CMOS thresholds.

* See Figure 10.

表 10 时间参数及其范围

序号	意义	符号	最小 (ns)	最大 (ns)
1	参考信号脉冲宽度（高或低）	t_{RW}	100	
2	参考信号输入上升与下降时间	t_{IRF}		10
3	8kHz 参考信号输入到 F8o 的时延	t_{R8D}	-21	6
4	1.544MHz 参考信号输入到 F8o 的时延	t_{R15D}	337	363
5	2.048MHz 参考信号输入到 F8o 的时延	t_{R2D}	222	238
6	F8o 到 F0o_n 的时延	t_{F0D}	110	134
7	F16o_n 相对 C16o_n 的下降时间	t_{F16S}	11	35
8	F16o_n 相对 C16o_n 的上升沿的保持时间	t_{F16H}	0	20
9	F8o 到 C1.5o 的时延	t_{C15D}	-51	-37
10	F8o 到 C3o_n 的时延	t_{C3D}	-51	-37
11	F8o 到 C2o 的时延	t_{C2D}	-13	2
12	F8o 到 C4o_n 的时延	t_{C4D}	-13	2
13	F8o 到 C8o 的时延	t_{C8D}	-13	2
14	F8o 到 C16o_n 的时延	t_{C16D}	-13	2
15	C1.5o 脉冲宽度（低或高）	t_{C15W}	309	339
16	C3o_n 脉冲宽度（低或高）	t_{C3W}	149	175
17	C2o 脉冲宽度（低或高）	t_{C2W}	230	258

18	C4o_n 脉冲宽度（低或高）	t_C4W	111	133
19	C8o 脉冲宽度（低或高）	t_C8W	52	70
20	C16o_n 脉冲宽度（低或高）	t_C16WL	24	35
21	F0o_n 脉冲宽度（低）	t_F0WL	230	258
22	F8o 脉冲宽度（高）	t_F8WH	111	133
23	F16o_n 脉冲宽度（低）	t_F16WL	52	70
24	时钟和帧脉冲输出的上升或下降时间	t_ORF		9
25	输入控制建立时间	t_S	100	
26	输入控制保持时间	t_H	100	

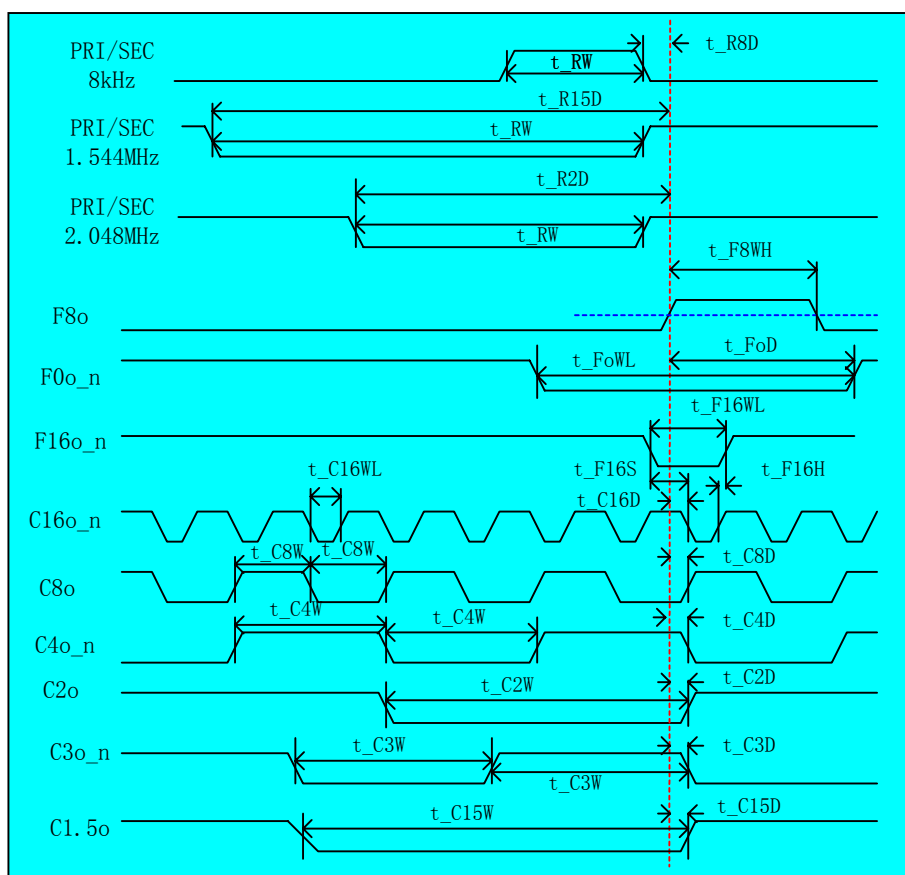


图 12 输出信号波形

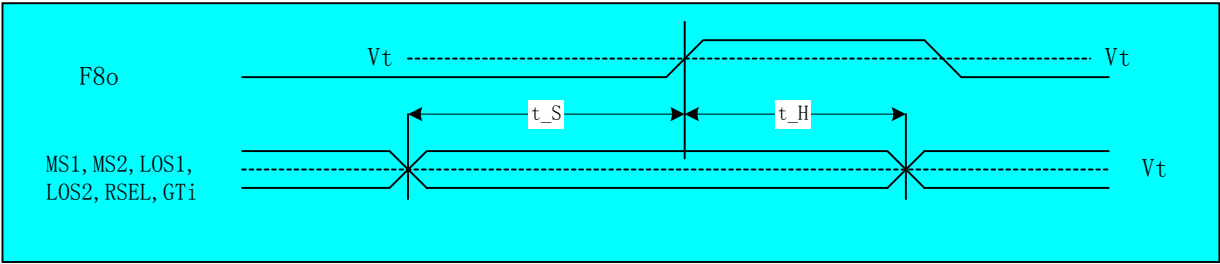


图 13 输入控制信号的建立与保持时间

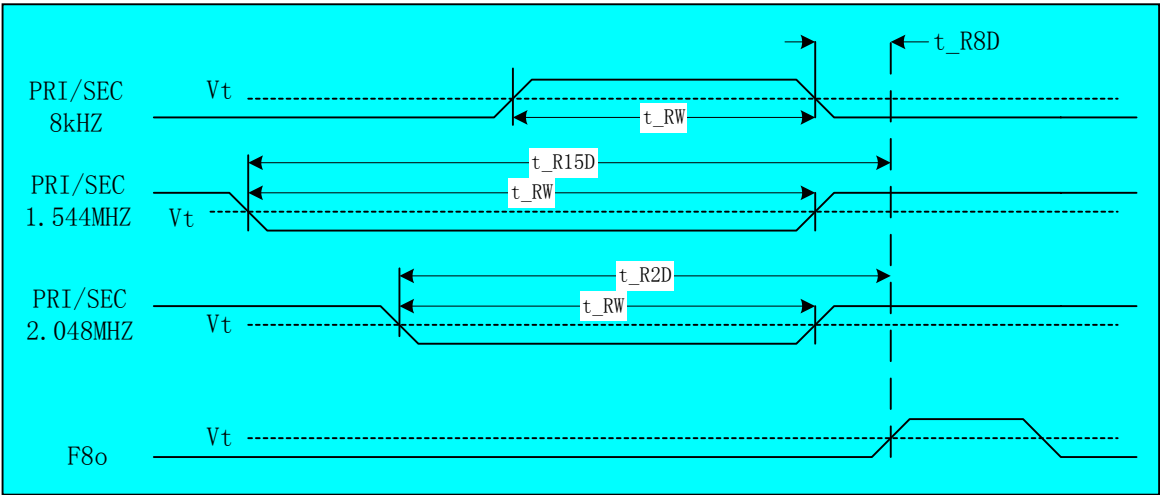


图 14 输入参考信号与输出信号的时序关系（正常模式）

表 11 AC Electrical Characteristics - Intrinsic Jitter Unfiltered

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Intrinsic jitter at F8o (8kHz)			0.0002	UIpp	1-14,21-24,28
2	Intrinsic jitter at /F0o (8kHz)			0.0002	UIpp	1-14,21-24,28
3	Intrinsic jitter at /F16o (8kHz)			0.0002	UIpp	1-14,21-24,28
4	Intrinsic jitter at C1.5o (1.544MHz)			0.030	UIpp	1-14,21-24,29
5	Intrinsic jitter at C2o (2.048MHz)			0.040	UIpp	1-14,21-24,30
6	Intrinsic jitter at /C3o (3.088MHz)			0.060	UIpp	1-14,21-24,31
7	Intrinsic jitter at /C4o (4.096MHz)			0.080	UIpp	1-14,21-24,32
8	Intrinsic jitter at C8o (8.192MHz)			0.160	UIpp	1-14,21-24,33
9	Intrinsic jitter at /C16o (16.384MHz)			0.320	UIpp	1-14,21-24,34

† See "Notes" following AC Electrical Characteristics tables.

表 12 AC Electrical Characteristics - C1.5o (1.544MHz) Intrinsic Jitter Filtered

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Intrinsic jitter (4Hz to 100kHz filter)			0.015	UIpp	1-14,21-24,29
2	Intrinsic jitter (10Hz to 40kHz filter)			0.010	UIpp	1-14,21-24,29
3	Intrinsic jitter (8kHz to 40kHz filter)			0.010	UIpp	1-14,21-24,29
4	Intrinsic jitter (10Hz to 8kHz filter)			0.005	UIpp	1-14,21-24,29

† See "Notes" following AC Electrical Characteristics tables.

表 13 AC Electrical Characteristics - C2o (2.048MHz) Intrinsic Jitter Filtered

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Intrinsic jitter (4Hz to 100kHz filter)			0.015	UIpp	1-14,21-24,30
2	Intrinsic jitter (10Hz to 40kHz filter)			0.010	UIpp	1-14,21-24,30
3	Intrinsic jitter (8kHz to 40kHz filter)			0.010	UIpp	1-14,21-24,30
4	Intrinsic jitter (10Hz to 8kHz filter)			0.005	UIpp	1-14,21-24,30

† See "Notes" following AC Electrical Characteristics tables

表 14 AC Electrical Characteristics - 8kHz Input to 8kHz Output Jitter Transfer

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Jitter attenuation for 1Hz@0.01UIpp input		0	6	dB	1-3,6,9-14,21-22,24,28,35
2	Jitter attenuation for 1Hz@0.54UIpp input		6	16	dB	1-3,6,9-14,21-22,24,28,35
3	Jitter attenuation for 10Hz@0.10UIpp input		12	22	dB	1-3,6,9-14,21-22,24,28,35
4	Jitter attenuation for 60Hz@0.10UIpp input		28	38	dB	1-3,6,9-14,21-22,24,28,35
5	Jitter attenuation for 300Hz@0.10UIpp input		42		dB	1-3,6,9-14,21-22,24,28,35
6	Jitter attenuation for 3600Hz@0.005UIpp input		45		dB	1-3,6,9-14,21-22,24,28,35

† See "Notes" following AC Electrical Characteristics tables.

表 15 AC Electrical Characteristics - 1.544MHz Input to 1.544MHz Output Jitter Transfer

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Jitter attenuation for 1Hz@20UIpp input		0	6	dB	1-3,7,9-14,21-22,24,29,35
2	Jitter attenuation for 1Hz@104UIpp input		6	16	dB	1-3,7,9-14,21-22,24,29,35
3	Jitter attenuation for 10Hz@20UIpp input		12	22	dB	1-3,7,9-14,21-22,24,29,35
4	Jitter attenuation for 60Hz@20UIpp input		28	38	dB	1-3,7,9-14,21-22,24,29,35
5	Jitter attenuation for 300Hz@20UIpp input		42		dB	1-3,7,9-14,21-22,24,29,35
6	Jitter attenuation for 10kHz@0.3UIpp input		45		dB	1-3,7,9-14,21-22,24,29,35
7	Jitter attenuation for 100kHz@0.3UIpp input		45		dB	1-3,7,9-14,21-22,24,29,35

† See "Notes" following AC Electrical Characteristics tables.

表 16 AC Electrical Characteristics - 2.048MHz Input to 2.048 MHz Output Jitter Transfer

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Jitter at output for 1Hz@3.00UIpp input			2.9	UIpp	1-3,8,9-14,21-22,24,30,35
2	with 40Hz to 100kHz filter			0.09	UIpp	1-3,8,9-14,21-22,24,30,36
3	Jitter at output for 3Hz@2.33UIpp input			1.3	UIpp	1-3,8,9-14,21-22,24,30,35
4	with 40Hz to 100kHz filter			0.10	UIpp	1-3,8,9-14,21-22,24,30,36
5	Jitter at output for 5Hz@2.07UIpp input			0.80	UIpp	1-3,8,9-14,21-22,24,30,35
6	with 40Hz to 100kHz filter			0.10	UIpp	1-3,8,9-14,21-22,24,30,36
7	Jitter at output for 10Hz@1.76UIpp input			0.40	UIpp	1-3,8,9-14,21-22,24,30,35
8	with 40Hz to 100kHz filter			0.10	UIpp	1-3,8,9-14,21-22,24,30,36
9	Jitter at output for 100Hz@1.50UIpp input			0.06	UIpp	1-3,8,9-14,21-22,24,30,35
10	with 40Hz to 100kHz filter			0.05	UIpp	1-3,8,9-14,21-22,24,30,36
11	Jitter at output for 2400Hz@1.50UIpp input			0.04	UIpp	1-3,8,9-14,21-22,24,30,35
12	with 40Hz to 100kHz filter			0.03	UIpp	1-3,8,9-14,21-22,24,30,36
13	Jitter at output for 100kHz@0.20UIpp input			0.04	UIpp	1-3,8,9-14,21-22,24,30,35
14	with 40Hz to 100kHz filter			0.02	UIpp	1-3,8,9-14,21-22,24,30,36

† See "Notes" following AC Electrical Characteristics tables.

表 17 AC Electrical Characteristics - 8kHz Input Jitter Tolerance

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Jitter tolerance for 1Hz input		0.80		UIpp	1-3,6,9-14,21-22,24-26,28
2	Jitter tolerance for 5Hz input		0.70		UIpp	1-3,6,9-14,21-22,24-26,28
3	Jitter tolerance for 20Hz input		0.60		UIpp	1-3,6,9-14,21-22,24-26,28
4	Jitter tolerance for 300Hz input		0.20		UIpp	1-3,6,9-14,21-22,24-26,28
5	Jitter tolerance for 400Hz input		0.15		UIpp	1-3,6,9-14,21-22,24-26,28
6	Jitter tolerance for 700Hz input		0.08		UIpp	1-3,6,9-14,21-22,24-26,28
7	Jitter tolerance for 2400Hz input		0.02		UIpp	1-3,6,9-14,21-22,24-26,28
8	Jitter tolerance for 3600Hz input		0.01		UIpp	1-3,6,9-14,21-22,24-26,28

† See "Notes" following AC Electrical Characteristics tables.

表 18 AC Electrical Characteristics - 1.544MHz Input Jitter Tolerance

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Jitter tolerance for 1Hz input		150		UIpp	1-3,7,9-14,21-22,24-26,29
2	Jitter tolerance for 5Hz input		140		UIpp	1-3,7,9-14,21-22,24-26,29
3	Jitter tolerance for 20Hz input		130		UIpp	1-3,7,9-14,21-22,24-26,29
4	Jitter tolerance for 300Hz input		35		UIpp	1-3,7,9-14,21-22,24-26,29
5	Jitter tolerance for 400Hz input		25		UIpp	1-3,7,9-14,21-22,24-26,29
6	Jitter tolerance for 700Hz input		15		UIpp	1-3,7,9-14,21-22,24-26,29
7	Jitter tolerance for 2400Hz input		4		UIpp	1-3,7,9-14,21-22,24-26,29
8	Jitter tolerance for 10kHz input		1		UIpp	1-3,7,9-14,21-22,24-26,29
9	Jitter tolerance for 100kHz input		0.5		UIpp	1-3,7,9-14,21-22,24-26,29

† See "Notes" following AC Electrical Characteristics tables.

表 19 AC Electrical Characteristics - 2.048MHz Input Jitter Tolerance

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Jitter tolerance for 1Hz input		150		UIpp	1-3,8,9-14,21-22,24-26,30
2	Jitter tolerance for 5Hz input		140		UIpp	1-3,8,9-14,21-22,24-26,30
3	Jitter tolerance for 20Hz input		130		UIpp	1-3,8,9-14,21-22,24-26,30
4	Jitter tolerance for 300Hz input		50		UIpp	1-3,8,9-14,21-22,24-26,30
5	Jitter tolerance for 400Hz input		40		UIpp	1-3,8,9-14,21-22,24-26,30
6	Jitter tolerance for 700Hz input		20		UIpp	1-3,8,9-14,21-22,24-26,30
7	Jitter tolerance for 2400Hz input		5		UIpp	1-3,8,9-14,21-22,24-26,30
8	Jitter tolerance for 10kHz input		1		UIpp	1-3,8,9-14,21-22,24-26,30
9	Jitter tolerance for 100kHz input		1		UIpp	1-3,8,9-14,21-22,24-26,30

† See "Notes" following AC Electrical Characteristics tables.

表 20 AC Electrical Characteristics - OSCi 20MHz Master Clock Input

	Characteristics	Sym	Min	Max	Units	Conditions/Notes†
1	Frequency accuracy (20 MHz nominal)		-0	+0	ppm	15,18
2			-32	+32	ppm	16,19
3			-100	+100	ppm	17,20
4	Duty cycle		40	60	%	
5	Rise time			10	ns	
6	Fall time			10	ns	

† See "Notes" following AC Electrical Characteristics tables.

† Notes:

Voltages are with respect to ground (V_{SS}) unless otherwise stated.

Supply voltage and operating temperature are as per Recommended Operating Conditions.

Timing parameters are as per AC Electrical Characteristics - Timing Parameter Measurement Voltage Levels

1. PRI reference input selected.
2. SEC reference input selected.
3. Normal Mode selected.
4. Holdover Mode selected.
5. Freerun Mode selected.
6. 8kHz Frequency Mode selected.
7. 1.544MHz Frequency Mode selected.
8. 2.048MHz Frequency Mode selected.
9. Master clock input OSCi at 20MHz ± 0 ppm.
10. Master clock input OSCi at 20MHz ± 32 ppm.
11. Master clock input OSCi at 20MHz ± 100 ppm.
12. Selected reference input at ± 0 ppm.
13. Selected reference input at ± 32 ppm.
14. Selected reference input at ± 100 ppm.
15. For Freerun Mode of ± 0 ppm.
16. For Freerun Mode of ± 32 ppm.

17. For Freerun Mode of $\pm 100\text{ppm}$.
18. For capture range of $\pm 230\text{ppm}$.
19. For capture range of $\pm 198\text{ppm}$.
20. For capture range of $\pm 130\text{ppm}$.
21. 25pF capacitive load.
22. OSCi Master Clock jitter is less than 2nspp , or 0.04UIpp where $1\text{UIpp}=1/20\text{MHz}$.
23. Jitter on reference input is less than 7nspp .
24. Applied jitter is sinusoidal.
25. Minimum applied input jitter magnitude to regain synchronization.
26. Loss of synchronization is obtained at slightly higher input jitter amplitudes.
27. Within 10ms of the state, reference or input change.
28. $1\text{UIpp} = 125\mu\text{s}$ for 8kHz signals.
29. $1\text{UIpp} = 648\text{ns}$ for 1.544MHz signals.
30. $1\text{UIpp} = 488\text{ns}$ for 2.048MHz signals.
31. $1\text{UIpp} = 323\text{ns}$ for 3.088MHz signals.
32. $1\text{UIpp} = 244\text{ns}$ for 4.096MHz signals.
33. $1\text{UIpp} = 122\text{ns}$ for 8.192MHz signals.
34. $1\text{UIpp} = 61\text{ns}$ for 16.384MHz signals.
35. No filter.
36. 40Hz to 100kHz bandpass filter.
37. With respect to reference input signal frequency.
38. After a /RST or /TRST.
39. Master clock duty cycle 40% to 60% .
40. Prior to Holdover Mode, device was in Normal Mode and phase locked.

5 机械尺寸

Zi9042 采用 PLCC-28 封装，其机械尺寸如图 15所示。

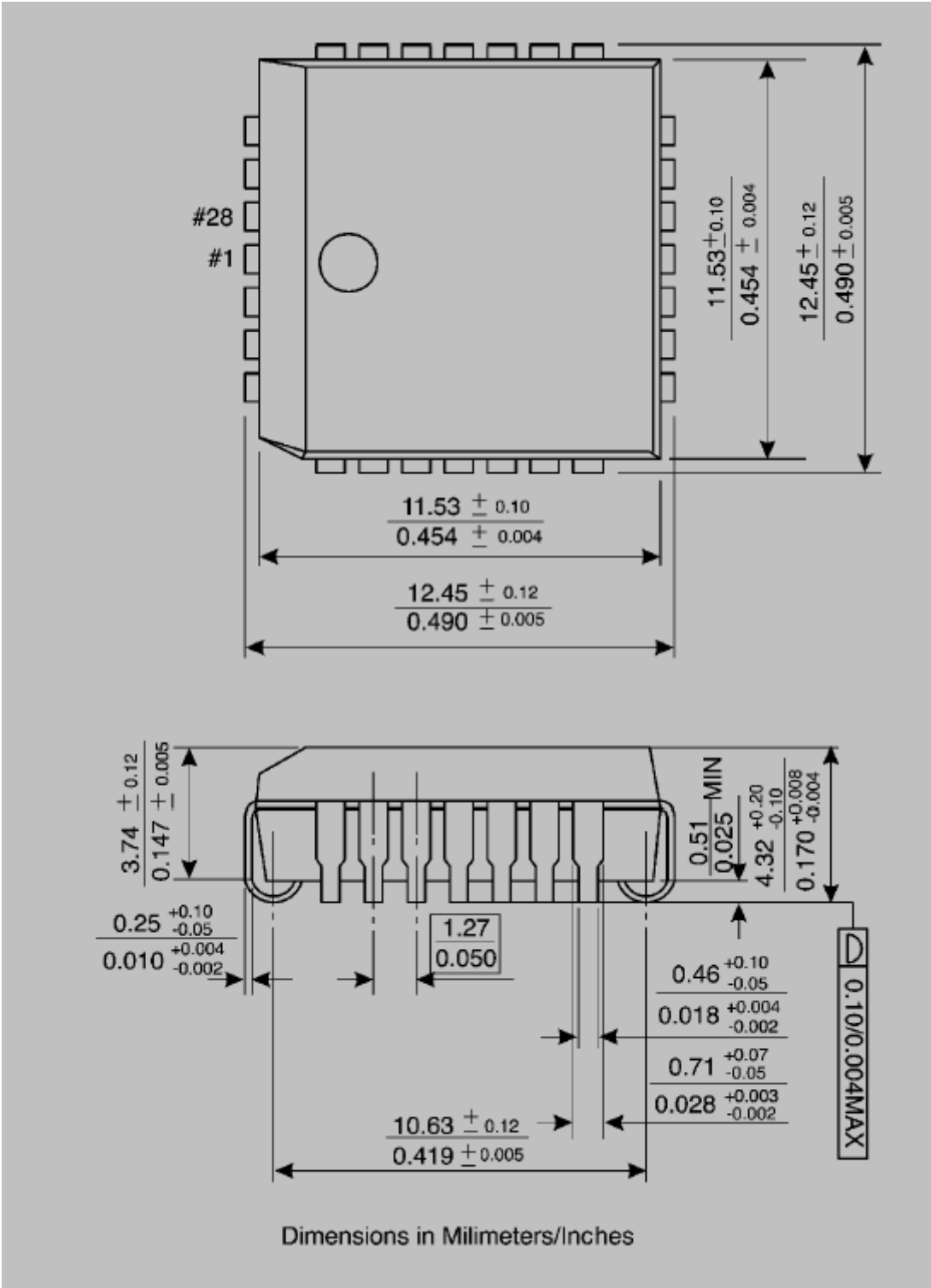


图 15 Zi9042 的机械尺寸