



SW- CMP05B 高速 TTL 比较器

特性

- 快速响应时间: 6.5ns
- 可构造低功耗/速度比
- 理想的高速应用
- 用三态输出隔离负载
- 锁存降低了自激因素

概述

SW-CMP05B 单元是设计为驱动 TTL 负载的高速模拟电压比较器。该比较器的传输延迟很短, 这促进了高速信号处理功能的集成。CMP05B 由多层 ECL-输出比较器 CMP04B 和 ECL-TTL 转换器 E2T01B 组成。比较器中的数据锁存既可从 ECL 级开始, 也可从 TTL 级开始。LE 和 LEN 是不同的锁存使能输入端。这些输入支持单端应用的阈值调节。该单元所占面积为 1.026mm²。

直流电特性

(非特别注明, $V_S = \pm 5.0V$, $T_A = 25^\circ C$)

参数	测试条件 (s)	下限值	典型值	上限值	单位
模拟输入:					
输入失调电压	$V_{CM} = 0V$		± 1.0	± 5.0	mV
输入失调电流	$V_{CM} = 0V$		2.0	5.0	μA
输入偏置电流	$V_{CM} = 0V$		50	100	μA
输入电压范围		-4.0		+3.0	V
差分输入电压	$V_{IN} > -V_S$			± 6.0	V
大信号电压增益	$I_{OL} = 5mA$	3.0	5		V/mV
TTL 输出:					
V_{OL}	$I_{OL} = 5mA$			0.4	V
V_{OH}	$I_{OH} = -1mA$	2.4			V
三态泄漏		-50		+50	μA
TTL 逻辑输入					
V_{IL}				0.8	V
I_{IL}	输出使能 = 0.8V				
	锁存使能 = 0.8V			50	μA

V_{IH}		2.0			V
I_{IH}	输出使能 = 0.8V 锁存使能 = 0.8V			20	μA
锁存使能输入(ECL) V_{LE} 为高	$V_{LEN} = -1.3V$, 锁存禁止	-0.96			V
V_{LE} 为低	$V_{LEN} = -1.3V$, 锁存使能			-1.65	V
锁存使能输入(TTL) V_{LE} 为高	$V_{LE} = 1.4V$, 锁存禁止	2			V
V_{LE} 为低	$V_{LE} = 1.4V$, 锁存使能			0.8	V
输出使能输入(TTL) V_{OE} 为高	输出使能	2			V
V_{OE} 为低	输出禁止			0.8	V
电源电流	$R_L = \infty$		10	20	mA
电源抑制比	$V_S = \pm 4.5$ 到 $\pm 6V$	70	95		dB

直流电特性

($V_S = \pm 5.0V$; 在规定的温度范围)

参数	测试条件 (s)	下限值	典型值	上限值	单位
模拟输入:					
输入失调电压	$V_{CM} = 0V$		± 1.0	± 5.0	mV
输入失调电流	$V_{CM} = 0V$		2.0	10	μA
输入偏置电流	$V_{CM} = 0V$		60	120	μA
输入电压范围		-3.5		4.0	V
大信号电压增益	$I_{OL} = 5mA$	2.0	4.0		V/mV
电源电流 ($R_L = \infty$)	($R_L = \infty$)		15	25	mA
电源抑制比	$V_S = \pm 4.5$ 到 $\pm 6V$	65	95		dB

SW- CMP05B 高速 TTL 比较器

交流电特性

(非特别注明, $V_S = \pm 5.0V$, $V_{PAD} = -5V$, $R_L = 240\Omega$ 到 $-2V$, $T_A = 25^\circ C$)

参数	测试条件 (s)	下限值	典型值	上限值	单位
响应时间					
t_{PLH} , 见时序图(a)	锁存和输出禁止		5.0	10	ns
t_{PHL} , 见时序图(a)	锁存和输出禁止		6.5	10	ns
t_{PLH} , 见时序图(a)	输出禁止		6	10	ns
t_{PHL} , 见时序图(a)	输出禁止		7	11	ns
t_{PLH} , 见时序图(a)	锁存禁止		2	6	ns
t_{PHL} , 见时序图(a)	锁存禁止		7	11	ns



西南集成电路设计有限公司

电话: (86 23) 62803074
(86 23) 62836154-8588
传真: (86 23) 62836149
网址: <http://www.swid.com.cn>
电邮: market@swid.com.cn