



AK4954A

32bit Stereo CODEC with MIC/HP/SPK-AMP

概 要

AK4954A はマイクアンプ、ヘッドフォンアンプ、スピーカアンプを内蔵した低消費電力の 32bit ステレオ CODEC です。入力にはマイクアンプ及び ALC(Automatic Level Control) 回路を内蔵、出力にはキャップレスヘッドフォンアンプ及びスピーカアンプを内蔵しており、録再機能付きポータブル機器用途に最適です。ヘッドフォンアンプは負電源発生回路を内蔵することにより、出力の DC カットコンデンサが不要です。スピーカアンプは 0.9V ~ 5.5V の幅広い電源電圧動作を実現し、直接電池に接続することも可能です。また、パッケージは小型の QFN (4 x 4mm, 0.4mm pitch) を採用、従来 2~3 チップで構成されたシステムと比較して実装面積を大幅に削減します。

特 長

1. 録音側機能

- 2 系統の低ノイズマイクパワー内蔵
- 3 系統のセレクト内蔵ステレオシングルエンド入力
- 低ノイズマイクアンプ内蔵 (+26dB/+20dB/+13dB/+6dB/0dB)
- Digital ALC (Automatic Level Control) 回路内蔵
(Setting Range: +36dB ~ -52.5dB, 0.375dB Step)
- ADC 特性: S/(N+D): 88dB, DR, S/N: 97dB (MIC-Amp=+20dB)
S/(N+D): 88dB, DR, S/N: 100dB (MIC-Amp=0dB)
- 2 種類の Decimation Filter
- オーバーフロー検出
- 風切り音フィルタ
- ステレオ感強調回路
- 5 段のノッチフィルタ
- Digital MIC Interface 内蔵

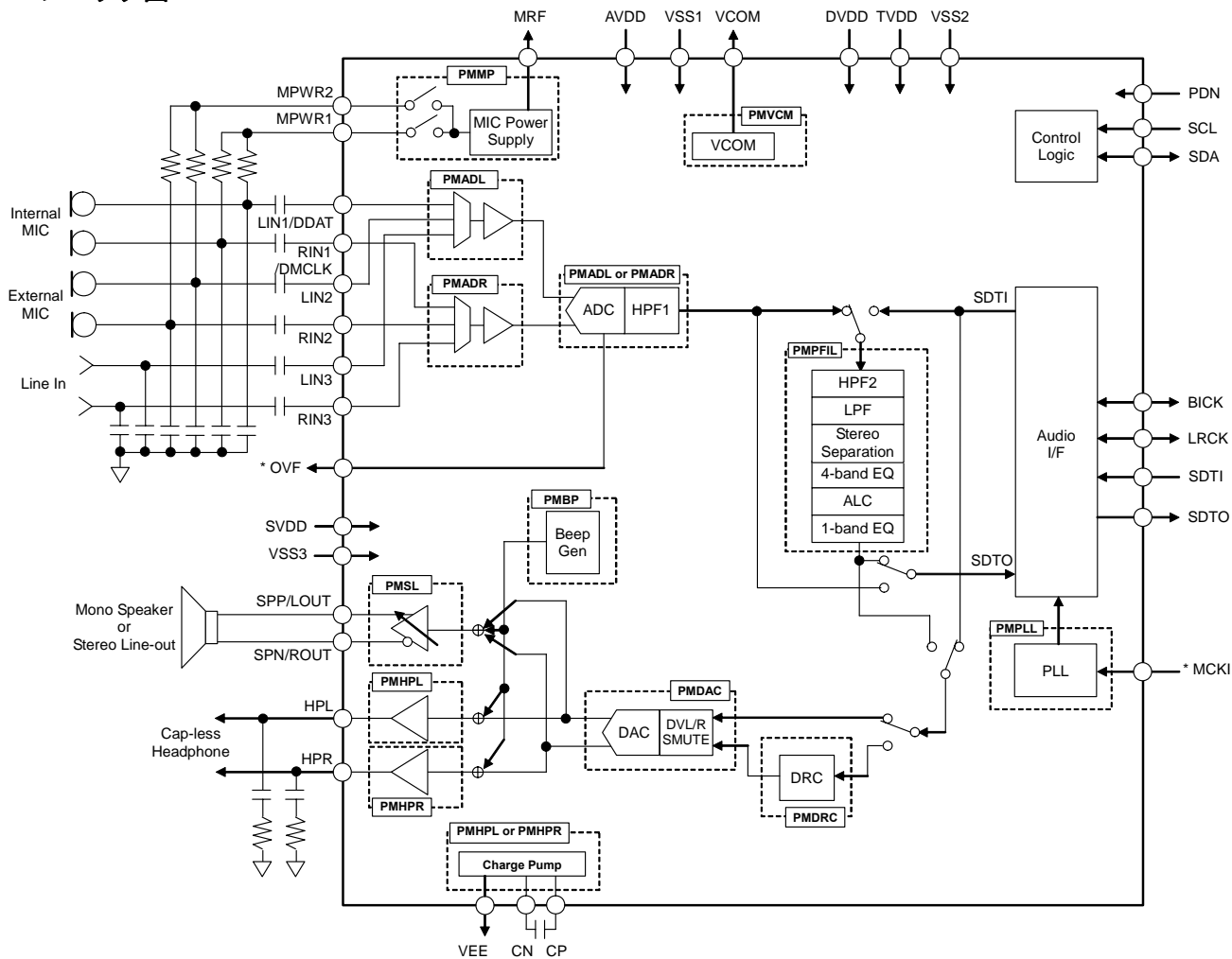
2. 再生側機能

- Digital ALC (Automatic Level Control) 回路内蔵
(Setting Range: +36dB ~ -52.5dB, 0.375dB Step)
- 3-band ダイナミックレンジコントロール回路
- デジタルボリューム内蔵 (+6dB ~ -65.5dB, 0.5dB Step, Mute)
- キャップレスステレオヘッドフォンアンプ内蔵
 - HP-AMP 特性: S/(N+D): 65dB@20mW, S/N: 100dB
 - 定格出力: 20mW@16Ω
 - 電源 ON/OFF 時クリックノイズフリー
- モノラルスピーカアンプ内蔵(ステレオライン出力切替え機能)
 - SPK-AMP 特性: S/(N+D): 70dB@250mW, Output Noise Level: -97dBV
 - BTL 接続
 - 定格出力: 400mW@8Ω (SVDD=3.3V)
100mW@8Ω (SVDD=1.5V)
- Beep 音生成機能内蔵

3. パワーマネジメント機能

4. マスタクロック:
 - (1) PLL モード
 - 周波数: 11.2896MHz, 12MHz, 12.288MHz, 13.5MHz, 24MHz, 27MHz (MCKI pin)
32fs or 64fs (BICK pin)
 - (2) 外部クロックモード
 - 周波数: 256fs, 384fs, 512fs or 1024fs (MCKI pin)
5. サンプリング周波数
 - PLL Slave Mode (BICK pin): 8kHz ~ 96kHz
 - PLL Master Mode: 8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz, 64kHz, 88.2kHz, 96kHz
 - EXT Master/Slave Mode: 8kHz ~ 96kHz (256fs), 8kHz ~ 48kHz (384fs), 8kHz ~ 48kHz (512fs), 8kHz ~ 24kHz (1024fs)
6. マスタ/スレーブモード
7. オーディオインタフェースフォーマット: MSB First, 2's complement
 - ADC : 16/24/32bit 前詰め, 16/24/32bit I²S
 - DAC : 16/24/32bit 前詰め, 16bit 後詰め, 24bit 後詰め, 16/24/32bit I²S
8. シリアル μ P インタフェース: I²C Bus (Ver 1.0, 400kHz Fast-Mode)
9. Ta = -30 ~ 85°C
10. 電源電圧:
 - アナログ電源 (AVDD): 2.5 ~ 3.5V
 - デジタル電源 (DVDD): 1.6 ~ 1.98V
 - デジタル I/O 電源 (TVDD): 1.6 or (DVDD-0.2) ~ 3.5V
 - スピーカ電源 (SVDD): 0.9 ~ 5.5V
11. パッケージ: 32pin QFN (4 x 4mm, 0.4mm pitch)

■ ブロック図



(OVF pin と MCKI pin は共有ピンです。)

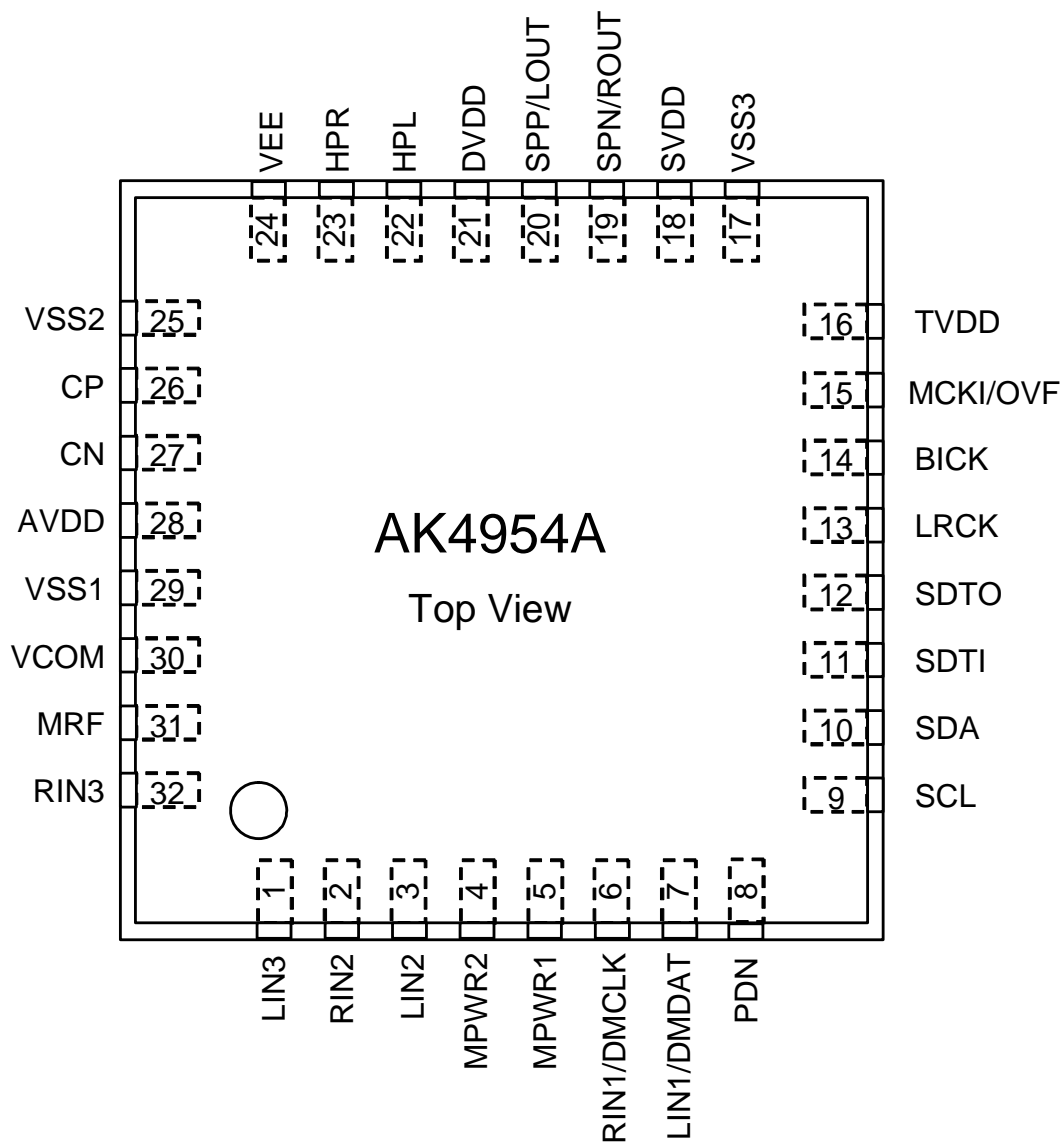
Figure 1. ブロック図

■ オーダリングガイド

AK4954AEN
AKD4954A

-30 ~ +85°C 32-pin QFN (0.4mm pitch)
AK4954A 評価用ボード

■ ピン配置



■ AK4953A との比較

機能	AK4953A	AK4954A
分解能	24bit	32bit
AVDD	2.85V ~ 3.5V	2.5V ~ 3.5V
DVDD	1.6V ~ 2.0V	1.6V ~ 1.98V
SVDD	0.9V ~ 5.5V	←
TVDD	DVDD ~ 3.5V	1.6V or (DVDD-0.2)V ~ 3.5V
ADC DR, S/N	88dB @ MGAIN = +20dB 96dB @ MGAIN = 0dB	97dB @ MGAIN = +20dB 100dB @ MGAIN = 0dB
DAC(ヘッドフォン) S/N	96dB	100dB
入力レベル	typ. 2.4Vpp @ MGAIN=0dB	typ. 0.8 x AVDD @ MGAIN=0dB
出力レベル(ヘッドフォン)	typ. 1.75Vpp @ DVOL=0dB	typ. 0.485 x AVDD @ DVOL=0dB
マイクパワー出力電圧	typ 2.3V (2 系統出力)	typ. 0.8 x AVDD (2 系統出力)
マイクパワー出力ノイズレベル	-108dBV (A-weighted)	-120dBV (A-weighted)
MIC-Amp	0dB/+12dB/+16dB/+20dB/+23dB/ +26dB/+29dB	0dB/+6dB/+13dB/+20dB/+26dB
ADC オーバーフロー出力	なし	あり (MCKI pin と排他使用)
ステレオ感強調	なし	あり
出力ボリューム	+36dB ~ -54dB, 0.375dB Step (Note 1) & +12dB ~ -115dB, 0.5dB Step	+36dB ~ -52.5dB, 0.375dB Step (Note 1) & +6dB ~ -65.5dB, 0.5dB Step
ダイナミックレンジ コントロール回路	なし	あり(再生系)
Speaker-Amp ライン出力 切替え	なし	あり
Master Clock 基準 PLL Mode 周波数	11.2896MHz, 12MHz, 13.5MHz, 24MHz, 27MHz	11.2896MHz, 12MHz, 12.288MHz, 13.5MHz, 24MHz, 27MHz
シリアル μ P インタフェース	3 線シリアル or I ² C Bus	I ² C Bus
Power Consumption (Stereo Recording) (Headphone Playback)	typ. 9.4mW typ. 10.2mW	typ. 10.4mW (低消費電力モード) typ. 6.2mW (低消費電力モード)
Package	36QFN (5 x 5mm, 0.4mm pitch)	32QFN (4 x 4mm, 0.4mm pitch)

Note 1. ALC 及び ボリュームは 入出力共通です。録音と再生で同時に ALC または ボリュームを使用することはできません。

ピン／機能

No.	Pin Name	I/O	Function
1	LIN3	I	Lch Analog Input 3 Pin
2	RIN2	I	Rch Analog Input 2 Pin
3	LIN2	I	Lch Analog Input 2 pin
4	MPWR2	O	MIC Power Supply Pin for Microphone 2
5	MPWR1	O	MIC Power Supply Pin for Microphone 1
6	RIN1	I	Rch Analog Input 1 Pin (DMIC bit = "0": default)
	DMCLK	O	Digital Microphone Clock pin (DMIC bit = "1")
7	LIN1	I	Lch Analog Input 1 Pin (DMIC bit = "0": default)
	DMDAT	I	Digital Microphone Data Input Pin (DMIC bit = "1")
8	PDN	I	Power-down & Reset When "L", the AK4954A is in power-down mode and is held in reset. The AK4954A must be always reset upon power-up.
9	SCL	I	Control Data Clock Pin
10	SDA	I/O	Control Data Input/Output Pin
11	SDTI	I	Audio Serial Data Input Pin
12	SDTO	O	Audio Serial Data Output Pin
13	LRCK	I/O	Input/Output Channel Clock Pin
14	BICK	I/O	Audio Serial Data Clock Pin
15	MCKI	I	External Master Clock Input Pin (OVFL bit = "0": default)
	OVF	O	Over Flow Flag Output Pin (OVFL bit = "1")
16	TVDD	-	Digital I/O Power Supply Pin, 1.6 ~ 3.5V
17	VSS3	-	Ground 3 Pin
18	SVDD	-	Speaker-Amp Power Supply Pin, 0.9 ~ 5.5V
19	SPN	O	Speaker-Amp Negative Output Pin (LOSEL bit = "0": default)
	ROUT	O	Rch Stereo Line Output Pin (LOSEL bit = "1")
20	SPP	O	Speaker-Amp Positive Output Pin (LOSEL bit = "0": default)
	LOUT	O	Lch Stereo Line Output Pin (LOSEL bit = "1")
21	DVDD	-	Digital Power Supply Pin, 1.6 ~ 1.98V
22	HPL	O	Lch Headphone-Amp Output Pin
23	HPR	O	Rch Headphone-Amp Output Pin
24	VEE	O	Charge-Pump Circuit Negative Voltage Output Pin This pin must be connected to VSS2 with 2.2 μ F \pm 50% capacitor in series.
25	VSS2	-	Ground 2 Pin
26	CP	O	Positive Charge-Pump Capacitor Terminal Pin This pin must be connected to CN pin with 2.2 μ F \pm 50% capacitor in series.
27	CN	I	Negative Charge-Pump Capacitor Terminal Pin This pin must be connected to CP pin with 2.2 μ F \pm 50% capacitor in series.
27	AVDD	-	Analog Power Supply Pin, 2.5 ~ 3.5V
29	VSS1	-	Ground 1 Pin
30	VCOM	O	Common Voltage Output Pin Bias voltage of ADC inputs and DAC outputs. This pin must be connected to VSS1 with 2.2 μ F \pm 50% capacitor in series.
31	MRF	O	MIC Power Supply Ripple Filter Pin This pin must be connected to VSS1 with 2.2 μ F \pm 50% capacitor in series.
32	RIN3	I	Rch Analog Input 3 Pin

Note 2. アナログ入力ピン (LIN1, RIN1, LIN2, RIN2, LIN3, RIN3)以外のすべての入力ピンはフローティングにしてはいけません。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理してください。

区分	ピン名	設定
Analog	MPWR1, MPWR2, MRF, SPN, SPP, HPL, HPR, CP, CN, VEE, LIN1/DMDAT, RIN1/DMCLK, LIN2, RIN2, LIN3, RIN3	オープン
Digital	MCKI/OVF	VSS2 に接続、かつ OVFL bit = “0”
	SDTI	VSS2 に接続
	SDTO	オープン

絶対最大定格

(VSS1=VSS2=VSS3=0V; Note 3)

Parameter	Symbol	min	max	Unit	
Power Supplies:	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	2.5	V
	Digital I/O	TVDD	-0.3	6.0	V
	Speaker-Amp	SVDD	-0.3	6.0	V
Input Current, Any Pin Except Supplies	IIN	-	±10	mA	
Analog Input Voltage (Note 5)	VINA	-0.3	AVDD+0.3	V	
Digital Input Voltage (Note 6)	VIND	-0.3	TVDD+0.3	V	
Ambient Temperature (powered applied)	Ta	-30	85	°C	
Storage Temperature	Tstg	-65	150	°C	
Maximum Power Dissipation (Note 7)	Pd	-	900	mW	

Note 3. 電圧はすべてグランドピンに対する値です。

Note 4. VSS1, VSS2, VSS3 は同じアナロググランドに接続してください。

Note 5. LIN1, RIN1, LIN2, RIN2, LIN3, RIN3 pins

Note 6. PDN, SCL, SDA, SDTI, LRCK, BICK, MCKI pins

SDA, SCL のプルアップ抵抗の接続先は、(TVDD+0.3)V 以下にしてください。

Note 7. この電力値は AK4954A 内部損失分で、外部接続されるスピーカ、ヘッドフォンでの消費分は含みません。AK4954A のジャンクション温度の最大許容値は 125°C で、JESD51-9(2p2s)における θ_{ja} (Junction to Ambient)は 42°C/W です。Pd=900mW の時、 θ_{ja} =42°C/W よりジャンクション温度は 125°C を超えることはありませんので、AK4954A の内部損失によってデバイスが破壊されることがありません。 $\theta_{ja} \leq 42^\circ\text{C/W}$ となる条件でボードを使用することを推奨します。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、一度でもこの値を超えた場合、その後の通常の動作は保証されません。

推奨動作条件

(VSS1=VSS2=VSS3= 0V; [Note 3](#))

Parameter		Symbol	min	typ	max	Unit
Power Supplies (Note 8)	Analog	AVDD	2.5	3.3	3.5	V
	Digital	DVDD	1.6	1.8	1.98	V
	Digital I/O (Note 9)	TVDD	1.6 or (DVDD-0.2)	1.8	3.5	V
	SPK-Amp	SVDD	0.9	3.3	5.5	V

Note 3. 電圧はすべてグランドピンに対する値です。

Note 8. AVDD, DVDD, TVDD, SVDD の電源立ち上げシーケンスを考慮する必要はありません。電源立ち上げ時に内部回路が不定になることを避けるため PDN pin = “L” の状態で各電源を立ち上げ、全ての電源が立ち上がった後、PDN pin = “H” にしてください。

Note 9. min 値は、1.6V または (DVDD-0.2)V のどちらか高い方の値です。

***AK4954A では、SVDD=ON, PDN pin = “L” のとき、AVDD, DVDD, TVDD の電源を ON/OFF することができます。また、TVDD=ON, PDN pin = “L” のとき、AVDD, DVDD, SVDD の電源を ON/OFF することができます。OFF 状態で電源を ON する場合は、全ての電源が立ち上がってから、PDN pin を “H” にしてください。**

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD=SVDD=3.3V, TVDD=DVDD=1.8V; VSS1=VSS2=VSS3=0V; fs=44.1kHz, BICK=64fs;
Signal Frequency=1kHz; 24bit Data; Measurement Bandwidth=20Hz ~ 20kHz; unless otherwise specified)

Parameter		min	typ	max	Unit	
MIC Amplifier: LIN1, RIN1, LIN2, RIN2, LIN3, RIN3 pins						
Input Resistance		70	100	140	kΩ	
Gain	MGAIN2-0 bits = "000"	+5	+6	+7	dB	
	MGAIN2-0 bits = "001"	+12	+13	+14	dB	
	MGAIN2-0 bits = "010"	+19	+20	+21	dB	
	MGAIN2-0 bits = "011"	+25	+26	+27	dB	
	MGAIN2-0 bits = "1xx"	-	0	-	dB	
MIC Power Supply: MPWR1, MPWR2 pins						
Output Voltage (Note 10)		2.51	2.64	2.77	V	
Output Noise Level (A-weighted)		-	-120	-	dBV	
PSRR (fin = 1kHz) (Note 11)		-	70	-	dB	
Load Resistance		1.0	-	-	kΩ	
Load Capacitance		-	-	15	pF	
ADC Analog Input Characteristics: LIN1/RIN1/LIN2/RIN2/LIN3/RIN3 pins → ADC → Programmable Filter (IVOL=0dB, EQ=ALC=OFF) → SDTO; C _{ext1} = 1μF, C _{ext2} = 1nF (Note 12)						
Resolution		-	-	32	Bits	
Input Voltage (Note 13)	(Note 14)	0.237	0.264	0.29	V _{pp}	
	(Note 15)	2.37	2.64	2.90	V _{pp}	
S/(N+D) (-1dBFS)	fs=44.1kHz BW=20kHz	(Note 14)	78	88	-	dBFS
		(Note 15)	-	88	-	dBFS
	fs=96kHz BW=40kHz	(Note 14)	-	85	-	dBFS
		(Note 15)	-	82	-	dBFS
D-Range (-60dBFS, A-weighted)	(Note 14)	87	97	-	dB	
	(Note 15)	-	100	-	dB	
S/N (A-weighted)	(Note 14)	87	97	-	dB	
	(Note 15)	-	100	-	dB	
Interchannel Isolation	(Note 14)	80	100	-	dB	
	(Note 15)	-	100	-	dB	
Interchannel Gain Mismatch	(Note 14)	-	0	0.8	dB	
	(Note 15)	-	0	0.5	dB	
PSRR (fin = 1kHz) (Note 11, Note 14)		-	40	-	dB	

Note 10. 出力電圧は AVDD に比例します。(typ. 0.8 x AVDD V)

Note 11. AVDD に、100mV_{pp} の正弦波を重畳した場合

Note 12. Figure 2 測定回路にて仕様を規定しています。(C_{ext2}の位置は入力 pin - VSS1 間でも構いません。)

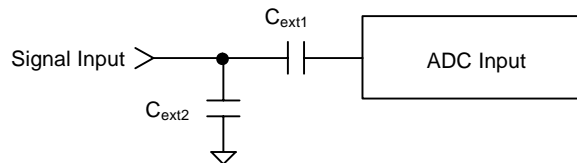


Figure 2. ADC アナログ特性測定回路

Note 13. 入力フルスケール電圧は AVDD に比例します。

typ. 0.8 x AVDD V_{pp} (0dB), typ. 0.08 x AVDD V_{pp} (+20dB)

Note 14. MGAIN2-0 bits = "010" (+20dB)

Note 15. MGAIN2-0 bits = "1xx" (0dB)

Parameter	min	typ	max	Unit		
DAC Characteristics:						
Resolution	-	-	32	Bits		
Headphone-Amp Characteristics: DAC → HPL, HPR pins, ALC=OFF, IVOL=DVOL= 0dB, R_L=16Ω						
Output Voltage (Note 16)	1.44	1.60	1.76	V _{pp}		
S/(N+D)	(R _L =16 Ω)	fs=44.1kHz, BW=20kHz	55	65	-	dB
		fs=96kHz, BW=40kHz	-	65	-	dB
	(R _L =10k Ω)	fs=44.1kHz, BW=20kHz	-	80	-	dB
S/N (A-weighted)	90	100	-	dB		
Interchannel Isolation	65	80	-	dB		
Interchannel Gain Mismatch	-	0	0.8	dB		
Output Offset Voltage	- 1	0	+ 1	mV		
PSRR (fin = 1kHz) (Note 17)	-	40	-	dB		
Load Resistance	16	-	-	Ω		
Load Capacitance	-	-	300	pF		
Speaker-Amp Characteristics: DAC → SPP/SPN pins, ALC=OFF, IVOL=DVOL= 0dB, R_L=8Ω, BTL						
Output Voltage						
	SLG1-0 bits = "00", -0.5dBFS (Po=150mW)	-	3.18	-	V _{pp}	
	SLG1-0 bits = "01", -0.5dBFS (Po=250mW)	3.20	4.00	4.80	V _{pp}	
	SLG1-0 bits = "10", -0.5dBFS (Po=400mW)	-	1.79	-	V _{rms}	
	SLG1-0 bits = "00", -1.5dBFS (Po=100mW) (Note 18)	-	0.9	-	V _{rms}	
S/(N+D)						
	SLG1-0 bits = "00", -0.5dBFS (Po=150mW)	-	70	-	dB	
	SLG1-0 bits = "01", -0.5dBFS (Po=250mW)	40	70	-	dB	
	SLG1-0 bits = "10", -0.5dBFS (Po=400mW)	-	20	-	dB	
	SLG1-0 bits = "00", -1.5dBFS (Po=100mW) (Note 18)	-	20	-	dB	
Output Noise Level (A-weighted, SLG1-0 bits = "01")	-	-97	-87	dBV		
Output Offset Voltage	-30	0	+30	mV		
PSRR (fin = 1kHz) (Note 19)	-	50	-	dB		
Load Resistance	6.8	8	-	Ω		
Load Capacitance	-	-	30	pF		
Stereo Line Output Characteristics: DAC → LOUT, ROUT pins, ALC=OFF, IVOL=DVOL=SLG= 0dB, R_L=10kΩ						
Output Voltage (Note 20)	-	2.24	-	V _{pp}		
S/(N+D)	74	84	-	dB		
S/N (A-weighted)	84	94	-	dB		
Interchannel Isolation	-	90	-	dB		
Interchannel Gain Mismatch	-	0	0.8	dB		
Load Resistance	10	-	-	kΩ		
Load Capacitance	-	-	30	pF		

Note 16. 出力フルスケール電圧は AVDD に比例します。(typ. 0.485 x AVDD V_{pp})

Note 17. AVDD または DVDD に、100mV_{pp} の正弦波を重畳した場合。

Note 18. SVDD=1.5V 時。

Note 19. AVDD または SVDD に、100mV_{pp} の正弦波を重畳した場合。

Note 20. 出力フルスケール電圧は AVDD に比例します。(typ. 0.68 x AVDD V_{pp})

Parameter	min	typ	max	Unit
Beep Output Characteristics: BEEP Generator → HPL, HPR pins, SPP/SPN pins, LOUT, ROUT pins				
Output Voltage (BPLVL = 0dB)				
HPL, HPR pins ($R_L=16\Omega$)	-	1.5	-	V _{pp}
SPP/SPN pins ($R_L=8\Omega$, BTL, SLG = +4.26dB)	-	2.8	-	V _{pp}
LOUT, ROUT pins ($R_L=10k\Omega$, SLG = 0dB)	-	1.4	-	V _{pp}
Gain				
Gain Setting	-60	-	0	dB
Step Width	-	3	-	dB
Power Supplies:				
Power Up (PDN pin = "H")				
MIC + ADC + DAC + Headphone out				
AVDD+DVDD+TVDD (Note 21)	-	9.2	13.8	mA
AVDD+DVDD+TVDD (Note 22)	-	8.2	-	mA
SVDD (No Load)	-	8	12	μ A
MIC + ADC + DAC + Speaker out				
AVDD+DVDD+TVDD (Note 23)	-	8.2	12.3	mA
AVDD+DVDD+TVDD (Note 24)	-	7.2	-	mA
SVDD (No Load)	-	0.8	1.2	mA
Power Down (PDN pin = "L") (Note 25)				
AVDD+DVDD+TVDD+SVDD	-	0	10	μ A
SVDD (Note 26)	-	0	10	μ A

Note 21. PLL Master Mode (MCKI=12MHz)で、PMADL = PMADR = PMDAC = PMPFIL = PMHPL = PMHPR = PMVCM = PMPLL = PMBP = PMMP = M/S bits = "1"、LPMIC = LPDA bits = "0"の場合です。このとき、MPWR1 (MPWR2) pin の出力電流は 0mA です。AVDD=7.3mA (typ), DVDD=1.6mA (typ), TVDD=0.3mA (typ).

Note 22. EXT Slave Mode (PMPLL=M/S bits = "0"), PMADL = PMADR = PMDAC = PMHPL = PMHPR = PMVCM = PMBP = PMMP bits = "1", PMPFIL = LPMIC = LPDA bits = "0"の場合。このとき、MPWR1 (MPWR2) pin の出力電流は 0mA です。AVDD=6.5mA (typ), DVDD=1.6mA (typ), TVDD=0.1mA (typ).

Note 23. PLL Master Mode (MCKI=12MHz)で、PMADL = PMADR = PMDAC = PMPFIL = PMSL = PMVCM = PMPLL = PMBP = PMMP = M/S bits = "1"、LPMIC = LPDA bits = "0"の場合です。このとき、MPWR1 (MPWR2) pin の出力電流は 0mA です。AVDD=6.5mA (typ), DVDD=1.4mA (typ), TVDD=0.3mA (typ).

Note 24. EXT Slave Mode (PMPLL=M/S bits = "0"), PMADL = PMADR = PMDAC = PMSL = PMVCM = PMBP = PMMP bits = "1", PMPFIL = LPMIC = LPDA bits = "0"の場合。このとき、MPWR1 (MPWR2) pin の出力電流は 0mA です。AVDD=5.7mA (typ), DVDD=1.4mA (typ), TVDD=0.1mA (typ).

Note 25. 全てのデジタル入力ピンを TVDD または VSS2 に固定した時の値です。

Note 26. AVDD, DVDD, TVDD が OFF の場合。

■ モード別の消費電力

条件: Ta=25°C; AVDD= SVDD=3.3V, TVDD=DVDD=1.8V; VSS1=VSS2=VSS3= 0V; fs=44.1kHz,
 LPF, HPF, Stereo Separation, 5-band Equalizer, ALC, DRC=OFF (PMPFIL = PMDRC bits = “0”),
 External Slave Mode, BICK=64fs; LIN1/RIN1 input = 無入力; SDTI input= 無入力;
 Headphone & Speaker & Line output = 無負荷

Mode	Power Management Bit							AVDD [mA]	DVDD [mA]	TVDD [mA]	SVDD [mA]	Total Power [mW]
	PMVCM	PMSL	PMDAC	PMADL	PMADR	PMHPL	PMHPR					
All Power-down	0	0	0	0	0	0	0	0	0	0	0	0
LIN1/RIN1 → ADC (Note 27)	1	0	0	1	1	0	0	2.70	0.76	0.03	0.01	10.4
LIN1(Mono)→ADC (Note 27)	1	0	0	1	0	0	0	1.54	0.63	0.03	0.01	6.3
DAC → HP (Note 28)	1	0	1	0	0	1	1	1.49	0.69	0.01	0.01	6.2
DAC → SPK (LOSEL bit = “0”)	1	1	1	0	0	0	0	1.44	0.67	0.01	0.76	8.5
LIN1/RIN1 → ADC (Note 27) & DAC → HP (Note 28)	1	0	1	1	1	1	1	4.07	1.60	0.03	0.01	16.4
LIN1/RIN1 → ADC (Note 27) & DAC → SPK (LOSEL bit = “0”)	1	1	1	1	1	0	0	4.03	1.54	0.03	0.76	18.6

Note 27. 低消費電力モード時(LPMIC bit = “1”)。

Note 28. 低消費電力モード時(LPDA bit = “1”)。

Table 1. Power Consumption for Each Operation Mode (typ)

ADC シャープローloff・フィルタ特性 (fs=44.1kHz)

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V; SDAD bit = "0")

Parameter		Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF):						
Passband (Note 29)	+0.08dB ~ -0.23dB	PB	0	-	18.8	kHz
	-0.74dB		-	19.4	-	kHz
	-1.41dB		-	19.9	-	kHz
	-8.0dB		-	22.1	-	kHz
Stopband (Note 29)		SB	26.1	-	-	kHz
Passband Ripple		PR	-	-	±0.16	dB
Stopband Attenuation		SA	62	-	-	dB
Group Delay (Note 30)		GD	-	10.7	-	1/fs
Group Delay Distortion		ΔGD	-	0	-	μs
ADC Digital Filter (HPF): HPFC1-0 bits = "00"						
Frequency Response (Note 29)	-3.0dB	FR	-	3.4	-	Hz
	-0.5dB		-	10	-	Hz
	-0.1dB		-	22	-	Hz

ADC シャープローloff・フィルタ特性 (fs=96kHz)

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V; SDAD bit = "0")

Parameter		Symbol	min	Typ	max	Unit
ADC Digital Filter (Decimation LPF):						
Passband (Note 29)	+0.08dB ~ -0.23dB	PB	0	-	40.9	kHz
	-0.74dB		-	42.2	-	kHz
	-1.41dB		-	43.3	-	kHz
	-8.0dB		-	48.0	-	kHz
Stopband (Note 29)		SB	56.8	-	-	kHz
Passband Ripple		PR	-	-	±0.16	dB
Stopband Attenuation		SA	62	-	-	dB
Group Delay (Note 30)		GD	-	10.7	-	1/fs
Group Delay Distortion		ΔGD	-	0	-	μs
ADC Digital Filter (HPF): HPFC1-0 bits = "00"						
Frequency Response (Note 29)	-3.0dB	FR	-	7.4	-	Hz
	-0.5dB		-	21.8	-	Hz
	-0.1dB		-	47.9	-	Hz

Note 29. 各振幅特性の周波数は fs (サンプリングレート) に比例します。各応答は 1kHz を基準にします。

Note 30. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャンネルの 32 ビットデータが出力レジスタにセットされるまでの時間です。プログラマブルフィルタ (1 次 HPF + 4-band Equalizer + ALC + Equalizer) を通過するパスを選択した場合の Group Delay は IIR フィルタによる位相変化が無い場合で上記記載の値に対して、4/fs 増加します。

ADC ショートディレイ・シャープローloff・フィルタ特性 (fs=44.1kHz)
--

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V; SDAD bit = "1")

Parameter		Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF):						
Passband (Note 31)	+0.08dB ~ -0.23dB	PB	0	-	18.8	kHz
	-0.74dB		-	19.4	-	kHz
	-1.41dB		-	19.9	-	kHz
	-8.0dB		-	22.1	-	kHz
Stopband (Note 31)		SB	26.1	-	-	kHz
Passband Ripple		PR	-	-	±0.16	dB
Stopband Attenuation		SA	61	-	-	dB
Group Delay (Note 32)		GD	-	4.3	-	1/fs
Group Delay Distortion		ΔGD	-	-	±1.8	1/fs
ADC Digital Filter (HPF): HPFC1-0 bits = "00"						
Frequency Response (Note 31)	-3.0dB	FR	-	3.4	-	Hz
	-0.5dB		-	10	-	Hz
	-0.1dB		-	22	-	Hz

ADC ショートディレイ・シャープローloff・フィルタ特性 (fs=96kHz)
--

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V; SDAD bit = "1")

Parameter		Symbol	min	typ	max	Unit
ADC Digital Filter (Decimation LPF):						
Passband (Note 31)	+0.08dB ~ -0.23dB	PB	0	-	40.9	kHz
	-0.74dB		-	42.2	-	kHz
	-1.41dB		-	43.3	-	kHz
	-8.0dB		-	48.0	-	kHz
Stopband (Note 31)		SB	56.8	-	-	kHz
Passband Ripple		PR	-	-	±0.16	dB
Stopband Attenuation		SA	61	-	-	dB
Group Delay (Note 32)		GD	-	4.3	-	1/fs
Group Delay Distortion		ΔGD	-	-	±1.3	1/fs
ADC Digital Filter (HPF): HPFC1-0 bits = "00"						
Frequency Response (Note 31)	-3.0dB	FR	-	7.4	-	Hz
	-0.5dB		-	21.8	-	Hz
	-0.1dB		-	47.9	-	Hz

Note 31. 各振幅特性の周波数は fs (サンプリングレート) に比例します。各応答は 1kHz を基準にします。

Note 32. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャンネルの 32 ビットデータが出力レジスタにセットされるまでの時間です。プログラマブルフィルタ (1 次 HPF + 4-band Equalizer + ALC + Equalizer) を通過するパスを選択した場合の Group Delay は IIR フィルタによる位相変化が無い場合で上記記載の値に対して、4/fs 増加します。

DAC フィルタ特性 (fs=44.1kHz)

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V)

Parameter		Symbol	min	typ	max	Unit
DAC Digital Filter (LPF):						
Passband (Note 33)	±0.05dB	PB	0	-	20.0	kHz
	-6.0dB		-	22.05	-	kHz
Stopband (Note 33)		SB	24.1	-	-	kHz
Passband Ripple		PR	-	-	±0.05	dB
Stopband Attenuation		SA	54	-	-	dB
Group Delay (Note 34)		GD	-	22	-	1/fs
DAC Digital Filter (LPF) + SCF:						
Frequency Response: 0 ~ 20.0kHz (Note 33)		FR	-	±1.0	-	dB

DAC フィルタ特性 (fs=96kHz)

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V)

Parameter		Symbol	min	typ	max	Unit
DAC Digital Filter (LPF):						
Passband (Note 33)	±0.05dB	PB	0	-	43.5	kHz
	-6.0dB		-	48.0	-	kHz
Stopband (Note 33)		SB	52.5	-	-	kHz
Passband Ripple		PR	-	-	±0.05	dB
Stopband Attenuation		SA	54	-	-	dB
Group Delay (Note 34)		GD	-	22	-	1/fs
DAC Digital Filter (LPF) + SCF:						
Frequency Response: 0 ~ 40.0kHz (Note 33)		FR	-	±1.0	-	dB

Note 33. 各振幅特性の周波数は fs (サンプリングレート) に比例します。各応答は 1kHz を基準にします。

Note 34. デジタルフィルタによる遅延演算で、32 ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。プログラマブルフィルタ (1 次 HPF + 4-band Equalizer + ALC + Equalizer) を通過するパスを選択した場合の Group Delay は IIR フィルタによる位相変化が無い場合で上記記載の値に対して、7/fs 増加します。

DC 特性

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V)

Parameter	Symbol	min	typ	max	Unit
Audio Interface & Serial μP Interface (SDA, SCL, PDN, BICK, LRCK, SDTI, MCKI pins)					
High-Level Input Voltage (TVDD \geq 2.2V)	VIH	70%TVDD	-	-	V
(TVDD < 2.2V)		80%TVDD	-	-	V
Low-Level Input Voltage (TVDD \geq 2.2V)	VIL	-	-	30%TVDD	V
(TVDD < 2.2V)		-	-	20%TVDD	V
Audio Interface & Serial μP Interface (SDA, BICK, LRCK, SDTO, OVF pins Output)					
High-Level Output Voltage (Iout = -80 μ A)	VOH	TVDD-0.2	-	-	V
Low-Level Output Voltage (Except SDA pin : Iout = 80 μ A)	VOL1	-	-	0.2	V
(SDA pin, 2.0V \leq TVDD \leq 3.5V: Iout = 3mA)	VOL2	-	-	0.4	V
(SDA pin, 1.6V \leq TVDD < 2.0V: Iout = 3mA)	VOL2	-	-	20%TVDD	V
Input Leakage Current	Iin	-	-	\pm 10	μ A
Digital MIC Interface (DMDAT pin Input ; DMIC bit = "1")					
High-Level Input Voltage	VIH3	65%AVDD	-	-	V
Low-Level Input Voltage	VIL3	-	-	35%AVDD	V
Sink Current (Vin = AVDD)	Isink	-	-	150	μ A
Source Current (Vin = 0V)	Isource	-20	-	-	μ A
Digital MIC Interface (DMCLK pin Output ; DMIC bit = "1")					
High-Level Output Voltage (Iout=-80 μ A)	VOH3	AVDD-0.4	-	-	V
Low-Level Output Voltage (Iout= 80 μ A)	VOL3	-	-	0.4	V
Input Leakage Current	Iin	-	-	\pm 10	μ A

スイッチング特性

(Ta = -30 ~ 85°C; AVDD=2.5 ~ 3.5V, DVDD =1.6 ~ 1.98V, TVDD=(DVDD-0.2) ~ 3.5V, SVDD=0.9 ~ 5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Unit	
PLL Master Mode (PLL Reference Clock = MCKI pin)						
MCKI Input Timing						
Frequency	fCLK	11.2896	-	27	MHz	
Pulse Width Low	tCLKL	0.4/fCLK	-	-	ns	
Pulse Width High	tCLKH	0.4/fCLK	-	-	ns	
LRCK Output Timing						
Frequency	fs	8	-	96	kHz	
Duty Cycle	Duty	-	50	-	%	
BICK Output Timing						
Period	BCKO bit = "0"	tBCK	-	1/(32fs)	-	ns
	BCKO bit = "1"	tBCK	-	1/(64fs)	-	ns
Duty Cycle		dBCK	-	50	-	%
PLL Slave Mode (PLL Reference Clock = BICK pin)						
LRCK Input Timing						
Frequency	fs	8	-	96	kHz	
Duty	Duty	45	-	55	%	
BICK Input Timing						
Period	PLL2-0 bits = "000"	tBCK	-	1/(32fs)	-	ns
	PLL2-0 bits = "001"	tBCK	-	1/(64fs)	-	ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	-	ns

Parameter	Symbol	min	typ	max	Unit	
External Slave Mode						
MCKI Input Timing						
Frequency	256fs	fCLK	2.048	-	24.576	MHz
	384fs	fCLK	3.072	-	18.432	MHz
	512fs	fCLK	4.096	-	24.576	MHz
	1024fs	fCLK	8.192	-	12.288	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
LRCK Input Timing						
Frequency	256fs	fs	8	-	96	kHz
	384fs	fs	8	-	48	kHz
	512fs	fs	8	-	48	kHz
	1024fs	fs	8	-	12	kHz
Duty		Duty	45	-	55	%
BICK Input Timing						
Period		tBCK	156.25	-	-	ns
Pulse Width Low		tBCKL	65	-	-	ns
Pulse Width High		tBCKH	65	-	-	ns
External Master Mode						
MCKI Input Timing						
Frequency	256fs	fCLK	2.048	-	24.576	MHz
	384fs	fCLK	3.072	-	18.432	MHz
	512fs	fCLK	4.096	-	24.576	MHz
	1024fs	fCLK	8.192	-	12.288	MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	-	ns
LRCK Output Timing						
Frequency		fs	8	-	96	kHz
Duty Cycle		Duty	-	50	-	%
BICK Output Timing						
Period	BCKO bit = "0"	tBCK	-	1/(32fs)	-	ns
	BCKO bit = "1"	tBCK	-	1/(64fs)	-	ns
Duty Cycle		dBCK	-	50	-	%

Parameter	Symbol	min	typ	max	Units
Audio Interface Timing					
Master Mode					
BICK “↓” to LRCK Edge (Note 35)	tMBLR	-20	-	20	ns
LRCK Edge to SDTO (MSB) (Except I ² S mode)	tLRD	-35	-	35	ns
BICK “↓” to SDTO	tBSD	-35	-	35	ns
SDTI Hold Time	tSDH	25	-	-	ns
SDTI Setup Time	tSDS	20	-	-	ns
Slave Mode					
LRCK Edge to BICK “↑” (Note 35)	tLRB	25	-	-	ns
BICK “↑” to LRCK Edge (Note 35)	tBLR	25	-	-	ns
LRCK Edge to SDTO (MSB) (Except I ² S mode)	tLRD	-	-	45	ns
BICK “↓” to SDTO	tBSD	-	-	45	ns
SDTI Hold Time	tSDH	25	-	-	ns
SDTI Setup Time	tSDS	20	-	-	ns
Control Interface Timing (I²C Bus Mode): (Note 36)					
SCL Clock Frequency	fSCL	-	-	400	kHz
Bus Free Time Between Transmissions	tBUF	1.3	-	-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	0.6	-	-	μs
Clock Low Time	tLOW	1.3	-	-	μs
Clock High Time	tHIGH	0.6	-	-	μs
Setup Time for Repeated Start Condition	tSU:STA	0.6	-	-	μs
SDA Hold Time from SCL Falling (Note 37)	tHD:DAT	0	-	-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.1	-	-	μs
Rise Time of Both SDA and SCL Lines	tR	-	-	0.3	μs
Fall Time of Both SDA and SCL Lines	tF	-	-	0.3	μs
Setup Time for Stop Condition	tSU:STO	0.6	-	-	μs
Capacitive Load on Bus	Cb	-	-	400	pF
Pulse Width of Spike Noise Suppressed by Input Filter	tSP	0	-	50	ns

Note 35. この規格値は LRCK のエッジと BICK の “↑” が重ならないように規定しています。

Note 36. I²C-bus は NXP B.V. の商標です。

Note 37. データは最低 300ns (SCL の立ち下がり時間) の間保持されなければなりません。

Parameter	Symbol	min	typ	max	Unit
Digital Audio Interface Timing; fs = 8kHz ~ 48kHz, CL=100pF					
DMCLK Output Timing					
Period	tSCK	-	1/(64fs)	-	ns
Rising Time	tSRise	-	-	10	ns
Falling Time	tSFall	-	-	10	ns
Duty Cycle	dSCK	40	50	60	%
Audio Interface Timing					
DMDAT Setup Time	tSDS	50	-	-	ns
DMDAT Hold Time	tSDH	0	-	-	ns
Power-down & Reset Timing					
PDN Accept Pulse Width (Note 38)	tAPD	1	-	-	μs
PDN Reject Pulse Width (Note 38)	tRPD	-	-	50	ns
PMADL or PMADR “↑” to SDTO valid (Note 39)					
ADRST1-0 bits = “00”	tPDV	-	2115	-	1/fs
ADRST1-0 bits = “01”	tPDV	-	4227	-	1/fs
ADRST1-0 bits = “10”	tPDV	-	267	-	1/fs
ADRST1-0 bits = “11”	tPDV	-	1059	-	1/fs
PMDML or PMDMR “↑” to SDTO valid (Note 40)					
ADRST1-0 bits = “00”	tPDV	-	2115	-	1/fs
ADRST1-0 bits = “01”	tPDV	-	4227	-	1/fs
ADRST1-0 bits = “10”	tPDV	-	267	-	1/fs
ADRST1-0 bits = “11”	tPDV	-	1059	-	1/fs

Note 38. AK4954A は電源投入時に PDN pin を “L” でリセットされます。1μs 以上の PDN pin = “L” パルスでリセットがかかります。50ns 以下の PDN pin = “L” パルスではリセットはかかりません。

Note 39. PMADL bit または PMADR bit を立ち上げてからの LRCK クロックの “↑” の回数です。

Note 40. PMDML bit または PMDMR bit を立ち上げてからの LRCK クロックの “↑” の回数です。

■ タイミング波形

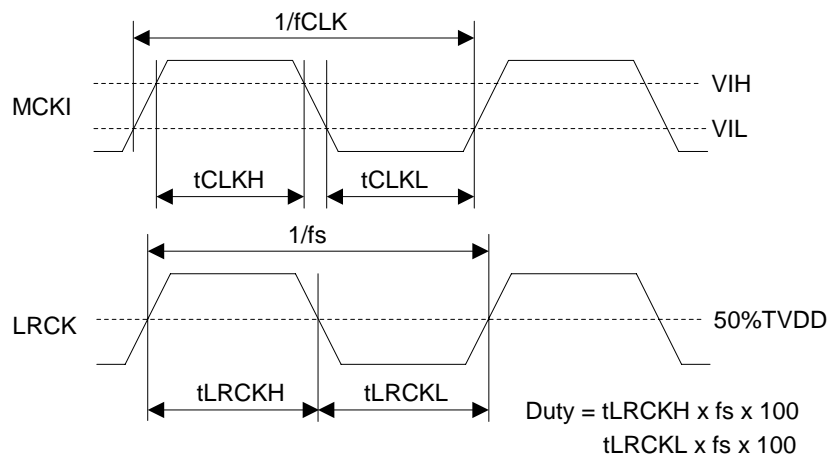


Figure 3. Clock Timing (PLL/EXT Master mode)

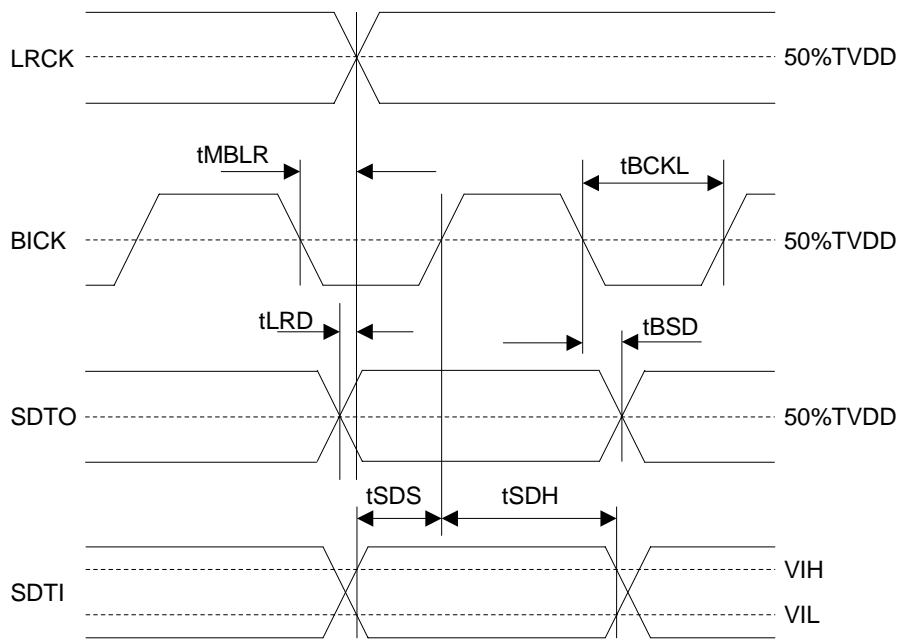


Figure 4. Audio Interface Timing (PLL/EXT Master mode)

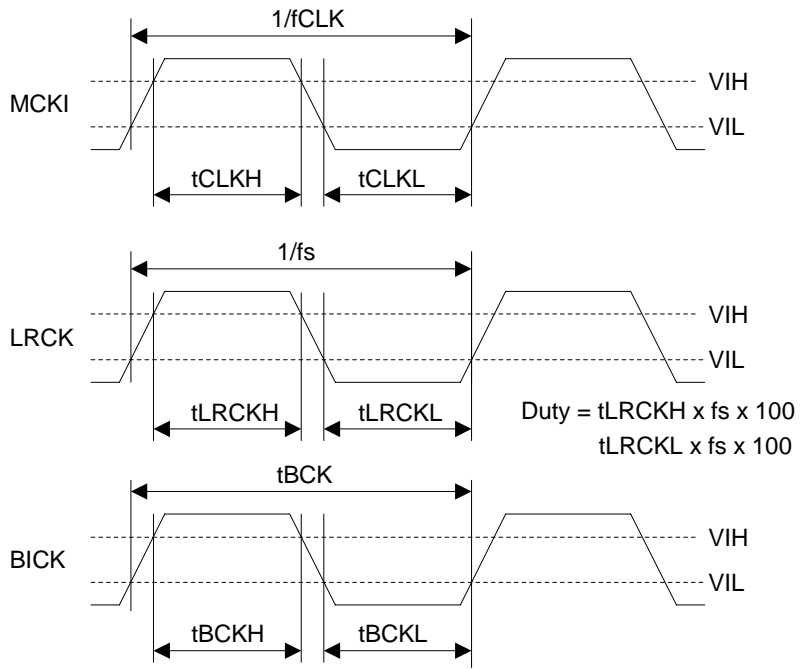


Figure 5. Clock Timing (EXT Slave mode)

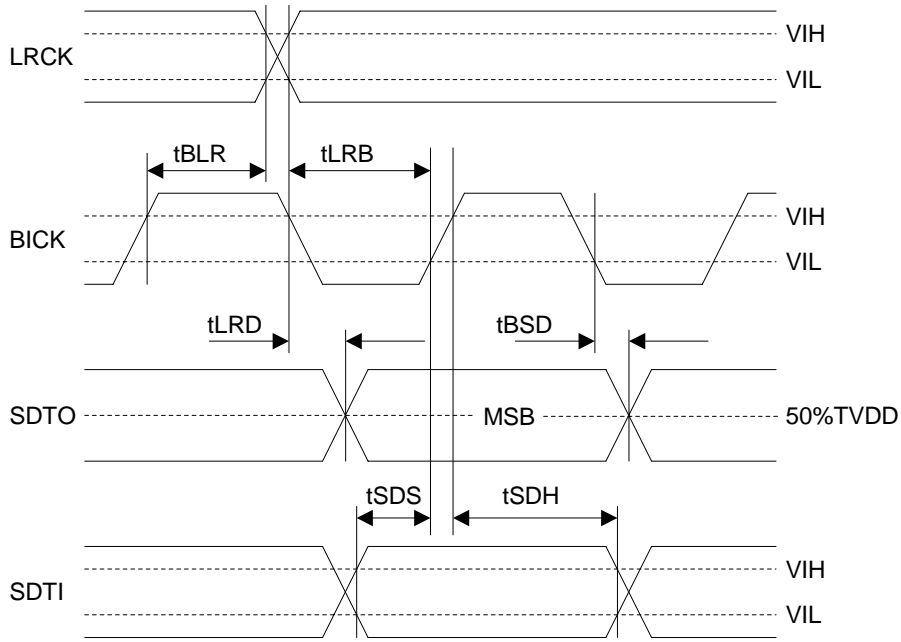


Figure 6. Audio Interface Timing (PLL/EXT Slave mode)

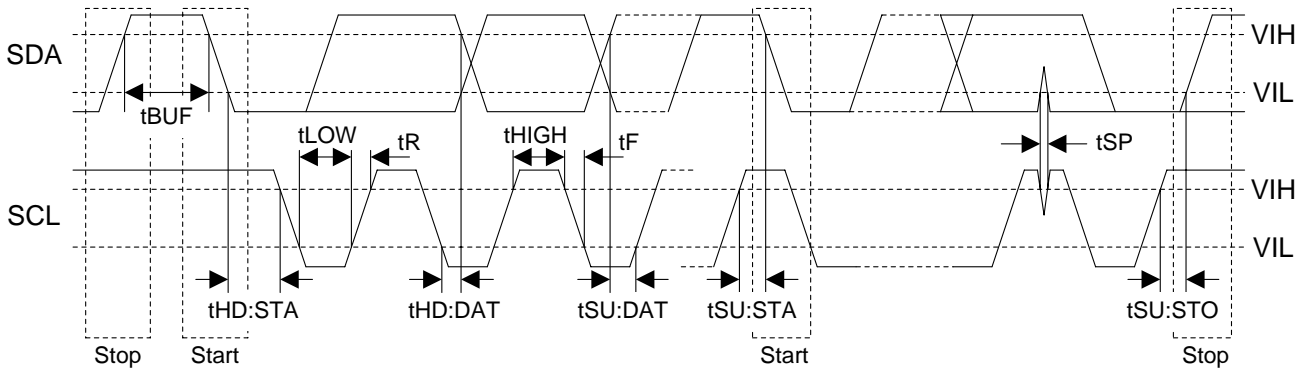
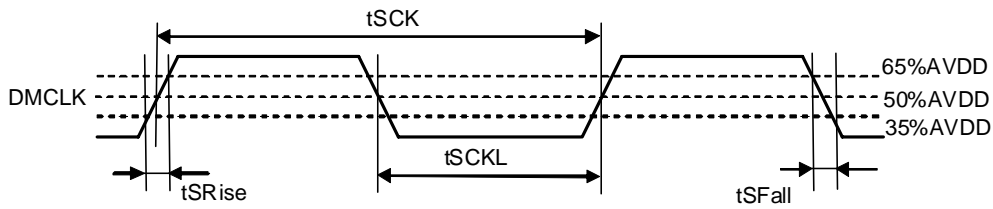


Figure 7. I²C Bus Mode Timing



$$dSCK = 100 \times tSCKL / tSCK$$

Figure 8. DMCLK Clock Timing

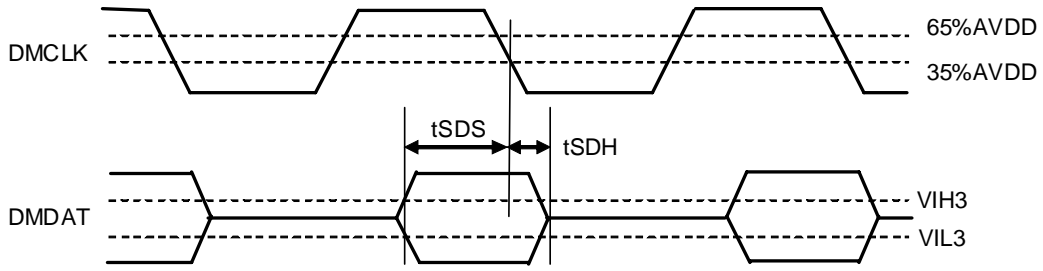


Figure 9. Audio Interface Timing (DCLKP bit = "1")

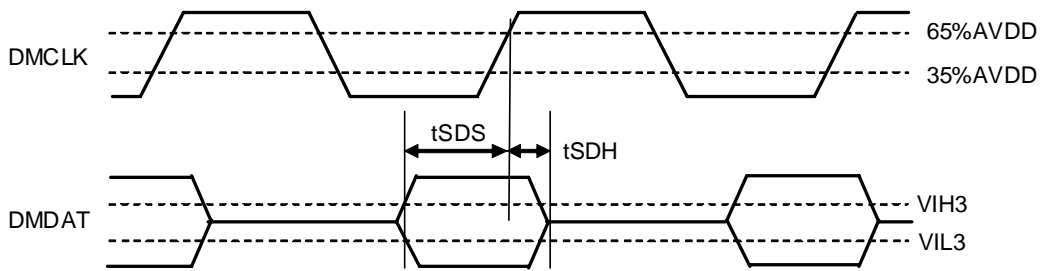


Figure 10. Audio Interface Timing (DCLKP bit = "0")

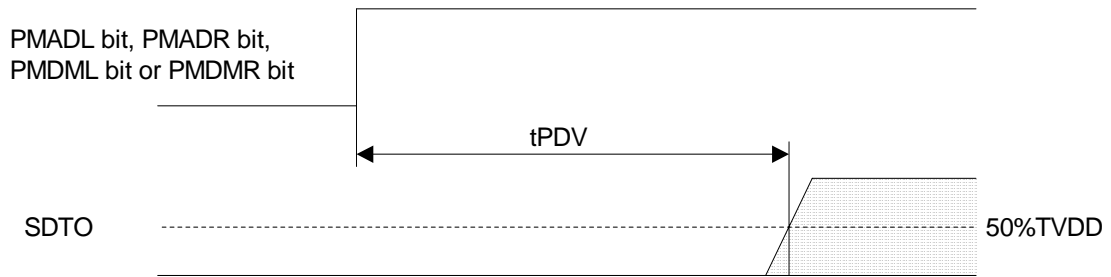


Figure 11. Power Down & Reset Timing 1

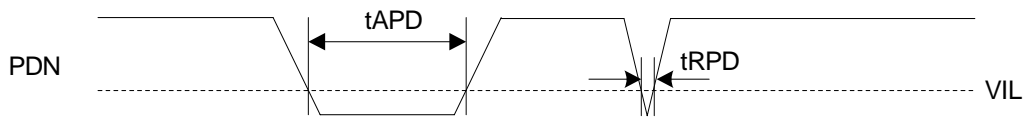
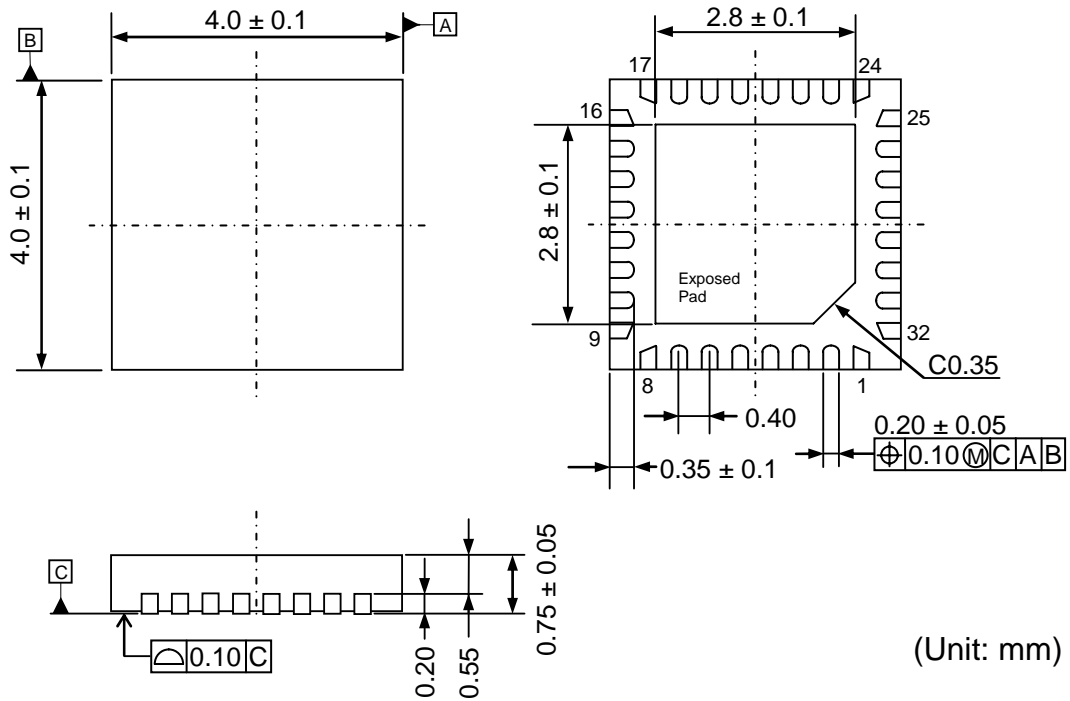


Figure 12. Power Down & Reset Timing 2

パッケージ

32pin QFN



(Unit: mm)

* パッケージ裏面の Exposed Pad は、グラウンドに接続してください。

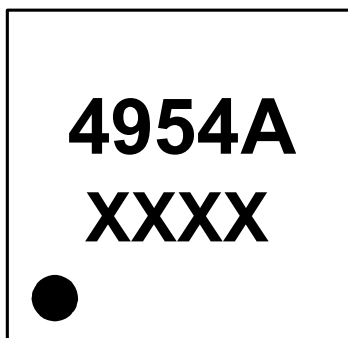
■ 材質・メッキ仕様

パッケージ材質: Epoxy Resin, ハロゲン(臭素、塩素)フリー

リードフレーム材質: Cu Alloy

リードフレーム処理: Solder (Pb free) plate

マーキング



1

XXXX: Date code (4 digit)
Pin #1 indication

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
13/06/07	00	初版		

旭化成エレクトロニクス製品のご検討ありがとうございます。

より詳しい資料を用意しておりますので、お手数ですが弊社営業担当、あるいは弊社特約店営業担当までお申し付けください。

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）、および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続を行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。