

概述

MAX17000脉宽调制(PWM)控制器可以为笔记本电脑中的DDR、DDR2、DDR3存储器提供完整的电源方案。该器件集成了一路降压控制器、一路可源出/吸收电流的LDO稳压器以及一路基准缓冲器，能够产生VDDQ、VTT和VTTR所需的所有电压。

VDDQ电压由降压转换器提供，采用Maxim专有的Quick-PWM™控制器。高效、恒定导通时间PWM控制器可轻松支持宽范围的输入/输出电压比(适合低占空比应用)，提供100ns的负载瞬态响应，并保持相对恒定的开关频率。Quick-PWM架构不仅解决了固定频率、电流模式PWM出现的负载瞬态特性差的问题，同时还避免了传统的固定导通、关闭时间PWM方案中的开关频率变化问题。控制器可检测电流，从而实现精确的谷电流限制保护。器件还具有过压、欠压及热保护功能。MAX17000可以工作在三种不同模式：高效SKIP模式、低噪声强制PWM模式及用于在笔记本待机时支持存储器工作的待机模式。开关频率可在200kHz至600kHz之间设置，允许采用小外形元件并实现高效率。VDDQ输出电压可预设为1.8V或1.5V，或通过外部电阻分压器在1.0V至2.5V间调节。在整个电源和负载工作范围内保证1%的输出电压精度。

MAX17000提供±2A源出/吸入LDO稳压器，用于产生存储器端接VTT电压。VTT稳压器在源出或吸入时的死区范围为±5mV，非常适合存储器端接应用中的负载突变场合。该功能也降低了对输出电容的要求。

VTTR基准缓冲器可源出和吸收±3mA电流，为存储控制器和存储器总线设备提供所需的基准电压。

MAX17000采用24引脚、4mm x 4mm薄型TQFN封装。

应用

笔记本电脑
DDR、DDR2和DDR3存储器电源
SSTL存储器供电

特性

- ◆ SMPS稳压器(VDDQ)
 - Quick-PWM具有100ns负载阶跃响应
 - 输出电压可预设为1.8V、1.5V，或在1.0V至2.5V之间调节
 - 在整个电源和负载工作范围内保证1%的 V_{OUT} 精度
 - 最大输入电压额定值26V
 - 精确的谷电流限制保护
 - 200kHz至600kHz开关频率
- ◆ 可源出/吸收电流的线性稳压器(VTT)
 - ±2A源出/吸入电流峰值
 - 对输出电容要求较低
 - 输出电压预设为VDDQ/2或通过REFIN在0.5V至1.5V之间调节
- ◆ 待机状态下具有低静态电流
- ◆ 软启动/软关断
- ◆ SMPS电源就绪窗口比较器
- ◆ VTT电源就绪窗口比较器
- ◆ 可选择过压保护
- ◆ 欠压/热保护
- ◆ ±3mA基准缓冲器(VTTR)

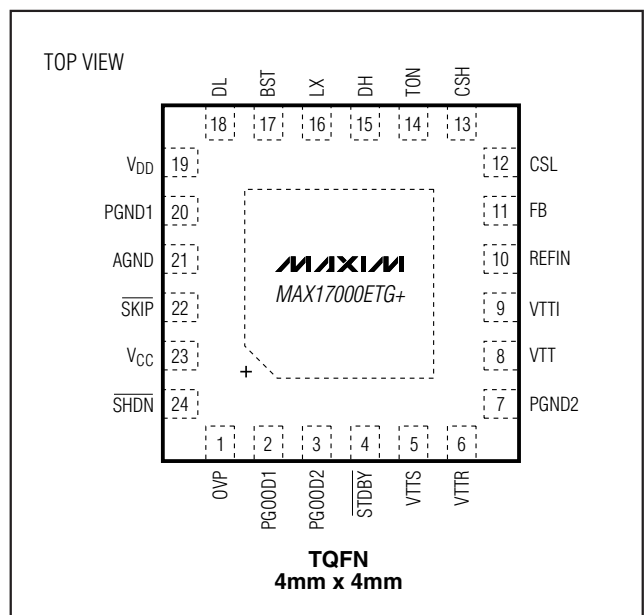
订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX17000ETG+	-40°C to +85°C	24 TQFN-EP*

+表示无铅(Pb)/符合RoHS标准的封装。

*EP = 裸焊盘。

引脚配置



Quick-PWM是Maxim Integrated Products, Inc.的商标。

完备的DDR2和DDR3 电源管理方案

MAX17000

ABSOLUTE MAXIMUM RATINGS

TON to PGND1	-0.3V to +28V	VTTI to PGND2	-0.3V to +6V
VDD to PGND1	-0.3V to +6V	VTT to PGND2	-0.3V to (V _{TTI} + 0.3V)
VCC to VDD	-0.3V to +0.3V	VTTs to AGND	-0.3V to (V _{CC} + 0.3V)
OVP to AGND	-0.3V to +6V	VTRR to AGND	-0.3V to (V _{CSL} + 0.3V)
SHDN, STDBY, SKIP to AGND	-0.3V to +6V	PGND1, PGND2 to AGND	-0.3V to +0.3V
REFIN, FB, PGOOD1,		Continuous Power Dissipation (T _A = +70°C)	
PGOOD2 to AGND	-0.3V to (V _{CC} + 0.3V)	24-Pin, 4mm x 4mm TQFN-EP	
CSH, CSL to AGND	-0.3V to (V _{CC} + 0.3V)	(derated 27.8mW/°C above +70°C)	2222mW
DL to PGND1	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Range	-40°C to +85°C
BST to PGND1	-1V to +34V	Junction Temperature	+150°C
BST to LX	-0.3V to +6V	Storage Temperature Range	-65°C to +150°C
DH to LX	-0.3V to (V _{BST} + 0.3V)	Lead Temperature (soldering, 10s)	+300°C
BST to VDD	-0.3V to +26V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = 12V, V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V, V_{CSL} = 1.8V, STDBY = SKIP = AGND, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PWM CONTROLLER							
Input Voltage Range	V _{IN}		3		26	V	
	V _{CC} , V _{DD}		4.5		5.5		
Output Voltage Accuracy	V _{CSL}	V _{IN} = 4.5V to 26V, SKIP = V _{CC}	FB = AGND	1.485	1.500	1.515	V
			FB = V _{CC}	1.782	1.800	1.818	
			FB = Adj	0.99	1.000	1.01	
Output Voltage Range	V _{CSL}		1		2.7	V	
Load Regulation Error		V _{CSH} - V _{CSL} = 0 to 18mV, SKIP = V _{CC}		0.1		%	
Line Regulation Error		V _{DD} = 4.5V to 5.5V, V _{IN} = 4.5V to 26V		0.25		%	
Soft-Start Ramp Time	t _{SSTART}	Rising edge of SHDN		1.4	2.1	ms	
Soft-Stop Ramp Time	t _{SSTOP}	Falling edge of SHDN		2.8		ms	
Soft-Stop Threshold				25		mV	
On-Time Accuracy (Note 2)	t _{ON}	V _{IN} = 12V, V _{CSL} = 1.2V	R _{TON} = 96.75kΩ (600kHz), 167ns nominal	-15		+15	%
			R _{TON} = 200kΩ (300kHz), 333ns nominal	-10		+10	
			R _{TON} = 303.25kΩ (200kHz), 500ns nominal	-15		+15	

完备的DDR2和DDR3 电源管理方案

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = \overline{V_{SHDN}} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Minimum Off-Time	$t_{OFF(MIN)}$	(Note 2)		250	350	ns	
Quiescent Supply Current (V_{DD})	I_{DD}	FB forced above 1.0V, $\overline{STDBY} = AGND$ or V_{CC} , $T_A = +25^{\circ}C$		0.01	1.00	μA	
Quiescent Supply Current (V_{CC})	I_{CC}	FB forced above 1.0V (SMPS, VTT, and VTTR blocks); $\overline{STDBY} = V_{CC}$		2	4	mA	
		FB forced above 1.0V (ultra-skip and VTTR blocks); $\overline{STDBY} = AGND$		275	475	μA	
Shutdown Supply Current ($V_{DD} + V_{CC}$)	$I_{CC} + I_{DD}$	$\overline{SHDN} = AGND$, $T_A = +25^{\circ}C$		0.01	5	μA	
TON Pin Shutdown Current	I_{TON}	$\overline{SHDN} = AGND$, $V_{IN} = 26V$, $V_{DD} = 0$ or $5V$, $T_A = +25^{\circ}C$		0.01	1.00	μA	
LINEAR REGULATOR (VTT)							
VTTI Input Voltage Range	V_{TTI}		1.0		2.8	V	
VTTI Supply Current	I_{VTTI}	$V_{VTTI} = 2.5V$, $V_{REFIN} = 1.4V$		10	50	μA	
VTTI Shutdown Current		$\overline{SHDN} = AGND$, $T_A = +25^{\circ}C$			10	μA	
REFIN Input Bias Current		$V_{VTTI} = 2.5V$, $V_{REFIN} = 1.4V$	-50		+50	nA	
REFIN Range	V_{REFIN}		0.5		1.5	V	
REFIN Disable Threshold			$V_{CC} - 0.3$			V	
VTT Internal MOSFET		High-side on-resistance (source, $I_{VTT} = 0.1A$)		0.12	0.25	Ω	
		Low-side on-resistance (sink, $I_{VTT} = 0.1A$)		0.18	0.36		
VTT Output-Accuracy Source Load		$(V_{REFIN} - 5mV)$ or $(V_{CSL}/2 - 5mV)$ to V_{TTS} , $V_{TT} = V_{TTS}$	$V_{REFIN} = 1V$, $I_{VTT} = +50\mu A$	-5		+5	mV
			$V_{REFIN} = 0.5V$ to $1.5V$, $I_{VTT} = +300mA$		-5		
VTT Output-Accuracy Sink Load		$(V_{REFIN} + 5mV)$ or $(V_{CSL}/2 + 5mV)$ to V_{TTS} , $V_{TT} = V_{TTS}$	$V_{REFIN} = 1V$, $I_{VTT} = -50\mu A$	-5		+5	mV
			$V_{REFIN} = 0.5V$ to $1.5V$, $I_{VTT} = -300mA$		+5		
VTT Load Regulation		$-50\mu A$ to $-1A \leq I_{VTT} \leq +50\mu A$ to $+1A$		13	17	mV/A	
VTT Line Regulation		$1.0V \leq V_{TTI} \leq 2.8V$, $I_{VTT} = \pm 100mA$		1		mV	
VTT Current Limit		Source		2		4	A
		Sink		-4		-2	
VTT Current-Limit Soft-Start Time		With respect to internal VTT_EN signal		160		μs	
VTT Discharge MOSFET		OVP = V_{CC}		16		Ω	
VTT Input Current		$T_A = +25^{\circ}C$		0.1	1.0	μA	

完备的DDR2和DDR3 电源管理方案

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE BUFFER (VTTR)						
VTTR Output Accuracy (Adj)		REFIN to VTTR	$I_{VT} = \pm 1mA$	-10	+10	mV
			$I_{VT} = \pm 3mA$	-20	+20	
VTTR Output Accuracy (Preset)		$V_{CSL}/2$ to VTTR	$I_{VT} = \pm 1mA$	-10	+10	
			$I_{VT} = \pm 3mA$	-20	+20	
VTTR Maximum Recommended Current		Source/sink		5		mA
FAULT DETECTION (SMPS)						
SMPS OVP and PGOOD1 Upper Trip Threshold			12	15	18	%
SMPS OVP and PGOOD1 Upper Trip Threshold Fault-Propagation Delay	t_{OVP}	FB forced 25mV above trip threshold		10		μs
SMPS Output Undervoltage Fault-Propagation Delay	t_{UVP}			200		μs
SMPS PGOOD1 Lower Trip Threshold		Measured at FB, hysteresis = 25mV	-12	-15	-18	%
PGOOD1 Lower Trip Threshold Propagation Delay	t_{PGOOD1}	FB forced 50mV below PGOOD1 trip threshold		10		μs
PGOOD1 Output Low Voltage		$I_{SINK} = 3mA$			0.4	V
PGOOD1 Leakage Current	I_{PGOOD1}	FB = 1V (PGOOD1 high impedance), PGOOD1 forced to 5V, $T_A = +25^{\circ}C$			1	μA
TON POR Threshold	$V_{POR(IN)}$	Rising edge, PWM disabled below this level; hysteresis = 200mV		3.0		V
FAULT DETECTION (VTT)						
PGOOD2 Upper Trip Threshold		Hysteresis = 25mV	8	10	13	%
PGOOD2 Lower Trip Threshold		Hysteresis = 25mV	-13	-10	-8	%
PGOOD2 Propagation Delay	t_{PGOOD2}	VTTs forced 50mV beyond PGOOD2 trip threshold		10		μs
PGOOD2 Fault Latch Delay		VTTs forced 50mV beyond PGOOD2 trip threshold		5		ms
PGOOD2 Output Low Voltage		$I_{SINK} = 3mA$			0.4	V
PGOOD2 Leakage Current	I_{PGOOD2}	VTTs = V_{REFIN} (PGOOD2 high impedance), PGOOD2 forced to 5V, $T_A = +25^{\circ}C$			1	μA
FAULT DETECTION						
Thermal-Shutdown Threshold	T_{SHDN}	Hysteresis = 15 $^{\circ}C$		160		$^{\circ}C$
V_{CC} Undervoltage Lockout Threshold	$V_{UVLO(VCC)}$	Rising edge, IC disabled below this level; hysteresis = 200mV	3.8	4.1	4.4	V
CSL Discharge MOSFET		OVP = V_{CC}		16		Ω

完备的DDR2和DDR3 电源管理方案

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{\overline{SHDN}} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CURRENT LIMIT						
Valley Current-Limit Threshold	V_{LIMIT}	$V_{CSH} - V_{CSL}$	17	20	25	mV
Current-Limit Threshold (Negative)	V_{NEG}	$V_{CSH} - V_{CSL}$, $\overline{SKIP} = V_{CC}$		-23		mV
Current-Limit Threshold (Zero Crossing)	V_{ZX}	$V_{CSH} - V_{CSL}$		1		mV
SMPS GATE DRIVERS						
DH Gate Driver On-Resistance	R_{DH}	BST - LX forced to 5V		1.5	5.0	Ω
DL Gate Driver On-Resistance	R_{DL}	DL high		1.5	5.0	Ω
		DL low		0.6	3.0	
DH Gate Driver Source/Sink Current	I_{DH}	DH forced to 2.5V, BST - LX forced to 5V		1		A
DL Gate Driver Source/Sink Current	$I_{DL(SRC)}$	DL forced to 2.5V		1		A
	$I_{DL(SNK)}$	DL forced to 2.5V		3		
Dead Time	t_{DEAD}	DL rising, $T_A = +25^{\circ}C$	10	25		ns
		DL falling, $T_A = +25^{\circ}C$	15	35		
Internal BST Switch On-Resistance	R_{BST}	$I_{BST} = 10mA$, $V_{DD} = 5V$ internal design target		4.5		Ω
LX, BST Leakage Current		$V_{BST} = V_{LX} = 26V$, $\overline{SHDN} = AGND$, $T_A = +25^{\circ}C$		0.001	20	μA
INPUTS AND OUTPUTS						
Logic Input Threshold		\overline{SHDN} , \overline{STDBY} , \overline{SKIP} , OVP, rising edge hysteresis = 300mV/600mV (min/max)	1.30	1.65	2.00	V
Logic Input Current		$\overline{SKIP} = AGND$ or V_{CC} ,	-1		+1	μA
Input Leakage Current		$V_{CSH} = 0V$ or V_{CC} , $T_A = +25^{\circ}C$	-1		+1	μA
Input Bias Current		$V_{CSL} = 0V$ or V_{CC}		55	100	μA

完备的DDR2和DDR3 电源管理方案

MAX17000

ELECTRICAL CHARACTERISTICS

($V_{IN} = 12V$, $V_{CC} = V_{DD} = \overline{V_{SHDN}} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
PWM CONTROLLER						
Input Voltage Range	V_{IN}		3	26	V	
	V_{CC}, V_{DD}		4.5	5.5		
Output Voltage Accuracy	V_{CSL}	$V_{IN} = 4.5V$ to $26V$, $\overline{SKIP} = V_{CC}$	FB = AGND	1.485	1.520	V
			FB = V_{CC}	1.782	1.820	
			FB = Adj	0.990	1.020	
On-Time Accuracy (Note 2)	t_{ON}	$V_{IN} = 12V$, $V_{CSL} = 1.2V$	$R_{TON} = 96.75k\Omega$ (600kHz), 167ns nominal	-15	+15	%
			$R_{TON} = 200k\Omega$ (300kHz), 333ns nominal	-10	+10	
			$R_{TON} = 303.25k\Omega$ (200kHz), 500ns nominal	-15	+15	
Minimum Off-Time	$t_{OFF(MIN)}$	(Note 2)		350	ns	
Quiescent Supply Current (V_{CC})	I_{CC}	FB forced above 1.0V (PWM, VTT, and VTTTR blocks); $\overline{STDBY} = V_{CC}$		4	mA	
		FB forced above 1.0V (ultra-skip and VTTTR blocks); $\overline{STDBY} = AGND$		475	μA	
LINEAR REGULATOR (VTT)						
VTTI Input Voltage Range	V_{VTTI}		1.0	2.8	V	
VTTI Supply Current	I_{VTTI}	$V_{VTTI} = 2.5V$, $V_{REFIN} = 1.4V$		50	μA	
REFIN Range	V_{REFIN}		0.5	1.5	V	
REFIN Disable Threshold			$V_{CC} - 0.3$		V	
VTT Internal MOSFET		High-side on-resistance (source, $I_{VTT} = 0.1A$)		0.25	Ω	
		Low-side on-resistance (sink, $I_{VTT} = 0.1A$)		0.36		
VTT Load Regulation		$-50\mu A$ to $-1A \leq I_{VTT} \leq +50\mu A$ to $+1A$		17	mV/A	

完备的DDR2和DDR3 电源管理方案

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
REFERENCE BUFFER (VTTR)						
VTTR Output Accuracy (Adj)		REFIN to VTTR	$I_{VTT} = \pm 1mA$	-10	+10	mV
			$I_{VTT} = \pm 3mA$	-20	+20	
VTTR Output Accuracy (Preset)		$V_{CSL}/2$ to VTTR	$I_{VTT} = \pm 1mA$	-10	+10	mV
			$I_{VTT} = \pm 3mA$	-20	+20	
FAULT DETECTION (SMPS)						
PGOOD1 Output Low Voltage		$I_{SINK} = 3mA$		0.4	V	
FAULT DETECTION (VTT)						
PGOOD2 Output Low Voltage		$I_{SINK} = 3mA$		0.4	V	
FAULT DETECTION						
V_{CC} Undervoltage-Lockout Threshold	$V_{UVLO(VCC)}$	Rising edge, IC disabled below this level; hysteresis = 200mV	4.0	4.4	V	
CURRENT LIMIT						
Valley Current-Limit Threshold	V_{LIMIT}	$V_{CSH} - V_{CSL}$	15	25	mV	
SMPS GATE DRIVERS						
DH Gate Driver On-Resistance	R_{DH}	BST - LX forced to 5V		5	Ω	
DL Gate Driver On-Resistance	R_{DL}	DL high		5	Ω	
		DL low		3		
Dead Time	t_{DEAD}	DL rising	10		ns	
		DL falling	15			
INPUTS AND OUTPUTS						
Logic Input Threshold		\overline{SHDN} , \overline{STDBY} , \overline{SKIP} , OVP, rising edge hysteresis = 300mV/600mV (min/max)	1.3	2	V	

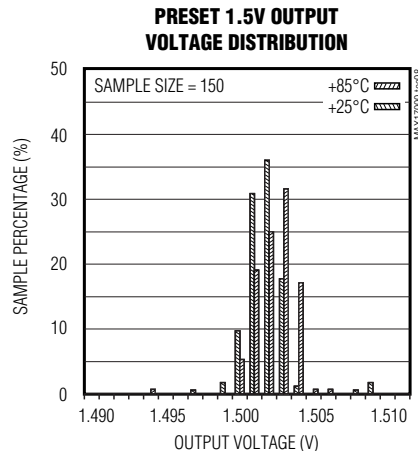
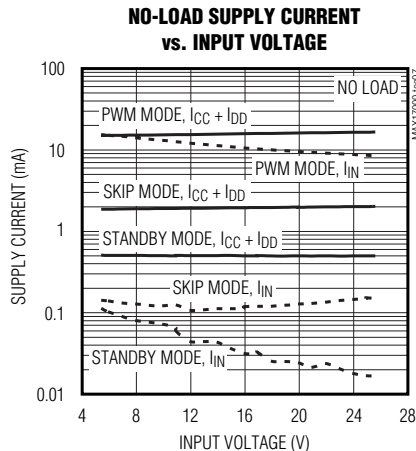
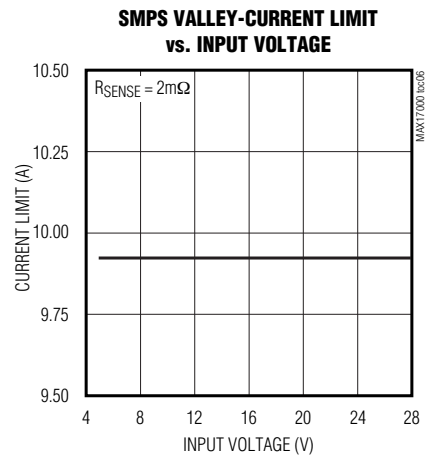
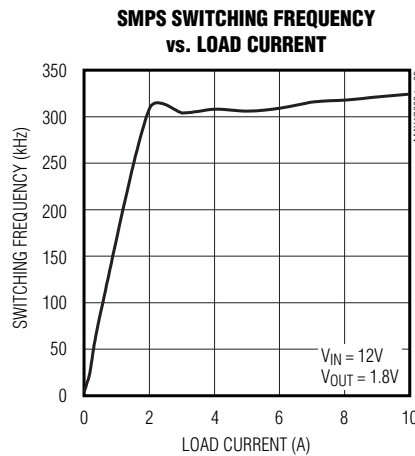
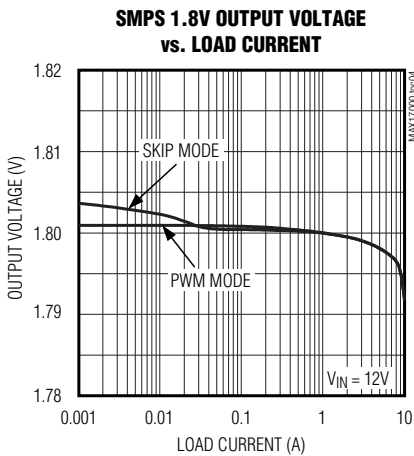
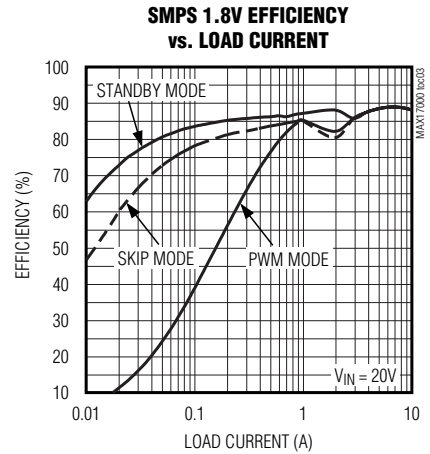
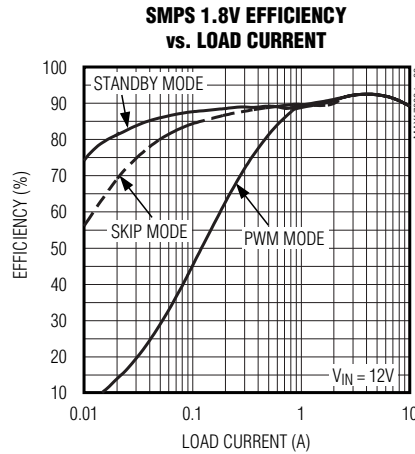
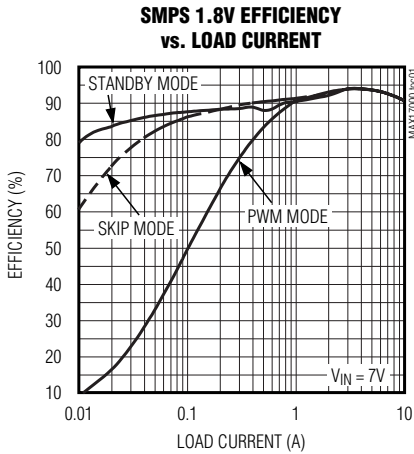
Note 1: Limits are 100% production tested at $T_A = +25^{\circ}C$. Maximum and minimum limits over temperature are guaranteed by design and characterization.

Note 2: On-time and off-time specifications are measured from 50% point at the DH pin with LX = GND, $V_{BST} = 5V$, and a 250pF capacitor connected from DH to LX. Actual in-circuit times might differ due to MOSFET switching speeds.

完备的DDR2和DDR3 电源管理方案

典型工作特性

(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)



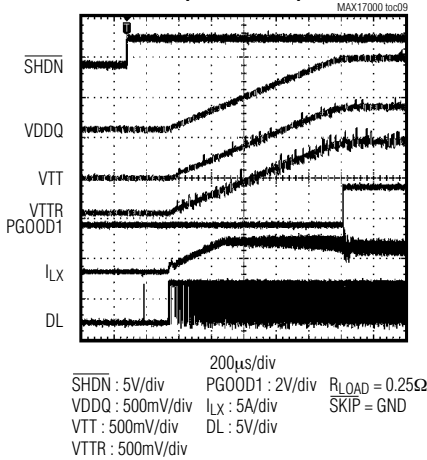
完备的DDR2和DDR3 电源管理方案

典型工作特性(续)

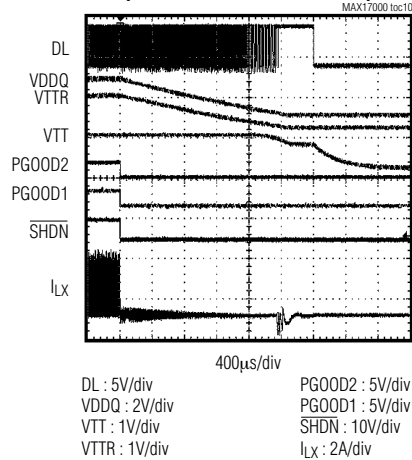
(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX17000

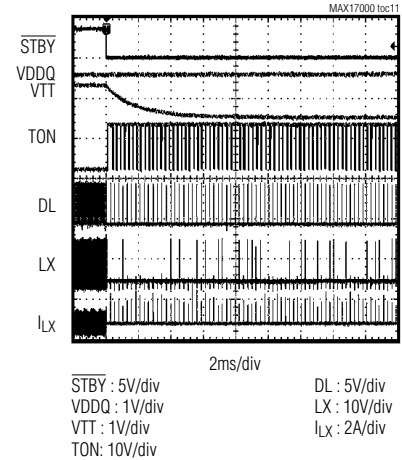
**STARTUP WAVEFORM
(HEAVY LOAD)**



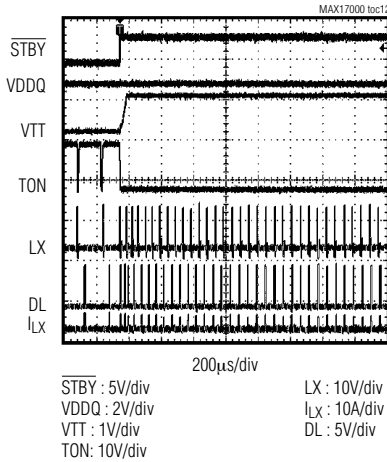
**SHUTDOWN WAVEFORM
(DISCHARGE MODE ENABLED)**



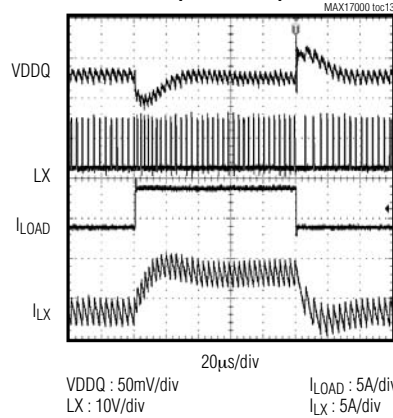
STANDBY TRANSITION WAVEFORM



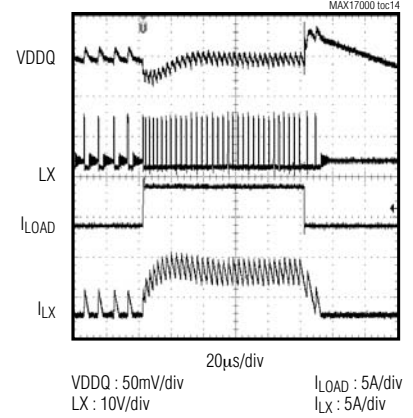
STANDBY TRANSITION WAVEFORM



**SMPS LOAD-TRANSIENT RESPONSE
(SKIP MODE)**



**SMPS LOAD-TRANSIENT RESPONSE
(SKIP MODE)**

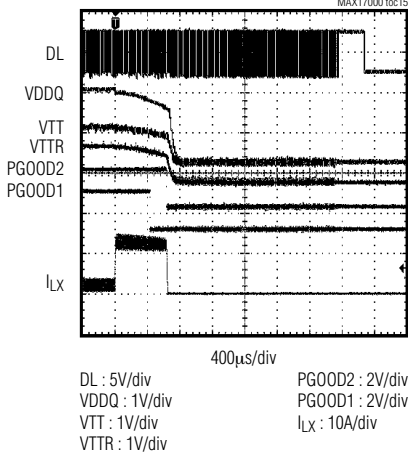


完备的DDR2和DDR3 电源管理方案

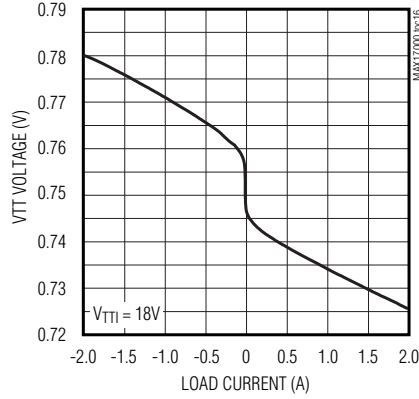
典型工作特性(续)

(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $SKIP = GND$, $T_A = +25^\circ C$, unless otherwise noted.)

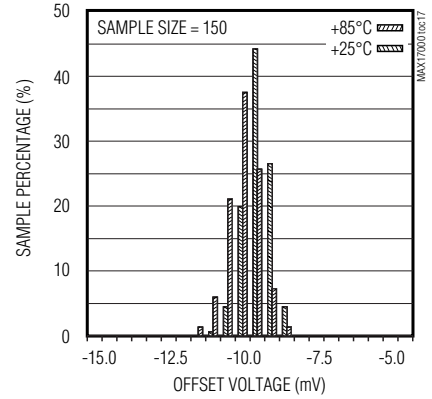
OUTPUT OVERLOAD WAVEFORM



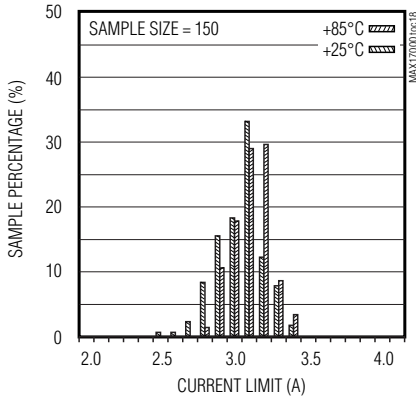
VTT VOLTAGE vs. SOURCE/SINK LOAD CURRENT



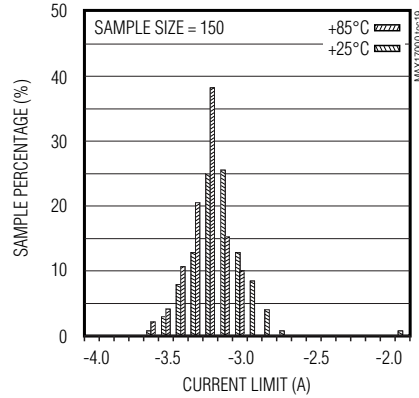
VTT OFFSET VOLTAGE DISTRIBUTION AT 300mA LOAD



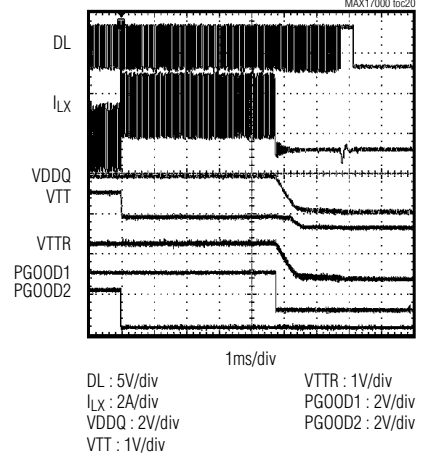
VTT SOURCE CURRENT LIMIT



VTT SINK CURRENT LIMIT



VTT OVERLOAD FAULT WAVEFORMS (5ms TIMER)



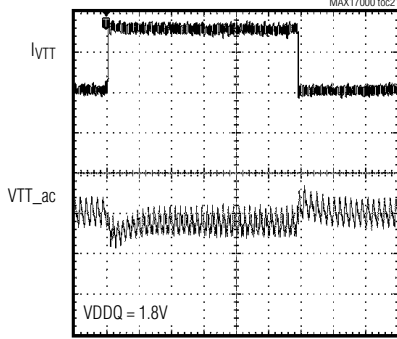
完备的DDR2和DDR3 电源管理方案

典型工作特性(续)

(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)

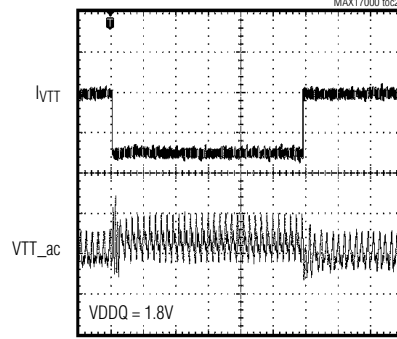
MAX17000

VTT LOAD-TRANSIENT RESPONSE (SOURCE)
 I_{VTT} BETWEEN 10mA AND 1.5A



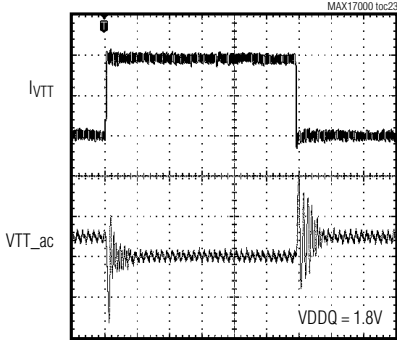
I_{VTT} : 1A/div
VTT: 20mV/div

VTT LOAD-TRANSIENT RESPONSE (SINK)



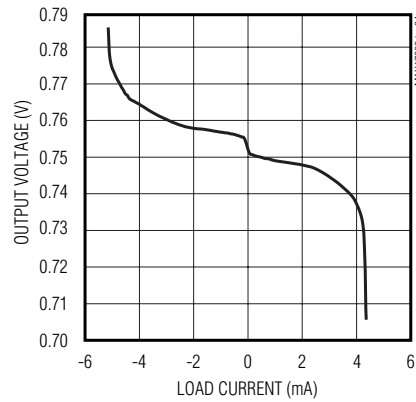
I_{VTT} : 1A/div
VTT: 20mV/div

VTT LOAD-TRANSIENT RESPONSE (SOURCE/SINK)



I_{VTT} : 1A/div
VTT: 20mV/div

VTRR OUTPUT VOLTAGE vs. LOAD CURRENT



完备的DDR2和DDR3 电源管理方案

MAX17000

引脚说明

引脚	名称	功能
1	OVP	OVP模式控制。该输入可选择使能/禁止SMPS OV保护功能以及输出放电模式。当使能时，SMPS OV保护功能被使能。连接OVP至以下电压从而获得对应的功能： 高电平(> 2.4V) = 使能SMPS OV保护，以及SMPS和VTT对FET放电。 低电平(AGND) = 禁止SMPS OV保护，以及SMPS和VTT对FET放电。
2	PGOOD1	漏极开路电源就绪输出。在软启动和关断期间，当SMPS输出电压比标称稳压值高出15% (典型值)时，PGOOD1为低电平。 软启动电路被终止后，如果SMPS输出电压达到稳压值，则PGOOD1变为高阻态。
3	PGOOD2	漏极开路电源就绪输出。在待机、关断和软启动期间，当VTT输出电压比标称稳压值高出10% (典型值)时，PGOOD2为低电平。 SMPS软启动电路被终止后，如果VTT输出电压达到稳压值，则PGOOD2变为高阻态。
4	$\overline{\text{STDBY}}$	待机控制输入。当SHDN为高电平且 $\overline{\text{STDBY}}$ 为低电平时，MAX17000进入低静态电流模式，使得SMPS进入高效率的跳脉冲工作模式，并关断VTT输出(高阻态)。该模式在计算机待机过程中有助于节省转换器功耗。 当 $\overline{\text{STDBY}}$ 为高电平时，继续SMPS正常工作模式，并且使能VTT输出。
5	VTTS	终端电源输出检测引脚。通常连接至VTT引脚，以将电压精确调节至 $V_{\text{CSL}}/2$ 或REFIN电压。
6	VTTR	终端基准缓冲输出。当REFIN连接至 V_{CC} 引脚时，VTTR跟踪 $V_{\text{CSL}}/2$ 。当REFIN连接至0.5V至1.5V电压时，VTTR跟踪 V_{REFIN} 。采用一只0.33 μF 的陶瓷电容将VTTR去耦至AGND。
7	PGND2	VTT功率地。从外部将PGND2接至底部裸焊盘。
8	VTT	终端电源输出。VTT连接至VTTS可将VTT电压调节至VTTS稳定电压。
9	VTTI	终端电源输入。VTTI是VTT线性稳压器的输入电源。在DDR应用中通常连接至SMPS稳压器的输出。
10	REFIN	外部基准输入。REFIN用来设置MAX17000的反馈调节电压($V_{\text{VTTR}} = V_{\text{VTTS}} = V_{\text{REFIN}}$)。 连接REFIN至 V_{CC} 时，使用内部 $V_{\text{CSL}}/2$ 分压器。 连接到0.5V至1.5V电压输入时，设置VTT、VTTS和VTTR的可调输出。
11	FB	SMPS输出的反馈输入。连接至 V_{CC} 时，实现+1.8V的固定输出；连接至AGND时，实现+1.5V的固定输出。对于可调的输出(1.0V至2.7V)，在FB和输出电压之间连接电阻分压器。FB稳压至+1.0V。
12	CSL	PWM输出电流检测的负端输入以及VTTR的电源输入。连接CSL至输出检流电阻的负端，或者在采用输出电感的直流阻抗进行电流检测时，将其连接至滤波电容。 当OVP使能时出现 V_{CC} UVLO，CSL还用作内部16 Ω 放电MOSFET的通道。
13	CSH	PWM输出电流检测的正端输入。连接CSH至输出检流电阻的正端，或者在采用输出电感的直流阻抗进行电流检测时，将其连接至滤波电容。

完备的DDR2和DDR3 电源管理方案

引脚说明(续)

MAX17000

引脚	名称	功能
14	TON	开关频率设置输入。外部电阻连接在输入电源和该引脚之间，根据下列等式设置每相的开关频率： $T_{SW} = C_{TON} \times (R_{TON} + 6.5k\Omega)$ 其中， $C_{TON} = 16.26pF$ 。 关断时，TON处于高阻态。
15	DH	高边栅极驱动输出。在LX电压与BST电压间摆动。关断或UVLO时DH为低。
16	LX	电感连接。连接LX至电感的开关侧，如图1所示。
17	BST	自举飞电容连接端。外接一个0.1 μF 、6V电容，如图1所示。MAX17000包含一个内部自举开关。
18	DL	同步整流器栅极驱动输出。在PGND1和V _{DD} 之间摆动。
19	V _{DD}	DL栅极驱动电源输入以及3.3V基准/模拟电源。连接至系统电源(+4.5V至+5.5V)。采用一只1 μF 或更大的陶瓷电容旁路V _{DD} 至功率地。
20	PGND1	功率地。低边MOSFET栅极驱动器的接地端。
21	AGND	模拟地。将AGND连接至背部裸焊盘。
22	\overline{SKIP}	跳脉冲控制输入。该输入决定正常稳定条件下及动态输出电压转换时的工作模式： 高电平(> 2.4V) = 强制PWM工作模式 低电平(AGND) = 跳脉冲模式
23	V _{CC}	控制器电源电压。连接至4.5V至5.5V电源。采用一只1 μF 或更大的陶瓷电容旁路V _{CC} 至AGND。
24	\overline{SHDN}	关断控制输入。正常工作时连接至V _{CC} 。当 \overline{SHDN} 拉低时，MAX17000的输出电压将缓慢降至地电位。当内部目标电压达到25mV时，控制器强制拉低DL，并进入低电流(1 μA)关断状态。 当通过OVP (OVP = 高电平)使能放电模式时，CSL和VTT内部16 Ω 放电MOSFET在关断模式中被使能。 当通过OVP (OVP = 低电平)禁止放电模式时，LX、VTT和VTTR在关断模式中处于高阻态。 \overline{SHDN} 上的上升沿清除OV故障保护锁存。
—	EP	裸焊盘。将背部裸焊盘连接至AGND。

完备的DDR2和DDR3 电源管理方案

标准应用电路

MAX17000标准应用电路(图1)提供了VDDQ、VTT以及VTTR输出电压，用于笔记本电脑中的DDR、DDR2或DDR3供电。

表1给出了元件选择。表2列出了元件供应商。表3给出了工作模式真值表。

表1. 标准应用电路的元件选择

COMPONENT	V _{OUT} = 1.5V TO 1.8V AT 10A	V _{OUT} = 1.5V TO 1.8V AT 6A
	V _{IN} = 7V TO 20V (300kHz)	V _{IN} = 7V TO 16V (500kHz)
Input Capacitor	(2x) 10μF, 25V Taiyo Yuden TMK432BJ106KM	10μF, 25V Taiyo Yuden TMK432BJ106KM
Output Capacitor	(2x) 330μF, 2.5V, 12m (C2 case) SANYO 2R5TPE330MCC2	(2x) 220μF, 2.5V, 21m (B2 case) SANYO 2R5TPE220MLB
Inductor	1.4μH, 12A, 3.4mΩ (typ) Sumida CDEP105(L)NP-1R4	1.4μH, 12A, 3.4mΩ (typ) Sumida CDEP105(L)NP-1R4
Current-Sensing Resistor	2mΩ, 0.5W (2010) Vishay WSL20102L000FEA	3mΩ, 0.5W (2010) Vishay WSL20103L000FEA
MOSFETs	30V, 20A n-channel MOSFET (high side) Fairchild FDMS8690; 30V, 40A n-channel MOSFET (low side) Fairchild FDMS8660S	30V 20A n-channel MOSFET (high side) Fairchild FDMS8690; 30V 40A n-channel MOSFET (low side) Fairchild FDMS8660S

表2. 元件供应商

SUPPLIER	PHONE	WEBSITE
INDUCTORS		
Dale (Vishay)	402-563-6866 (USA)	www.vishay.com
NEC/TOKIN America, Inc.	510-324-4110 (USA)	www.nec-tokinamerica.com
Panasonic Corp.	65-231-3226 (Singapore), 408-749-9714 (USA)	www.panasonic.com
Sumida Corp.	408-982-9660 (USA)	www.sumida.com
TOKO America, Inc.	858-675-8013 (USA)	www.tokoam.com
CAPACITORS		
AVX Corp.	843-448-9411 (USA)	www.avxcorp.com
KEMET Corp.	408-986-0424 (USA)	www.kemet.com
Panasonic Corp.	65-231-3226 (Singapore), 408-749-9714 (USA)	www.panasonic.com
SANYO Electric Co., Ltd.	81-72-870-6310 (Japan), 619-661-6835 (USA)	www.sanyodevice.com
Taiyo Yuden	03-3667-3408 (Japan), 408-573-4150 (USA)	www.t-yuden.com
TDK Corp.	847-803-6100 (USA), 81-3-5201-7241 (Japan)	www.component.tdk.com
SENSING RESISTORS		
Vishay	402-563-6866 (USA)	www.vishay.com
MOSFET		
Fairchild Semiconductor	800-341-0392 (USA)	www.fairchildsemi.com
DIODES		
Central Semiconductor Corp.	631-435-1110	www.centalsemi.com
Nihon Inter Electronics Corp.	81-3-3343-84-3411 (Japan)	www.niec.co.jp

完备的DDR2和DDR3 电源管理方案

MAX17000

表3. 工作模式真值表

	SHDN	STDBY	SKIP	OPERATION
1	L → H	L → H	X	SMPS output ramps up in skip mode with a 1.4ms (typ) ramp time. PGOOD1 is held low until the SMPS output is in regulation. VTT and VTTR ramp up to the final voltage based on V _{CSL/2} or V _{REFIN} . PGOOD2 is held low until VTT is in regulation.
2	L → H	L	X	SMPS output ramps up in skip mode with a 1.4ms ramp time. PGOOD1 is held low until the SMPS output is in regulation. Once CSL or FB is in regulation, the PWM block turns off and enters standby mode. VTT remains off throughout since STDBY is low. PGOOD2 stays low throughout. The VTT discharge FET is enabled if OVP is high, but disabled if OVP is low. VTTR ramps up to the final voltage based on V _{CSL/2} or V _{REFIN} .
3	H	L → H	X	Ultra-skip and standby modes are exited and the full current capability of the MAX17000 is available. VTT ramps up after the internal SMPS block is ready. VTT ramps to the final voltage based on V _{CSL/2} or V _{REFIN} . PGOOD2 goes high when VTT is in regulation.
4	H	H	H	SMPS output is in forced-PWM mode. VTT and VTTR are enabled. PGOOD1 is high when the SMPS output is in regulation. PGOOD2 is high when VTT is in regulation.
5	H	H	L	SMPS output is in normal skip mode. VTT and VTTR are enabled. PGOOD1 is high when the SMPS output is in regulation. PGOOD2 is high when VTT is in regulation.
6	H	L	X	SMPS output is in ultra-skip mode. VTT is off and is high impedance. PGOOD2 is forced low. VTTR is active and regulates to V _{CSL/2} or V _{REFIN} .
7	H → L	H	X	Ultra-skip or skip mode is exited as the MAX17000 ramps the output down to zero. VTTR tracks V _{CSL/2} or V _{REFIN} during shutdown. After the SMPS output reaches 25mV, DL goes low.
8	H → L	L	X	Ultra-skip or skip mode is exited as the MAX17000 ramps the output down to zero. VTTR tracks V _{CSL/2} or V _{REFIN} during shutdown. After the SMPS output reaches 25mV, DL goes low. VTT is not enabled throughout soft-shutdown.
9	L	X	X	DL low. Internal 16Ω discharge MOSFETs on CSL and VTT enabled if OVP is high, but disabled if OVP is low.

完备的DDR2和DDR3 电源管理方案

MAX17000

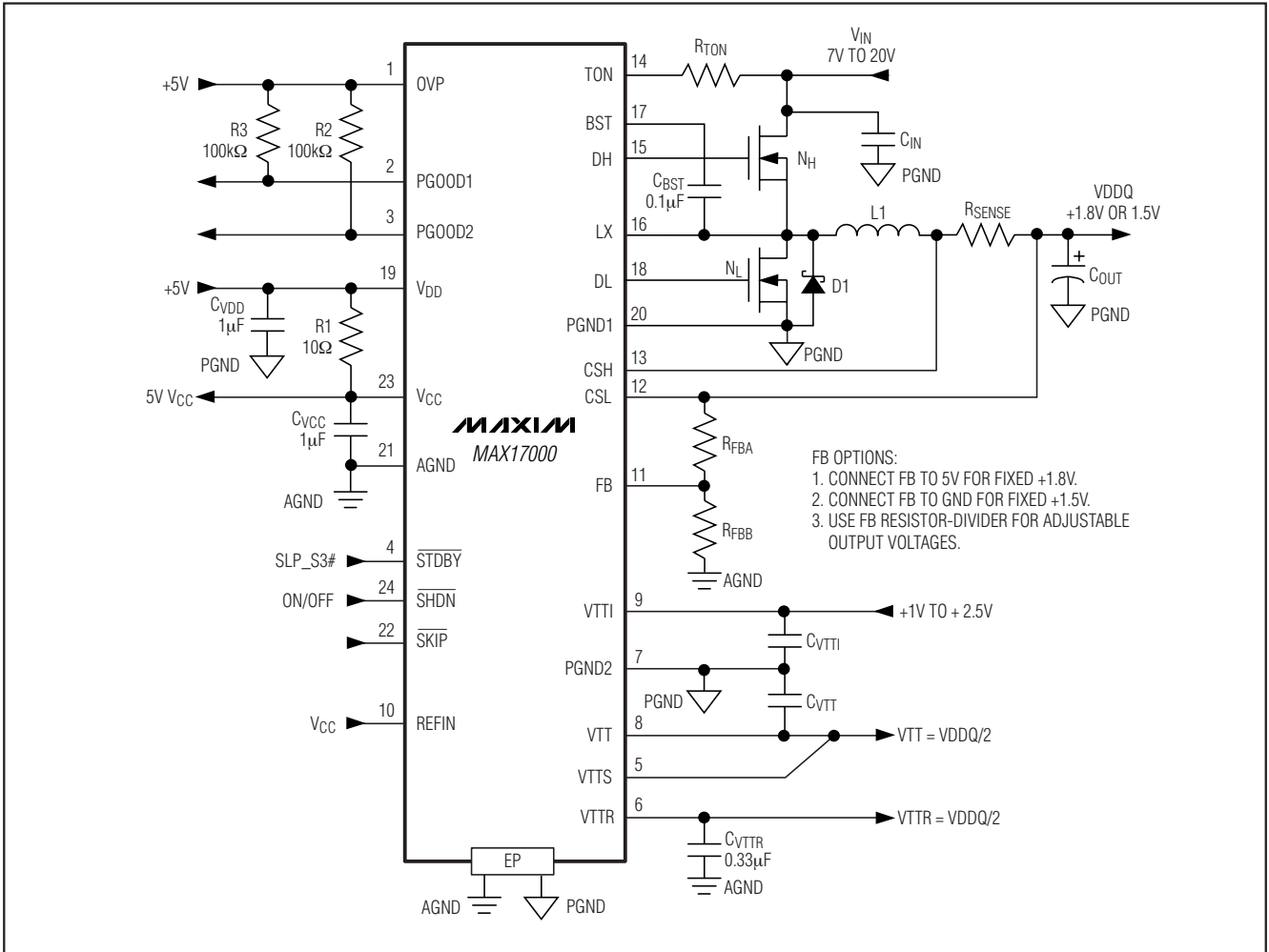


图1. MAX17000标准应用电路

详细说明

MAX17000提供完整的DDR方案，该器件集成了一路降压控制器、一路可源出/吸收电流的LDO稳压器以及一路基准缓冲器。MAX17000采用Maxim专有的Quick-PWM脉宽调制器，这种控制架构非常适合处理快速负载阶跃响应，并在很宽的输入电压范围内保持相对固定的工作频率和电感工作点。Quick-PWM结构巧妙解决了固定频率电流模式PWM架构具有较差负载瞬态响应的问题，同时避免了传统固定导通和固定关断时间PWM结构中开关频率变化范围较大的问题。图1为MAX17000标准应用电路，图2为MAX17000功能框图。

MAX17000包含±2A源出/吸入LDO稳压器，用于产生存储器端供电。源出-吸入稳压器具有源出/吸入死区，在吸收或源出电流时，非常适合存储器端接应用中的负载突变场合。该功能使得对VTT输出电容的要求降低至1μF，尽管负载瞬态响应需要更大的在10μF至20μF之间的电容。

基准缓冲器可源出和吸收±3mA电流，为存储控制器和存储器设备提供所需的基准电压。

完备的DDR2和DDR3 电源管理方案

MAX17000

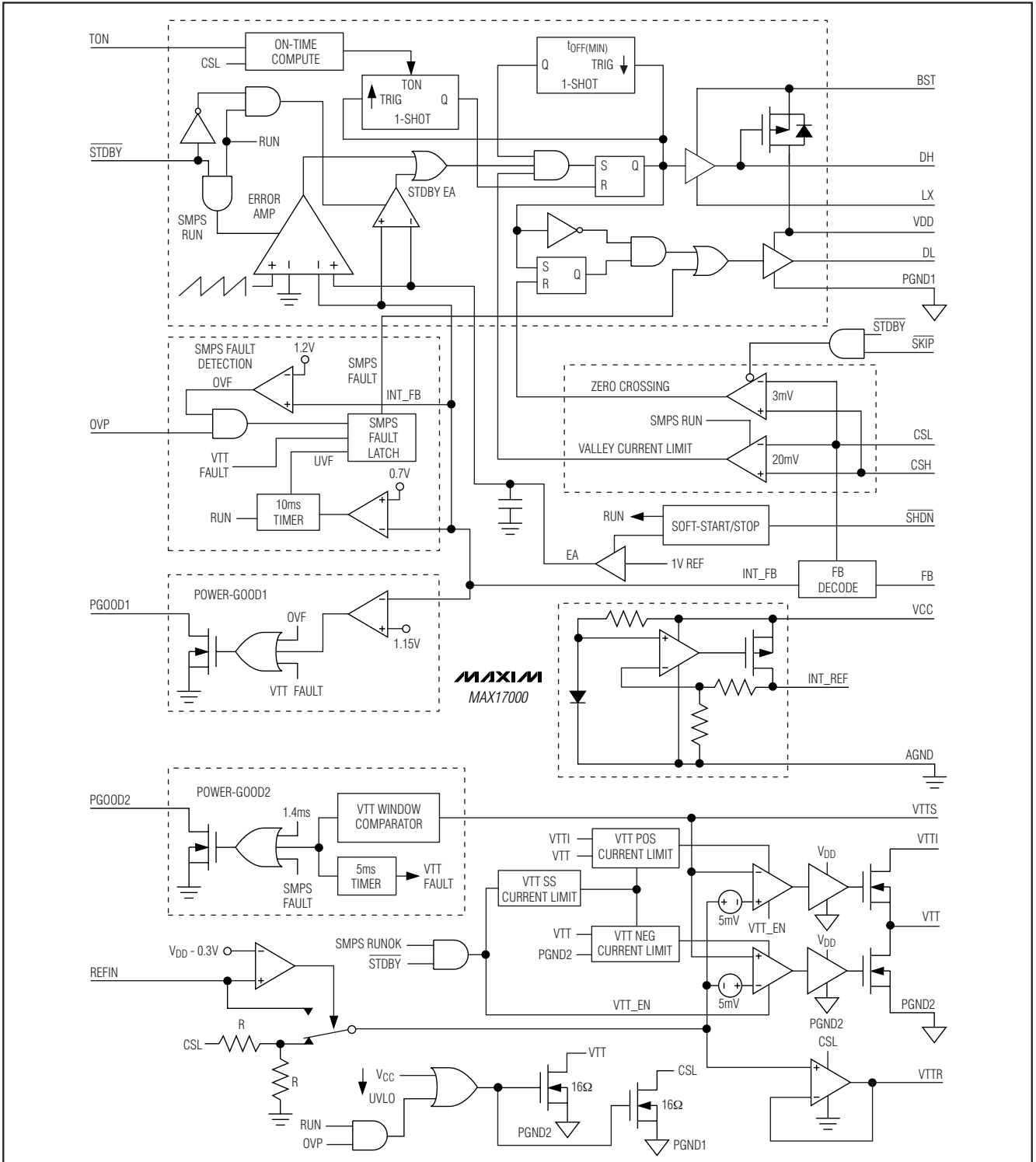


图2. MAX17000功能框图

完备的DDR2和DDR3 电源管理方案

+5V偏置电源(V_{DD} 、 V_{CC})

除了电池，MAX17000还需要一个外部5V偏置电源。通常，这个5V偏置电源取自笔记本电脑效率高达95%的5V主系统电源。将这个偏置电源放在IC外部有助于提高效率，并省去了为PWM电路和栅极驱动器供电所需的5V线性稳压器的成本。需要单独运行时，可外接一片类似MAX1615的线性稳压器，提供5V电源。

5V偏置电源为PWM控制器和内部栅极驱动器供电，最大吸收电流为：

$$I_{BIAS} = I_Q + f_{SW} Q_G(\text{MOSFET}) = 2\text{mA至}20\text{mA (典型值)}$$

其中， I_Q 是PWM控制电路的电流， f_{SW} 是开关工作频率， $Q_G(\text{MOSFET})$ 是内部MOSFET的 $V_{GS} = 5\text{V}$ 时的总栅极电荷。

自由运行、具有输入前馈的 恒导通时间PWM控制器

Quick-PWM控制结构是伪固定频率、恒导通时间、带有电压前馈的电流模式调节器。该结构采用输出电容的ESR作为检流电阻，所以输出纹波电压提供PWM斜坡信号。除了通常的Quick-PWM外，MAX17000还通过DCR或者采用检流电阻的方法来检测电感电流。此时，输出电容ESR与稳定性的关系将变得不那么重要。控制原理很简单：高边开关的导通时间仅受控于一个单稳态电路，该电路的脉冲宽度与输入电压成反比，与输出电压成正比。另一个单稳态电路设定最短关断时间(典型值为250ns)。如果误差比较器输出为低电平、低边开关电流低于谷电流门限，而且超出单稳态最短关断时间，则开启单稳态导通周期。

导通时间单稳态

PWM控制器的核心是单稳态电路，它设定了高边开关的导通时间。这种快速、低抖动、可调节的单稳态电路能够根据输入和输出电压改变导通时间。高边开关的导通时间反比于 V_{IN} 端的输入电压，而与输出电压成正比。

在输入电源和TON引脚之间连接一个电阻，用来设置每相的开关频率，参见下式：

$$t_{ON} = \frac{C_{TON} \times (R_{TON} + 6.5\text{k}\Omega) \times (V_{CSL} + 0.075\text{V})}{V_{IN}}$$

$$f_{SW} = \frac{1}{C_{TON} \times (R_{TON} + 6.5\text{k}\Omega)}$$

其中， $C_{TON} = 16.26\text{pF}$ ，0.075V为低边MOSFET上的压降的近似值。该算法在没有固定频率时钟发生器的情况下能够产生近似恒定的开关频率。

对于临界传导点以上的负载，不发生死区时间效应，实际开关频率为：

$$f_{SW} = \frac{V_{OUT} + V_{DIS}}{t_{ON} \times (V_{IN} - V_{CHG} + V_{DIS})}$$

其中， V_{DIS} 是电感放电回路中的寄生电压降总和，包括同步整流器、电感和PCB电阻上的压降； V_{CHG} 是充电回路中的总寄生压降，包括高边开关、电感以及PCB引线电阻上的压降； t_{ON} 是由MAX17000计算得到的导通时间。

自动跳脉冲模式($\overline{SKIP} = \text{AGND}$)

跳脉冲模式($\overline{SKIP} = \text{AGND}$)下，轻载时器件自动切换至PFM模式。这种转换受控于一个比较器，该比较器检测到电感电流过零时终止低边开关的导通。

直流输出精度取决于误差比较器的门限值。当电感处于连续导通模式时，MAX17000调节输出纹波的谷值，因此，实际直流输出电压比触发门限高出输出纹波电压的50%。在非连续导通模式($\overline{SKIP} = \text{AGND}$ 且 $I_{OUT} < I_{LOAD}(\text{SKIP})$)下，由于斜率补偿的影响，输出电压的直流稳态值比误差比较器的门限值高出约1.5%。实际上，内部积分器可校准大部分误差，因此只需很小的负载调节。

$\overline{STDBY} = \text{AGND}$ 时，无论 \overline{SKIP} 引脚如何设置，都将强制MAX17000进入待机模式。

完备的DDR2和DDR3 电源管理方案

无论 $\overline{\text{SKIP}}$ 和 $\overline{\text{STDBY}}$ 如何设置,在启动过程中,MAX17000总采用跳脉冲模式。软启动结束之后, $\overline{\text{SKIP}}$ 和 $\overline{\text{STDBY}}$ 控制开始生效。参见图3。

强制PWM模式($\overline{\text{SKIP}} = V_{CC}$)

低噪声强制PWM模式($\overline{\text{SKIP}} = V_{CC}$)下将禁止过零比较器,该比较器用于控制低边开关的导通时间,使低边开关的栅极驱动波形与高边开关的栅极驱动波形始终保持互补,这样,电感电流在轻载下反转, DH 保持占空比为 V_{OUT}/V_{IN} 。强制PWM模式的优点是开关频率基本保持固定。然而,强制PWM模式的代价是:空载时,5V偏置电流仍然介于2mA至20mA,具体取决于开关频率。

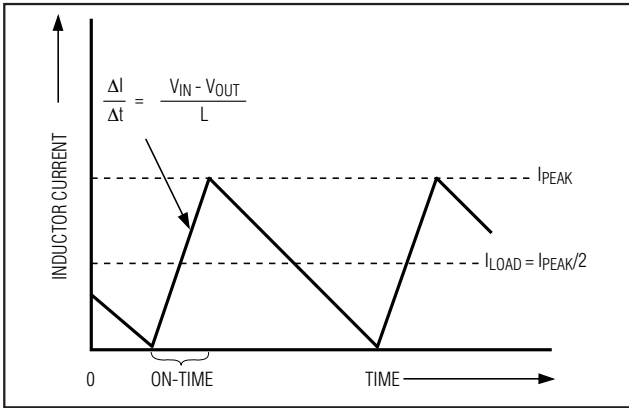


图3. 跳脉冲/非连续切换点

$\overline{\text{STDBY}} = \text{AGND}$ 时,无论 $\overline{\text{SKIP}}$ 引脚如何设置,强制MAX17000进入待机模式。

关断过程中,MAX17000切换至强制PWM模式,与 $\overline{\text{SKIP}}$ 和 $\overline{\text{STDBY}}$ 电平的状态无关。

待机模式($\overline{\text{STDBY}}$)

需要注意的是,MAX17000的待机模式受计算机系统待机工作状态影响,与MAX17000关断状态无关。

当使能待机模式($\overline{\text{STDBY}} = \text{AGND}$)时,MAX17000从内部快速PWM模块切换至低静态电流模式,采用低功耗谷电流比较器来触发单稳态脉冲。过零比较器被使能,因此MAX17000仅工作在非连续模式,最大可输出电流将降低1/6。在这种状态下系统不希望有任何快速的负载瞬变。处于待机状态时, V_{TT} 被禁止(高阻态),但 V_{TTR} 保持工作。使能待机模式时,忽略 $\overline{\text{SKIP}}$ 状态。

当禁止待机模式($\overline{\text{STDBY}} = V_{CC}$)时,MAX17000重新启动其内部快速PWM模块。一旦内部SMPS模块就绪, V_{TT} 模块被使能且 V_{TT} 输出电容开始充电。 V_{TT} 软启动限流门限在 $160\mu\text{s}$ (典型值)内线性地从零增加至其满量程门限,保持低输入 V_{TTI} 浪涌。参见图4。

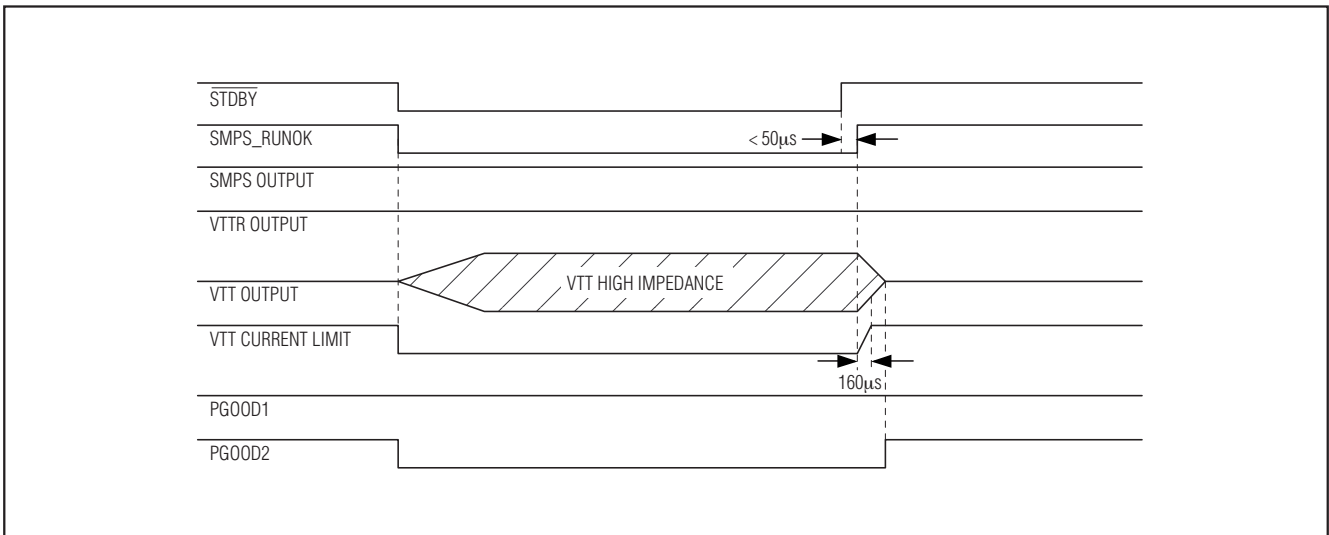


图4. MAX17000待机模式时序

完备的DDR2和DDR3 电源管理方案

谷电流限制保护

MAX17000采用与Maxim Quick-PWM控制器同样的谷电流保护。如果电流超过谷电流门限，PWM控制器将不会开启一个新的周期。实际峰值电流要比谷电流门限高出电感纹波电流的量。因此，精确的限流特性和最大带载能力是电感值和输入电压的函数。结合欠压保护电路，这种限流方法几乎在所有情况下都有效。

在强制PWM模式中，MAX17000还执行负电流限制，用于防止 V_{OUT} 吸收电流时产生过大的反向电感电流。负电流门限设置在正电流门限的大约115%。参见图5。

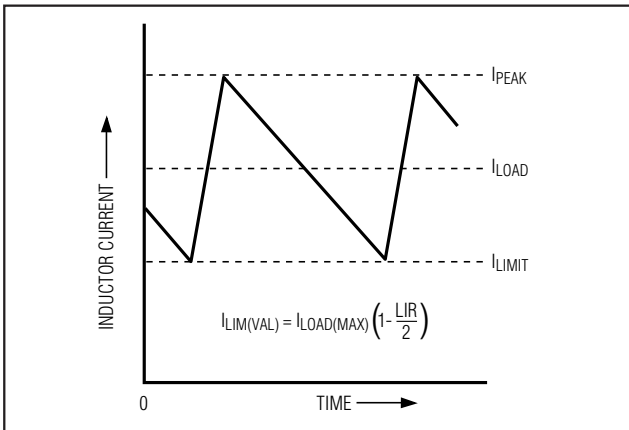


图5. 谷电流限制门限值

电源就绪输出 (PGOOD1和PGOOD2)

MAX17000具有两路电源就绪输出。PGOOD1为一个窗比较器的漏极开路输出，可连续监测SMPS输出。在关断期间以及软启动和软关断期间，PGOOD1被有源拉低。软启动结束后，当SMPS输出电压处于稳定电压的115% (典型值)和85% (典型值)之间，PGOOD1将处于高阻态。当SMPS输出电压超出115%/85%稳压窗口，MAX17000拉低PGOOD1。SMPS输出上出现任何故障时，将强制拉低PGOOD1和PGOOD2并闭锁，直到触发 \overline{SHDN} 或 V_{CC} 降至1V以下并重新上电时才清除闭锁。当检测到OVP时，不管OVP状态如何(OVP使能或禁止)都会立即拉低PGOOD1。

PGOOD2为一个窗比较器的漏极开路输出，可连续监测VTT输出。待机、关断以及软启动期间，PGOOD2被有源拉低。当VTT输出电压稳定于稳压值的 $\pm 10\%$ 以内，PGOOD2即变为高阻态。当VTT输出超出 $\pm 10\%$ 门限时，MAX17000拉低PGOOD2。如果PGOOD2保持低电平达5ms (典型值)，MAX17000按照软关断时序闭锁。

要获得逻辑电平输出，在PGOOD1和PGOOD2和 V_{DD} 之间应连接一个外部100k Ω 上拉电阻。

POR、UVLO

当 V_{CC} 上升至约2V以上时产生上电复位(POR)，复位故障锁存和软启动电路，并为控制器的工作做好准备。当使能OVP功能时，POR上的上升沿将开启CSL和VTT上的16 Ω 放电MOSFET。当禁止OVP功能时，CSL和VTT上的内部16 Ω 放电MOSFET保持关闭。

在 V_{CC} 上升至4.1V (典型值)之前， V_{CC} 欠压锁定(UVLO)电路禁止开关动作。当 V_{CC} 上升至超出4.1V时，控制器启动PWM控制器并初始化软启动。当 V_{CC} 跌落至低于UVLO门限(下降沿)时，控制器停止、DL被拉低，而且如果使能了OVP，那么CSL和VTT输出上的内部16 Ω 放电MOSFET被开启。

软启动和软关断

MAX17000 PWM模块的软启动和软关断是基于电压的。当驱动 \overline{SHDN} 至高电平时，软启动开始。在软启动过程中，PWM输出在1.4ms之内从0V斜坡上升至最终的设定电压。这样可降低浪涌电流并为电源排序提供可预测的斜坡上升时间。MAX17000在软启动期间采用跳脉冲模式，与 \overline{SKIP} 和 \overline{STDBY} 配置无关。软启动结束后， \overline{SKIP} 和 \overline{STDBY} 配置有效。

MAX17000 VTT LDO稳压器采用限流软启动功能。当使能VTT模块时，内部源出和吸入电流门限在160 μ s内线性地从零增加至满量程门限。当VTT输出电压达到稳定或160 μ s之后(取两者中较早发生的)，将达到满量程限流门限。VTTR基准缓冲不具备任何软启动控制。

完备的DDR2和DDR3 电源管理方案

MAX17000

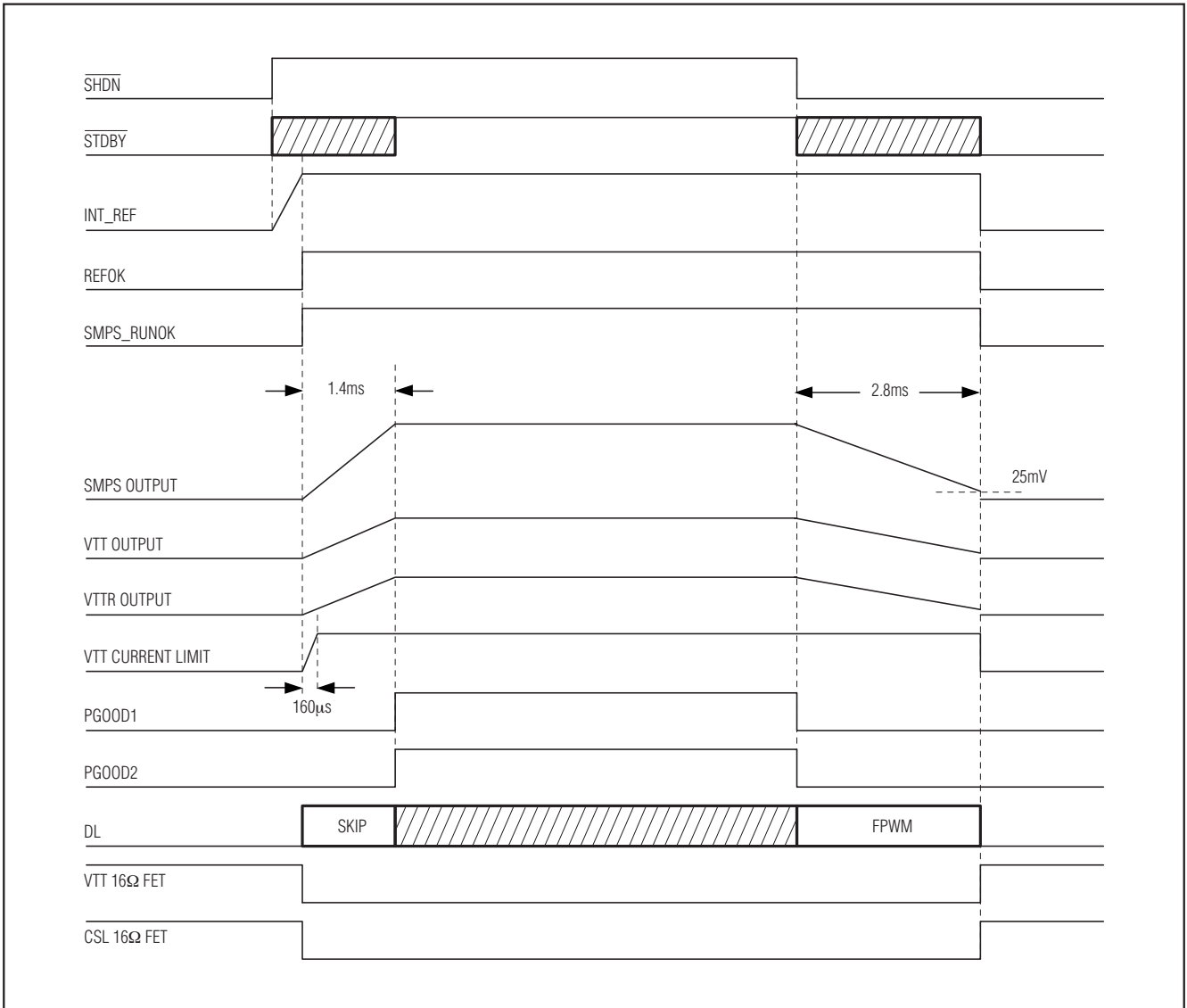


图6. OVP使能时的MAX17000启动/关断时序

当 $\overline{\text{SHDN}}$ 拉低、出现输出欠压故障或过热故障之后，软关断启动。当SMPS上的故障(UV故障持续超过 $200\mu\text{s}$ (典型值))或VTT输出上的故障持续超过 5ms (典型值)时，将触发关断整个IC。在软关断期间，输出在 2.8ms 内下降至 0V ，降低了可导致输出上出现负压的负电感电流。软关断结束时，DL被驱动至低电平。

当使能OVP ($\text{OVP} = \text{V}_{\text{CC}}$)时，CSL和VTT输出上的内部 16Ω 放电MOSFET被开启，直到通过 $\overline{\text{SHDN}}$ 的上升沿来再次触

发启动为止。当禁止OVP ($\text{OVP} = \text{AGND}$)时，CSL和VTT输出上的内部 16Ω 放电MOSFET在关断过程中保持关闭。

输出故障保护

MAX17000提供PWM输出过压/欠压故障保护功能。驱动OVP可以使能/禁止故障保护功能，如表4所示。

完备的DDR2和DDR3 电源管理方案

MAX17000

表4. 故障保护和关断设置真值表

OVP	MODE	REACTION/DRIVER STATE	COMMENT
OVP Disabled Discharge Disabled (OVP = Low)	Shutdown ($\overline{\text{SHDN}} = \text{low}$)	DL immediately pulled low. VTTR tracks the SMPS output during soft-shutdown. CSL and VTT are high impedance at the end of soft-shutdown (16 discharge MOSFETs disabled).	Outputs high-impedance in shutdown.
	SMPS UVP	DL immediately pulled low. VTTR tracks the SMPS output during soft-shutdown. CSL and VTT are high impedance at the end of soft-shutdown (16 discharge MOSFETs disabled).	SMPS latched fault condition.
	SMPS OVP (disabled)	Controller remains active (normal operation). Note: An OVP detection still pulls PGOOD1 low.	Only PGOOD1 pulled low; fault not latched.
	VTT < -90% or VTT > +110%	PGOOD2 immediately pulled low. Soft-shutdown initiated if fault persists for more than 5ms (typ). DH not used in soft-shutdown. DL low after soft-shutdown completed. VTTR tracks the SMPS output soft-shutdown.	VTT latched fault condition if fault persists for more than 5ms (typ).
	VCC UVLO falling edge	DL and DH immediately pulled low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately disabled (high impedance, no 16 discharge on outputs).	—
OVP Enabled Discharge Enabled (OVP = High)	Shutdown ($\overline{\text{SHDN}} = \text{low}$)	Soft-shutdown initiated. DL high after soft-shutdown completed. VTTR tracks the SMPS output during soft-shutdown. Internal 16Ω discharge MOSFETs on CSL and VTT enabled after soft-shutdown.	16Ω discharge MOSFETs on CSL and VTT enabled in shutdown.
	SMPS UVP	Soft-shutdown initiated. DH not used in soft-shutdown. DL low after soft-shutdown completed. VTTR tracks the SMPS output during soft-shutdown. Internal 16Ω discharge MOSFETs on CSL and VTT enabled after soft-shutdown.	SMPS latched fault condition.
	SMPS OVP (enabled)	DL immediately latched high, DH forced low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately shut down. Internal 16Ω discharge MOSFETs on CSL and VTT enabled.	SMPS latched fault condition.
	VTT < 90% or VTT > 110%	PGOOD2 immediately pulled low. Soft-shutdown initiated if fault persists for more than 5ms (typ). DH not used in soft-shutdown. DL low after soft-shutdown completed. VTTR tracks the SMPS output during soft-shutdown. Internal 16Ω discharge MOSFETs on CSL and VTT enabled after soft-shutdown.	VTT latched fault condition if fault persists for more than 5ms (typ).
OVP Enabled Discharge Enabled (OVP = High)	VCC UVLO falling edge	DL and DH immediately pulled low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately disabled. Internal 16Ω discharge MOSFETs on CSL and VTT enabled immediately.	—

完备的DDR2和DDR3 电源管理方案

MAX17000

表4. 故障保护和关断设置真值表(续)

OVP	MODE	REACTION/DRIVER STATE	COMMENT
General Shutdown and Fault Conditions	Thermal fault	DL and DH immediately pulled low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately disabled (high impedance, no 16Ω discharge on outputs).	Active-fault condition.
	V _{CC} UVLO rising edge	Activate INT_REF once V _{CC} rises above UVLO, and $\overline{\text{SHDN}}$ = high. Once REFOK is valid (high), initiate the soft-start sequence. DL remains low until switching/soft-start begins.	—
	V _{CC} POR rising edge	DL forced low.	—
	V _{CC} POR falling edge	DL = Don't care. V _{CC} less than 2VT is not sufficient to turn on the MOSFETs.	—

SMPS过压保护(OVP)

SMPS的输出电压上升至高出其标称稳压值115%且OVP功能被使能(OVP = V_{CC})，则控制器设置其过压故障锁存器，拉低PGOOD1和PGOOD2，并强制DL为高。VTT和VTTR模块立即关断，并且CSL和VTT输出上的内部16Ω放电MOSFET被开启。如果出现的故障导致过压持续(如高边MOSFET短路)，则电池保险丝熔断。将V_{CC}降至低于1V或触发 $\overline{\text{SHDN}}$ ，以清除过压故障锁存并重新启动控制器。

OVP连接至AGND时(表4)，OVP被禁止。即便OVP被禁止，PGOOD1上限门限仍保持有效，为标称稳压值的115%，并且在关断时CSL和VTT输出上的内部16Ω放电MOSFET不开启。

SMPS欠压保护(UVP)

如果SMPS的输出电压跌落至低于稳压值的85%持续超过200μs(典型值)，那么控制器将设置其欠压故障锁存器，拉低PGOOD1和PGOOD2，并开始软关断脉冲调制DL。欠压故障触发软关断期间，DH保持关闭。在软关断完成之后，MAX17000强制拉低DL和DH，并且打开CSL和VTT输出上的内部16Ω放电MOSFET。将V_{CC}降至低于1V或触发 $\overline{\text{SHDN}}$ ，以清除欠压故障锁存并重新启动控制器。

VTT过压保护和欠压保护

VTT稳压器的输出电压超出其稳压值的±10%持续超过5ms(典型值)，那么控制器将设置其故障锁存器，拉低PGOOD1和PGOOD2，并开始软关断脉冲调制DL。欠压故障触发软关断期间，DH保持关闭。在软关断完成之后，MAX17000

强制拉低DL和DH，并且打开CSL和VTT输出上的内部16Ω放电MOSFET。将V_{CC}降至低于1V或触发 $\overline{\text{SHDN}}$ ，以清除欠压故障锁存并重新启动控制器。

热故障保护

MAX17000具有热故障保护电路。当结温超过+160°C时，温度传感器触发故障锁存器，拉低PGOOD1和PGOOD2，并且按照关断时序进行关断。当结温下降15°C以后，触发 $\overline{\text{SHDN}}$ 或使V_{CC}电源低于V_{CC} POR，可重新启动控制器。

设计步骤

选择开关频率和电感工作点(纹波电流比)之前，首先要落实输入电压范围和最大负载电流。接下来需要折衷考虑开关频率和电感工作点。以下四个因素决定了余下的设计：

- **输入电压范围：**最大值(V_{IN(MAX)})必须与最差工作条件下笔记本电脑交流适配器的电压相一致。最小值(V_{IN(MIN)})必须考虑经过连接器、保险丝及电池选择开关的压降后的最低输入电压。如果可能，选择较低的输入电压将获得较高的效率。
- **最大负载电流：**需要考虑两个值：峰值负载电流(I_{LOAD(MAX)})决定了瞬时元件应力和滤波要求，从而影响输出电容的选择、电感饱和电流额定值以及限流电路设计。连续负载电流(I_{LOAD})决定了热应力的大小，制约着输入电容、MOSFET和其它关键发热元件的选择。大多数笔记本电脑的负载I_{LOAD} = I_{LOAD(MAX)} x 80%。

完备的DDR2和DDR3 电源管理方案

- **开关频率：**开关频率的选择应折衷考虑器件尺寸与效率。由于MOSFET开关损耗与频率和 V_{IN}^2 成正比，因此最佳频率在很大程度上取决于最大输入电压。最佳频率也因时而异，随着MOSFET制造技术的飞速发展，越来越高的工作频率已成为现实。
- **电感工作点：**这项选择决定了尺寸与效率、瞬态响应与输出噪声之间的折衷。电感值较低时，瞬态响应较好，物理尺寸也较小，但由于纹波电流增大，因此效率降低，输出噪声也较大。实际的最小电感值应使电路工作在临界传导状态(负载最大时电感电流在每个周期正好归零)。电感值低于该最小值将无益于进一步减小尺寸，最佳工作点通常具有20%至50%的纹波电流。

电感选择

开关频率和电感工作点(纹波电流百分比或LIR)确定的电感值如下：

$$L = \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \times I_{LOAD(MAX)} \times LIR} \right) \times \left(\frac{V_{OUT}}{V_{IN}} \right)$$

在满足尺寸要求的前提下，应选择直流电阻尽量低的低损耗电感。虽然铁粉芯较为便宜，且能在200kHz频率下很好地工作，但铁氧体磁芯通常是最佳选择。磁芯应该足够大，以确保在电感电流峰值(I_{PEAK})下不发生饱和：

$$I_{PEAK} = I_{LOAD(MAX)} \times \left(1 + \frac{LIR}{2} \right)$$

设置谷电流限制

最小限流门限必须足够大，以使电流门限于容差范围的最小值时仍能支持最大负载电流。电感电流的谷值等于 $I_{LOAD(MAX)}$ 减去电感纹波电流的一半，因此：

$$I_{LIMIT(LOW)} > I_{LOAD(MAX)} \times \left(1 - \frac{LIR}{2} \right)$$

其中， $I_{LIMIT(LOW)}$ 等于最小限流门限电压除以输出检流元件阻抗(电感DCR或检流电阻)。

谷电流门限固定为CSH至CSL差分输入之间的17mV(最小值)。

采用DCR作为检流元件时，必须特别注意导通电阻的容差和温度变化。采用电感数据资料中给出的最差工作条件下的 R_{DCR} 最大值，并根据随着温度上升带来 R_{DCR} 变大适当增加裕量。通常比较好的原则是允许温度每升高1°C，带来0.5%的额外电阻，增加的电阻必须包含到设计裕量中去，除非设计时在DCR网络中接有NTC热敏电阻对限流门限进行温度补偿。

检流方法(图7)以及幅度决定了可实现的检流精度和功率损耗。检流电阻可根据下式决定：

$$R_{SENSE} = V_{LIMIT}/I_{LIMIT}$$

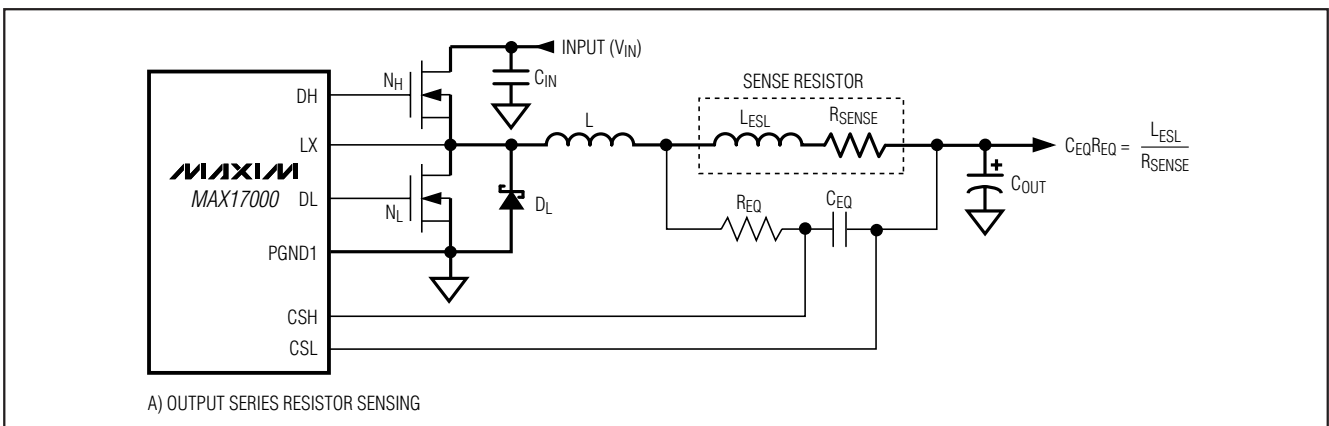


图7a. 检流配置(1/2)

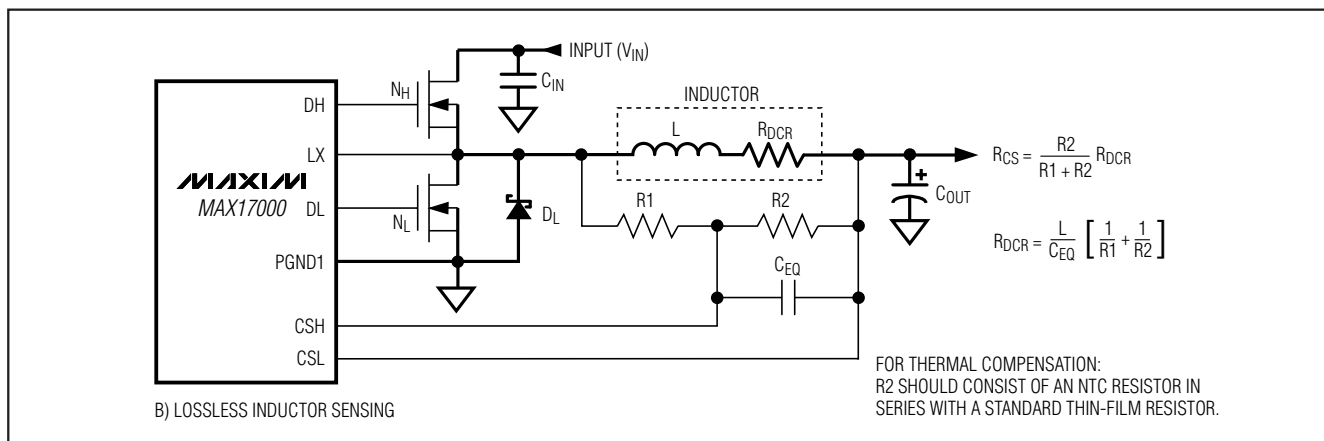


图7b. 检流配置(2/2)

为实现最佳检流精度以及过流保护，在电感和输出之间采用1%精度的检流电阻，如图7a所示。该配置连续监测电感电流，实现精确的限流保护。然而，检流电阻的寄生电感会导致限流误差，特别是在采用小电感和小检流电阻时。通过在检流电阻上增加等效时间常数如下所示的RC电路可消除该寄生电感(L_{ESL}):

$$C_{EQ} \times R_{EQ} = \frac{L_{ESL}}{R_{SENSE}}$$

另外，在无需高精度限流保护的低成本应用中，可通过在电感上连接串行RC电路(图7b)来降低整体功耗，RC电路等效时间常数为：

$$R_{CS} = \frac{R2}{R1 + R2} \times R_{DCR}$$

且：

$$R_{DCR} = \frac{L}{C_{EQ}} \times \left[\frac{1}{R1} + \frac{1}{R2} \right]$$

其中， R_{CS} 为所需的检流电阻值， R_{DCR} 为电感的串联直流阻抗。采用电感厂商提供的最差工作条件下的电感值和 R_{DCR} 值，并根据随着温度和负载变化带来的电感值降低适当增加裕量。

MOSFET 栅极驱动器(DH、DL)

DH和DL驱动器针对驱动中等尺寸的高边功率MOSFET和较大的低边功率MOSFET进行了优化，这与笔记本电脑应用中的低占空比要求一致，这类应用中存在很大的 $V_{IN} - V_{OUT}$ 差。高边栅极驱动器(DH)可源出和吸入1.2A电流，低边栅极驱动器(DL)可源出1.0A电流、吸入2.4A电流，从而保证大电流应用中栅极驱动的可靠性。DH高边MOSFET驱动器由BST端的内部自举开关电荷泵供电，DL同步整流驱动器直接由5V偏置电源(V_{DD})供电。

PWM输出电容选择

输出滤波电容的等效串联电阻(ESR)应足够低，以满足输出纹波及瞬态负载的要求。此外ESR也必须满足稳定性的要求。

用于内核和芯片组的电源转换器以及其它可能存在剧烈的负载瞬变的应用中，输出电容的大小一般取决于需要多大的ESR能够防止负载瞬变时输出产生过大的跌落。忽略有限容值引起的电压跌落：

$$(R_{ESR} + R_{PCB}) \leq \frac{V_{STEP}}{\Delta I_{LOAD(MAX)}}$$

在低电压应用中，输出电容的尺寸通常取决于对ESR的要求，从而将输出纹波电压保持在可接受的水平。降压控制器的输出纹波电压等于总电感纹波电流与输出电容ESR之积。

完备的DDR2和DDR3 电源管理方案

满足纹波要求的最大ESR为：

$$R_{ESR} \leq \left[\frac{V_{IN} \times f_{SW} \times L}{(V_{IN} - V_{OUT}) \times V_{OUT}} \right] \times V_{RIPPLE}$$

其中， f_{SW} 为开关频率。

大多数电介质(聚合物、钽、铝电解质)电容所需要的实际容值取决于满足低ESR要求的物理尺寸，也与电容的化学属性有关。陶瓷电容具有较低的ESR，但其容值和额定电压(降额后)必须保证在负载瞬变时， V_{SAG} 和 V_{SOAR} 不会产生问题。通常，只要电容值大到足以满足过冲指标的要求，负载上升沿引起的下冲也不会有问题。因此，输出电容的选择需要权衡电容的化学性质(容值、ESR和电压额定值的关系)和成本。

PWM输出电容稳定性考虑

对于Quick-PWM控制器，系统稳定性取决于与开关频率相关的同相反馈纹波，主要由输出ESR决定。临界不稳定点由下式给出：

$$\frac{f_{SW}}{\pi} \geq \frac{1}{2\pi \times R_{EFF} \times C_{OUT}}$$

$$R_{EFF} = R_{ESR} + A_{CS} \times R_{SENSE}$$

其中， C_{OUT} 是总输出电容， R_{ESR} 是输出电容的总等效串联电阻， R_{SENSE} 是有效的检流电阻(见图7)，并且 A_{CS} 是值为2的检流增益。

在频率为300kHz的标准应用中，零点频率必须远远低于95kHz，最好低于50kHz。按照上述频率要求，标准钽电容和聚合物电容通常具有低于50kHz的典型ESR零点，无需任何额外的检流补偿即可满足稳定性要求。在标准应用电路(图7)中，支持15mV_{p-p}纹波所需的ESR为 $15mV / (10A \times 0.3) = 5m\Omega$ ，两只330 μ F、9m Ω 的聚合物电容并联时可提供4.5m Ω (最大)的ESR和 $1 / (2\pi \times 330\mu F \times 9m\Omega) = 53kHz$ 的ESR零点频率。

陶瓷电容具有较高的ESR零点频率，但是，对于具有足够的检流补偿的设计仍可使用具有小尺寸、低ESR和高可靠

性的陶瓷电容。利用电感DCR检流，使用陶瓷输出电容的设计可以通过直流或交流方式进行补偿。直流耦合需要较少的外部补偿电容，但会产生一个与电感DCR (寄生电阻)有关的输出负载。此外，检流信号也可采用交流耦合，使稳定性仅取决于电感值和补偿元件，消除了直流负载。

当输出只采用陶瓷电容时，输出过冲(V_{SOAR})通常决定了所需的最小输出电容。从满载向空载跳变时，相对较低的电容值会产生较大的输出过冲，除非选用低值电感和高开关频率，从而在负载阶跃恢复期间使电感传递到电容的能量最小。

不稳定工作表现为两种相关但截然不同的形式：双脉冲和反馈环路不稳定。双脉冲的发生是由于输出的噪声，或者ESR太低使输出电压信号中没有足够的斜坡电压。这就“蒙蔽”了误差比较器，使其在最小截止周期结束后立即触发一个新的周期。双脉冲十分恼人但无害，除了增加输出纹波外没有更糟糕的后果。然而，它预示着可能会出现由于ESR过低造成的环路不稳定。环路不稳定会导致输入或负载阶跃变化后输出产生振荡。这种振荡通常是阻尼振荡，但也可能会使输出电压超出或低于容限。

检查稳定性最简单的方法是：施加一个快速的零到满载瞬变，并仔细观察输出电压纹波的包络，检查它的过冲和振铃。同时用一个交流探头监测电感电流也很有帮助。初始阶跃响应引起的上/下冲之后的振铃不应超过一个周期。

输入电容选择

输入电容必须满足开关电流所引起的纹波电流(I_{RMS})要求，可根据以下公式确定 I_{RMS} ：

$$I_{RMS} = \left(\frac{I_{LOAD}}{V_{IN}} \right) \sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}$$

最差情况下的RMS电流出现在 $V_{IN} = 2V_{OUT}$ 时。此时，上述公式简化为：

$$I_{RMS} = 0.5 \times I_{LOAD}$$

完备的DDR2和DDR3 电源管理方案

大多数应用中，可优先考虑选择非钽质电容(陶瓷、铝或OS-CON)，因为它们对于浪涌电流具有抑制作用，尤其是在输入端串接了机械式开关或连接器的系统中。如果Quick-PWM控制器用于两级电源转换系统中的第二级，则输入电容可考虑选用钽电容。无论何种配置，都应保证输入电容在RMS输入电流的作用下温升小于+10°C，以获得更长的工作寿命。

MOSFET选择

以下MOSFET选择准则集中讨论从高压(> 20V)交流适配器如何获得高负载电流能力的应用。低电流应用时问题不是很大。

高边MOSFET (N_H)必须能消散 $V_{IN(MIN)}$ 与 $V_{IN(MAX)}$ 下的阻性损耗和开关损耗。下面计算两种损耗之和，理想情况下， $V_{IN(MIN)}$ 下的损耗应当与 $V_{IN(MAX)}$ 下的损耗大致相等，介于两种情况之间的损耗较低。若 $V_{IN(MIN)}$ 下的损耗比 $V_{IN(MAX)}$ 下的损耗高很多，可以考虑增大 N_H 尺寸(降低 $R_{DS(ON)}$ ，增大 C_{GATE})。反之，若 $V_{IN(MAX)}$ 下的损耗比 $V_{IN(MIN)}$ 下的损耗高很多，可以考虑减小 N_H 的尺寸(增大 $R_{DS(ON)}$ ，减小 C_{GATE})。若 V_{IN} 的变化范围不大，则阻性损耗与开关损耗相等时功耗最低。

低边MOSFET的导通电阻($R_{DS(ON)}$)应尽可能低，采用中等尺寸的封装(例如，一或两个8引脚SO、DPAK或D²PAK)，并且价格合理。应确保DL栅极驱动器提供足够的电流支持栅极充电，以及高边MOSFET导通时注入的栅-漏寄生电容电流，否则，可能会出现交叉导通问题(参见MOSFET栅极驱动器(DH、DL)部分)。

MOSFET功耗

最差情况下的传导损耗出现在占空比达到极值时。对高边MOSFET (N_H)，由电阻引起的最大功耗出现在输入电压最小时：

$$PD(NH阻性) = \left(\frac{V_{OUT}}{V_{IN}} \right) \times (I_{LOAD})^2 \times R_{DS(ON)}$$

一般情况下，为了降低高输入电压下的开关损耗，需要小的高边MOSFET。但是，封装功耗对 $R_{DS(ON)}$ 的要求限制了

MOSFET的最小尺寸。同样，开关损耗与传导($R_{DS(ON)}$)损耗相等时为最佳条件。通常只有在输入超过15V时，高边开关的开关损耗才会成为一个显著问题。

计算由开关损耗引起的高边MOSFET (N_H)的功耗比较困难，因为它涉及到一些难以量化的、影响导通和关断时间的因素。这些因素包括内部栅极电阻、栅极电荷、门限电压、源极电感以及PCB布局等特性。以下开关损耗计算仅提供粗略估计，不能替代电路试验板的评估，最好在 N_H 上安装热电偶进行验证：

$$PD(NH开关) = V_{IN(MAX)} \times I_{LOAD} \times f_{SW} \left(\frac{Q_{G(SW)}}{I_{GATE}} \right) + \frac{C_{OSS} \times V_{IN}^2 \times f_{SW}}{2}$$

其中， C_{OSS} 是 N_H MOSFET的输出电容、 $Q_{G(SW)}$ 是开启 N_H MOSFET所需的电荷、 I_{GATE} 是栅极驱动源出/吸入的峰值电流(典型值为2.2A)。

当交流适配器电压最大时，由于开关损耗： $C \times V_{IN}^2 \times f_{SW}$ 中平方项的关系，高边MOSFET的开关损耗可能会带来严重的发热问题。如果高边MOSFET(低电池电压下具有适当的 $R_{DS(ON)}$)偏置在 $V_{IN(MAX)}$ 时变得非常热，则应考虑选择其它寄生电容较低的MOSFET。

对低边MOSFET (N_L)而言，最大功耗总出现在输入电压为最大值时：

$$PD(NL阻性) = \left[1 - \left(\frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] \times (I_{LOAD})^2 \times R_{DS(ON)}$$

MOSFET的最大功耗发生在严重过载情况下，此时负载电流大于 $I_{LOAD(MAX)}$ ，但还未超出电流上限，并且未触发故障锁存器。为保证这种情况下的安全性，应采用“裕量设计”来增加电路的容限：

$$I_{LOAD} = \left(I_{VALLEY(MAX)} + \frac{\Delta I_{INDUCTOR}}{2} \right) \\ = I_{VALLEY(MAX)} + \left(\frac{I_{LOAD(MAX)} \times LIR}{2} \right)$$

完备的DDR2和DDR3 电源管理方案

其中， $I_{\text{VALLEY(MAX)}}$ 为限流电路允许的最大谷电流，包括门限容差和导通电阻的误差。MOSFET必须具有足够的散热能力以处理过载情况下的功率耗散。

选择一只正向压降足够低的肖特基二极管(DL)，以防止低边MOSFET体二极管在死区时间内导通。此外，选择一个能够应对死区时间内负载电流的二极管，该二极管是可选的，效率要求不高时可以去掉。

设置PWM输出电压

预置输出电压

MAX17000的Dual Mode™模式在选择常用电压时无需外接元件。FB接AGND可获得1.5V固定输出，FB接 V_{CC} 为1.8V固定输出，FB直接与OUT连接可实现1.0V固定输出。

可调输出电压

可采用电阻分压器(图8)在1.0V至2.7V范围内调节输出电压。MAX17000将FB调整在一个稳定的基准电压(1.0V)。可调输出电压为：

$$V_{\text{OUT}} = V_{\text{FB}} \times \left(1 + \frac{R_{\text{FBA}}}{R_{\text{FBB}}} \right)$$

其中， V_{FB} 为1.0V。

VTTI输入电容稳定性注意事项

选择VTTI旁路电容的值，用来限制VTTI上的纹波/噪声，或限制负载瞬变期间的电压跌落。VTTI通常连接至buck调节器的输出，其上已经连接了大容量电容。但是，还必须安装一个至少与VTT输出电容等值的陶瓷电容器，而且要尽可能靠近VTTI引脚。该电容的大小随负载电流的增加而增加，如果VTTI引脚到电源的走线较长，并具有明显的阻抗的话，该电容器的值也要相应增大。

设置VTT输出电压

VTT输出级由VTTI输入供电。输出电压由REFIN输入设置。REFIN设置MAX17000的反馈调节电压($V_{\text{TTR}} = V_{\text{TTS}} = V_{\text{REFIN}}$)。连接一路0.1V至2.0V电压输入，以设置VTT、VTTs以及VTTR的可调输出。如果REFIN接至 V_{CC} ，内部CSL/2分压器用来设置VTT电压；因此，VTT跟随 V_{CSL} 电压，并被设置到 $V_{\text{CSL}}/2$ 。该特性使得MAX17000非常适合存储器应用，即终端电源必须跟随电源电压。

VTT输出电容选择

VTT 300mA的稳定输出需要用最小 $9\mu\text{F}$ 的电容值。该电容值将调节器的单位增益带宽频率限制在大约1.2MHz(典型值)，以便有足够的相位余量确保稳定。为了确保该电容器在调节器带宽范围内表现为容性，选用低ESR和ESL的陶瓷电容非常重要。

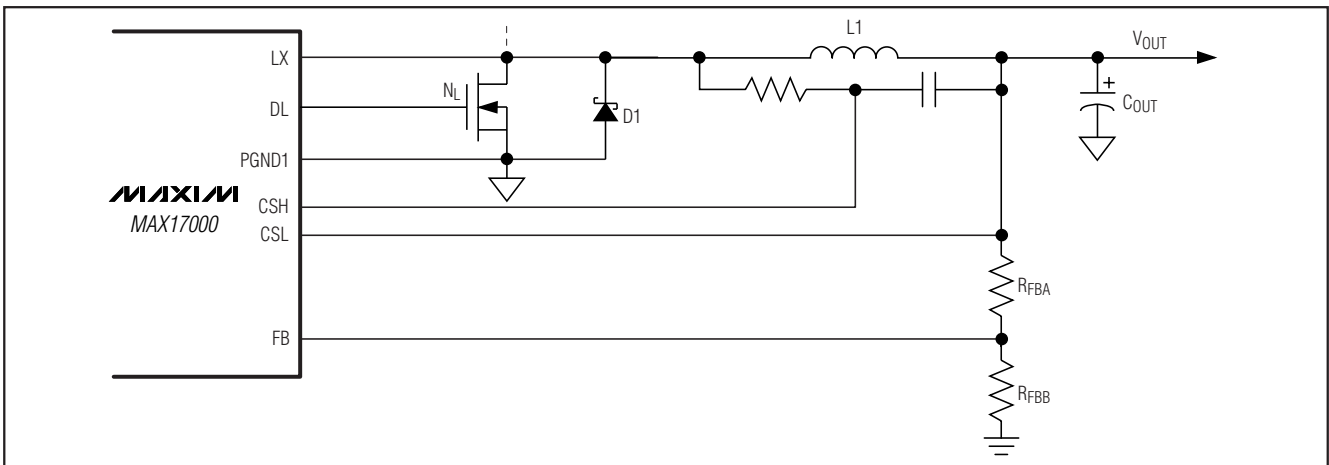


图8. 采用电阻分压器设置 V_{OUT}

Dual Mode是Maxim Integrated Products, Inc.的商标。

完备的DDR2和DDR3 电源管理方案

由于增益带宽也受输出FET跨导的影响，跨导随负载电流的增加而增加。因此如果负载电流大于1.5A，则输出电容可能需要大于20 μ F，但如果最大负载电流小于1.5A，则输出电容可以小于20 μ F。作为参考，下面给出可以选用的最小电容和最大ESR的计算公式：

$$C_{OUT_MIN} = 20\mu\text{F} \times \sqrt{\frac{I_{LOAD}}{1.5\text{A}}}$$

C_{OUT} 在低压差下工作时需要增加2倍：

$$R_{ESR_MAX} = 5\text{m}\Omega \times \sqrt{\frac{I_{LOAD}}{1.5\text{A}}}$$

R_{ESR} 是单位增益带宽频率下所测量的值，该频率近似值由下式给出：

$$f_{GBW} = \frac{36}{C_{OUT}} \times \sqrt{\frac{I_{LOAD}}{1.5\text{A}}}$$

当这些稳定条件都满足后，还可另外增加一些电容(包括电解电容和钽电容)与陶瓷电容(如果需要)并联来进一步抑制噪声或输出端的电压纹波。

VTTR输出电容选择

VTTR缓冲器实际是缩小了的VTT调节器，具有小得多的输出跨导。因此其补偿电容可以更小，ESR可以更大。对于负载电流高达 $\pm 4\text{mA}$ 的典型应用，推荐采用最小电容值为0.33 μ F的陶瓷电容($R_{ESR} < 0.3\Omega$)。将该电容连接在VTTR与模拟地之间。

功耗

MAX17000的功耗是以下功耗总和，即PWM模块功耗、VTT LDO功耗以及VTTR基准缓冲器功耗：

$$PD(\text{PWM}) = I_{BIAS} \times 5\text{V} = 40\text{mA} \times 5\text{V} = 0.2\text{W}$$

$$PD(\text{VTT}) = 2\text{A} \times 0.9\text{V} = 1.8\text{W}$$

$$PD(\text{VTTR}) = 3\text{mA} \times 0.9\text{V} = 2.7\text{mW}$$

$$PD(\text{总和}) = 2\text{W}$$

2W的总功耗在24引脚TQFN封装多层板功耗标准中规定的2.22W功耗以内。典型应用中不源出或吸入连续的大电流。稳态中的VTT电流典型值为100mA至200mA。VTTR功耗低至 μ A级范围，远远低于Intel要求的DDR1 3mA、DDR2 1mA功耗。真正最坏情况的功耗出现在输出短路情况下，带有最坏情况的限流。MAX17000不使用任何折返式限流，依赖于内部热关断进行保护。VTT和VTTR输出级采用同一VTTI输入进行供电。这两路输出电压采用相同的REFIN输入作为基准。选择VTTI旁路电容的值，用来限制VTTI上的纹波/噪声，或限制负载瞬变期间的电压跌落。VTTI通常连接至buck调节器的输出，其上已经连接了大容量电容。

自举电容

自举电容(C_{BST})必须足够大，以满足高边MOSFET栅极充电的需求。通常，在驱动中等尺寸MOSFET的低功耗应用中，0.1 μ F陶瓷电容即可很好工作。不过，在大电流应用中，需要大于0.1 μ F的自举电容来驱动大的高边MOSFET。在这些应用中，为避免高边MOSFET栅极充电过程中的电容放电超过200mV，应按下式选择自举电容：

$$C_{BST} = \frac{Q_{GATE}}{200\text{mV}}$$

其中， Q_{GATE} 是高边MOSFET数据资料中给出的总栅极电荷。例如，假定使用了FDS6612A n沟道MOSFET，根据制造商的数据资料，单个FDS6612A的栅极电荷最大值为13nC ($V_{GS} = 5\text{V}$)。使用上式，所需自举电容为：

$$C_{BST} = \frac{13\text{nC}}{200\text{mV}} = 0.065\mu\text{F}$$

选择最接近的标准电容，本例中需要一个0.1 μ F的陶瓷电容。

完备的DDR2和DDR3 电源管理方案

应用信息

布局步骤

PCB布局指南

合理的PCB布局对实现低开关损耗和低噪、稳定的工作非常重要。在处理开关功率级电路时需要特别注意。如果可能的话，应将所有功率元件安装在电路板的顶层，并使它们的接地端彼此靠近。良好的PCB布局应遵守以下准则：

- 大电流通路应尽可能短，特别是接地端。这对于实现稳定、无抖动工作非常重要。
- 电源线和负载连线应尽可能短。这对于提高效率来说至关重要。采用厚覆铜PCB (2oz对比1oz)可使满载效率提高1%甚至更多。正确的PCB布线是一项比较困难的任务，它要求密集程度在几分之一厘米内，毫欧级的布线电阻就会造成不容忽视的效率损失。
- 通过在检流电阻(R_{SENSE})上直接连接CSH至CSL来降低检流误差。
- 如果不得不延长引线长度，应优先考虑延长电感充电通路的长度，而不是放电通路。例如，宁可延长输入电容和高边MOSFET间的距离，也不要延长电感和低边MOSFET或者电感和输出滤波电容之间的距离。
- 高速开关节点(BST、LX、DH和DL)应远离敏感的模拟区域(REFIN、FB、CSH和CSL)。

- 1) 首先放置功率器件，并使它们的接地端(低边MOSFET源极、 C_{IN} 、 C_{OUT} 和低边肖特基二极管的阳极)互相靠近。如有可能，将这些连接安排在顶层，采用大面积敷铜。
- 2) 控制器IC应靠近低边MOSFET放置，优先考虑放置在正对MOSFET的背面，以保证LX、AGND、DH以及DL栅极引线短且宽。DL和DH栅极引线必须短而宽(如果MOSFET距离控制器IC 1英寸，则线宽应为50mil至100mil)，以保证驱动器阻抗低以及合适的自适应死区时间检测。
- 3) 将栅极驱动元件(BST二极管以及电容、 V_{DD} 旁路电容)靠近控制器IC集中放置。
- 4) DC-DC控制器的接地如图1和图9所示。该图可被视作有2个独立的地平面：功率地，所有大功率元件的接地端；以及模拟地，用于敏感模拟元件的接地端。模拟地和功率地必须仅在IC下方单点直接连接。
- 5) 用多个过孔直接将输出电源层连至输出滤波电容的正、负端。整个DC-DC转换器电路应尽量靠近负载放置。

完备的DDR2和DDR3 电源管理方案

MAX17000

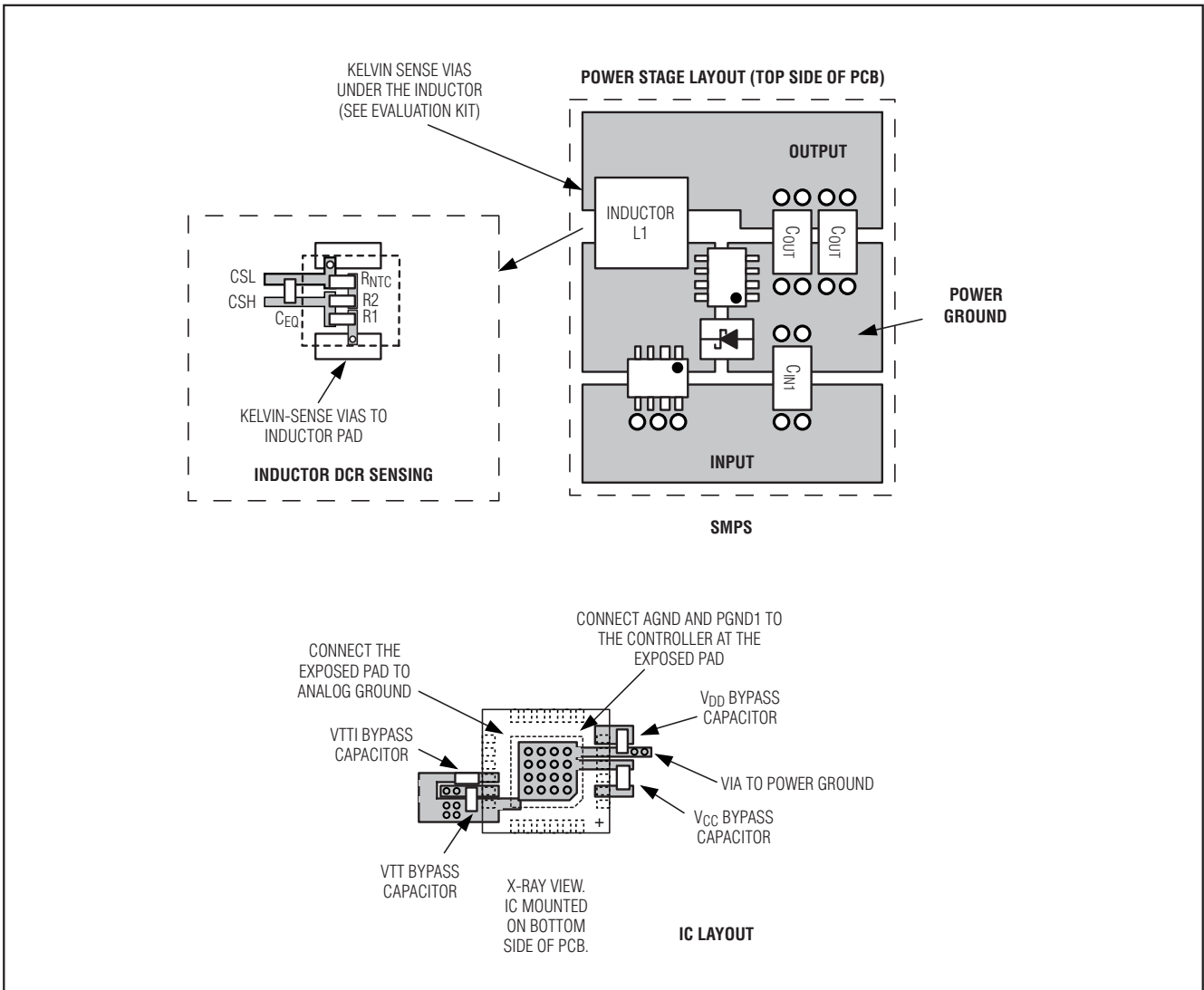


图9. PCB布板实例

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局, 请查询 china.maxim-ic.com/packages. 请注意, 封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符, 但封装图只与封装有关, 与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
24 TQFN-EP	T2444+4	21-0139	90-0022

完备的DDR2和DDR3 电源管理方案

修订历史

修订号	修订日期	说明	修改页
0	5/08	最初版本。	—
1	2/11	更新了 <i>Package Information</i> 部分。	31

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责,也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

32 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**